

**Bericht der Herbsttagung der  
Studiengruppe für Elektronische Instrumentierung  
22. bis 24. September 2003, am Lehrstuhl für Netz- und  
Datensicherheit der Ruhr-Universität Bochum**



**Herausgeber: Dr.-Ing. F. Wulf  
HMI-B 594 Berlin, Oktober 2003**

**ISSN 0936 - 0891**



Bericht der Herbsttagung der  
Studiengruppe für Elektronische Instrumentierung  
22. bis 24. September 2003, am Lehrstuhl für Netz- und  
Datensicherheit der Ruhr-Universität Bochum



**Herausgeber: Dr.-Ing. Friedrich Wulf**  
**HMI-B 594 Berlin, Oktober 2003**

**ISSN 0936 - 0891**

**Hahn-Meitner-Institut Berlin,  
Abteilung Experimentalsysteme / DS  
Glienicker Str. 100**

**14109 Berlin**



## Teilnehmerliste

Badura, Dr. Eugen	GSI Darmstadt
Becker, Heinz	Privat
Beglarian, Armen	Institut für Prozessdatenverarbeitung und Elektronik
Benk, Dr. Stefan	Ruhr-Universität Bochum
Böcker, Stephan	Ruhr-Universität Bochum
Brandt, Bernd-August	Privat
Drochner, Dr. Matthias	Forschungszentrum Jülich GmbH, ZEL
Flemming, Dr. Holger	Gesellschaft für Schwerionenforschung
Gabriel, Frank Dr.	Forschungszentrum Rossendorf e.V. FZR
Glasmachers, Prof. Dr. Albrecht	Universität Wuppertal
Goettmann, Walter	Hahn-Meitner-Institut Berlin GmbH
Grau, Dr. Guenter	advICo microelectronics GmbH
Grimm, Bernhard	Max-Planck-Institut für Astronomie
Hauri, Dorine	LeCroy Europe GmbH
Hering, Stephan	powerBridge Computer Vertriebs GmbH
Hermes, Normen	Forschungszentrum Jülich
Hoeland, Dr. Karsten	Krohne Messtechnik GmbH & Co. KG
Hoffmann, Axel	National Instruments Germany
Hürttlen, Werner	Forschungszentrum Jülich GmbH
Koch, Karsten Dr.	Gesellschaft für Schwerionenforschung
Maiwald, Detlef	Innovatherm GmbH & Co.KG
Meisel, Dr. Ulrich	Hahn-Meitner-Institut Berlin GmbH
Naparty, Dirk	Hahn-Meitner-Institut Berlin GmbH
Notz, Dr. Dieter	DESY Hamburg
Nowack, Dr. Ing. Gerd	Ruhr-Universität Bochum
Paar, Prof. Dr. Christof	Ruhr-Universität Bochum
Paul, Dr. Hans-Joachim	Universität Hannover, FB Physik
Proff, Bernd	Universität Essen/Duisburg
Rausch, Rainer	Forschungszentrum Jülich GmbH
Richter, Günter	Hahn-Meitner-Institut Berlin GmbH
Rongen, Heinz	Forschungszentrum Jülich GmbH
Rüschmann, Gustav	Johann Wolfgang Goethe-Universität, Institut .f .Kernphysik
Schober, Marc	Ruhr-Universität Bochum
Stolper, Matthias	DESY Hamburg
Stork, Raimund	powerBridge Computer Vertriebs GmbH
Von Walter, Peter	Universität Heidelberg, Physikalisches Institut
Wagner, Karl	Max-Planck-Institut für Astronomie
Westhoff, André	Ruhr-Universität Bochum
Wiggers, Jens	Zentrale Polizeitechnische Dienste NRW
Winkelkemper, Dr. Wolfgang	WTM – Elektronik GmbH
Winkens, Herbert	Agilent Technologies Deutschland GmbH
Wollinger, Thomas	Ruhr-Universität Bochum
Wulf, Dr. Friedrich	Hahn-Meitner-Institut Berlin GmbH
Wüstling, Dr. Sascha	Forschungszentrum Karlsruhe IPE
Wüstner, Dr. Peter	FZ Jülich, ZEL



Teilnehmer der SEI-Herbsttagung 2003,  
an der Ruhr-Universität Bochum





# Vorträge

	Kapitel	Seite
<b>Begrüßung und Organisatorisches</b> Dr. Friedrich Wulf	0	I - XIV
<b>Stefan Benk, Ruhr-Universität Bochum</b> Schnelle numerische Echtzeittransformation für verteilte zylindrische Stereoprojektionen	1	1 - 9
<b>Karsten Hoeland, Krohne Messtechnik, Duisburg</b> Entwicklung eines MID-Gebersimulators zu Test- und Kalibrierzwecken	2	1 - 12
<b>Jens Wiggers, ZPD, NRW, Duisburg</b> Konzeption und Realisierung eines autonomen DSP-basierten Werkzeugs zur Echtzeitanalyse und -modifikation der Protokollinformationen in 10/100MBit-Netzen	3	1 - 11
<b>André Westhoff, Ruhr-Universität Bochum</b> Ein Framework zur Erstellung von Szenarien für die Simulation lokaler Netze	4	1 - 19
<b>Dorine Hauri, LeCroy Europe GmbH, Heidelberg</b> Vorführung der neuesten WAVEPRO Oszillographen		
<b>Bernd Proff, Universität Essen/Duisburg</b> Automationssystem zur Untersuchung von Gaswechsel- und Transportprozessen an Pflanzen	6	1 - 11
<b>Axel Hoffmann, National Instruments</b> Standardplattformen in der Mess- und Automatisierungstechnik	7	1 - 23
<b>Marc Schober, Ruhr-Universität Bochum</b> Die CIP-Insel im Rahmen der rechnergestützten Ausbildung	8	1 - 9
<b>Wolfgang Winkelkemper, WMT-Elektronik GmbH, Hattingen</b> Datenerfassung und -speicherung mit einem 1 GHz-ADC	9	1 - 3
<b>Thomas Waggerhauser, Agilent Technologies Deutschland</b> Effizientes Bestimmen von Jitter und dessen Ursachen	10	1 - 10
<b>Normen Hermes, FZJ</b> Ansteuerelektronik für die Tiefenhirnstimulation	11	1 - 4
<b>Stephan Hering, Raimund Stork, Powerbridge</b> "Produktübersicht: VME, cPCI, IPC"	12	1 - 22
<b>Dr. Sascha Wüstling, FZK IPE</b> Multipixel-Elektronendetektor für das Neutrino-Experiment KATRIN	13	1 - 16
<b>Armen Beglarian, FZK IPE</b> Slow Control System for the Neutrino-Experiment KATRIN	14	1 - 16
<b>Stephan Böcker, Ruhr-Universität Bochum</b> Resonanzmessplatz mit automatischer Abstimmung	15	1 - 4
<b>Christof Paar, Ruhr-Universität Bochum</b> Einführung in die Probleme der Kommunikationssicherheit	16	1 - 15
<b>Thomas Wollinger, Ruhr-Universität Bochum</b> Einführung in die Kryptographie und Sicherheit in eingebetteten Systemen	17	1 - 5
<b>Detlef Maiwald Novatherm, Friedberg</b> Optimierte Betriebsführung von Anodenbrennöfen in Primär-Aluminiumhütten	18	1 - 5

# Einleitung

F. Wulf, HMI-Berlin

Der Bericht der Herbsttagung 2003 der Studiengruppe für Elektronische Instrumentierung enthält 18 Vorträge, die vom 22. bis 24. September 2003 am Lehrstuhl für Netz- und Datensicherheit der Ruhr-Universität Bochum gehalten wurden. Ich danke nochmals allen Vortragenden und Autoren für die sehr guten Beiträge und deren Dokumentation. Mein besonderer Dank gilt Herrn Dr. G. Nowack und seinen Mitarbeitern für die ausgezeichnete Organisation und interessante Gestaltung des Rahmenprogramms.

Diese Tagung lebt neben den primären Informationen insbesondere von der konstruktiven Diskussion der Teilnehmer aus den unterschiedlichen Bereichen der Forschungseinrichtungen, Universitäten und der Industrie, die sich auch nach 42 Jahren noch nicht verbraucht hat. Um diese "Erfolgsserie" fortzusetzen, ist für das Jahr 2004 die Frühjahrstagung vom 29. - 31. März bei DESY in Hamburg und die Herbsttagung vom 27.-29. September im Forschungszentrum Rossendorf geplant.

Heute wird uns die enge Zusammenarbeit zwischen den Forschungseinrichtungen zur Erhöhung der technischen und wissenschaftlichen Wertschöpfung durch Synergieeffekte als eine neue Erkenntnis bzw. neue Vision verkündet.

Schaut man zurück, so kann man feststellen, dass dieser Gedanke keineswegs neu ist und die erste Tagung, die diesen Gedanken verfolgte bereits vor 42 Jahren stattfand.

Die erste Sitzung der "Studiengruppe für Nukleare Instrumentierung" - wie sie damals bezeichnet wurde - fand im Januar 1961 am Deutschen Elektronen-Synchrotron in Hamburg statt<sup>1</sup>. Das Ziel dieser privaten Initiative war es, den Informationsaustausch zwischen den einzelnen Forschungszentren, den Universitäten und der Industrie zu stärken. "Auf diese Weise sollten Doppelspurigkeiten vermieden und dadurch Kräfte für neue und wesentliche Entwicklungsarbeiten freigestellt werden"<sup>1</sup>. Daraus folgte dann auch die Gründung von ESONE.

Der persönliche Kontakt zwischen den Mitarbeitern aus den unterschiedlichen Fachgebieten der Forschungszentren, Universitäten und der Industrie führt immer wieder zu neuen innovativen Lösungen in der Instrumentierung physikalischer Experimente. Wenn man sich nur die Themen der letzten Tagungen ansieht, so wird die große Bandbreite der Themen und Aufgabenstellungen deutlich. Gerade diese interdisziplinäre Zusammenarbeit auf der aktuellen Arbeitsebene rechtfertigt auch zukünftig die Fortsetzung dieser Tagung.

Ich habe geplant die Zusammenarbeit mit der Industrie noch stärker voranzutreiben und für jede Tagung ein Schwerpunktthema zu definieren, dass speziell auch durch "externe" Referenten unterstützt wird. Für die kommende Frühjahrstagung wird das Thema "Realzeit Ethernet" einen Schwerpunkt bilden.

Berlin, Oktober 2003

<sup>1</sup> ESONE ein System für die nukleare Elektronik, W. Becker, Ispra, H.-J. Stukenberg, Hamburg, K. Zander, Berlin, atomwirtschaft-atomtechnik, Verlag Handelsblatt GmbH, Düsseldorf, Kreuzstraße 21, Jahrgang X, Nr. 6, Juni 1965, S 298-302



Dr. Stefan Benk



Dr. Karsten Hoeland





Jens Wiggers



André Westhoff



Wolfgang Winkelkemper



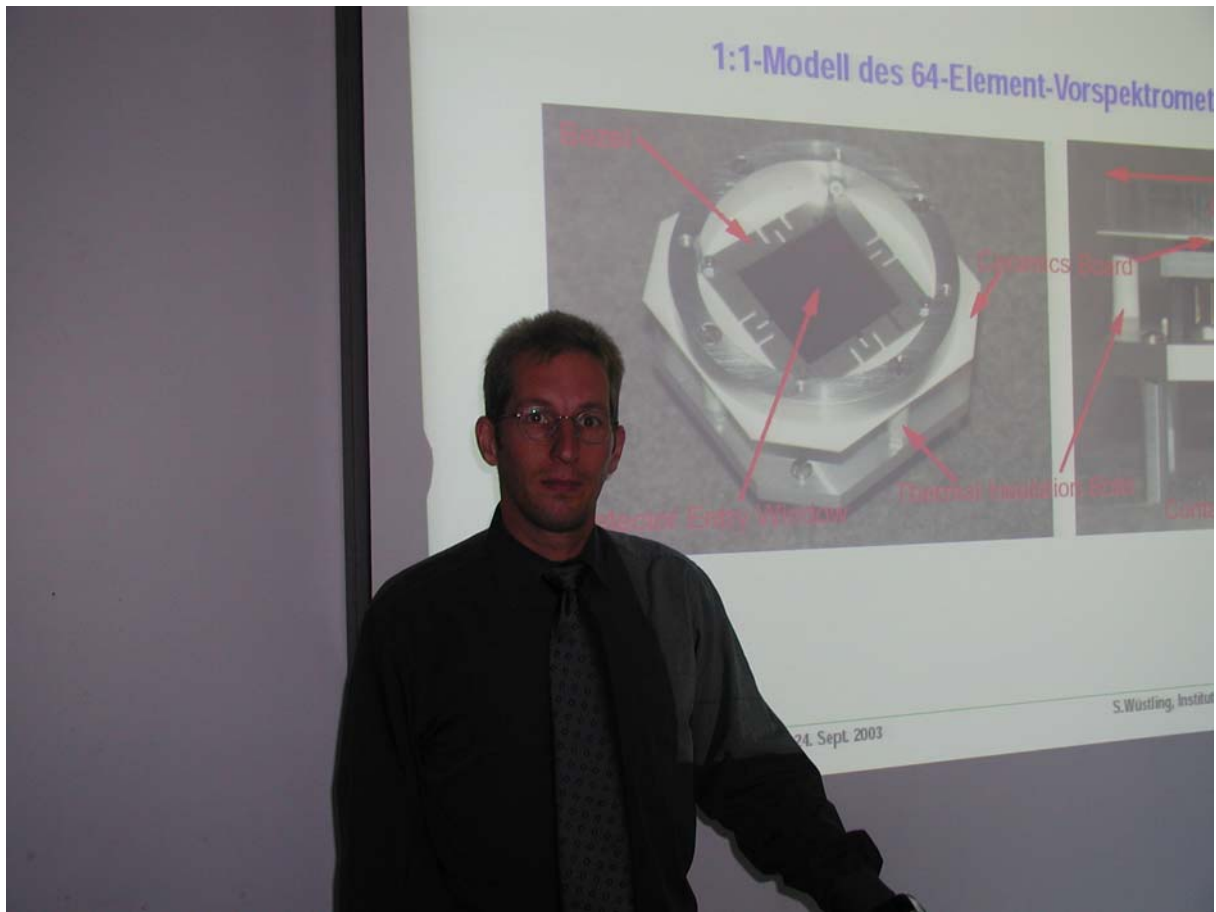
Normen Hermes



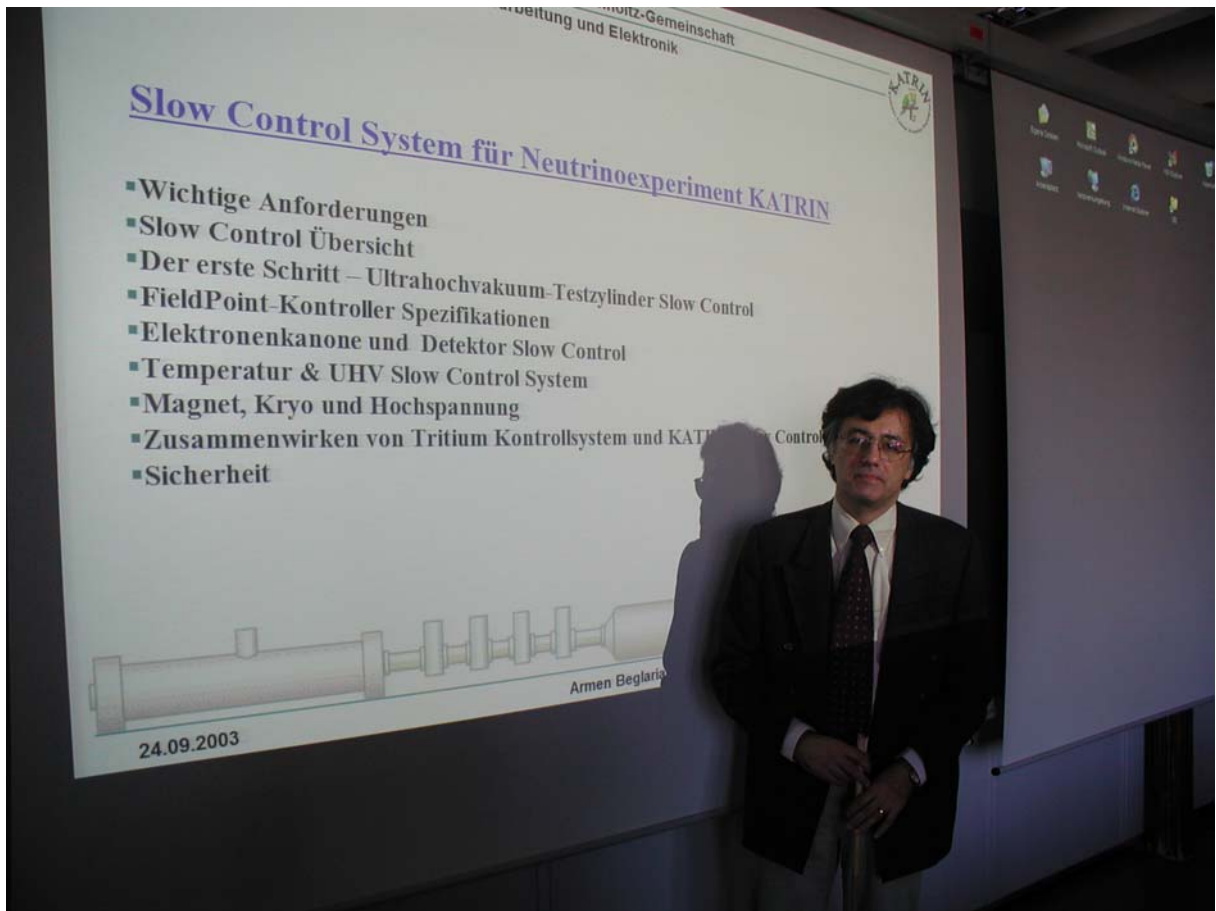
Stephan Hering



Raimund Storck



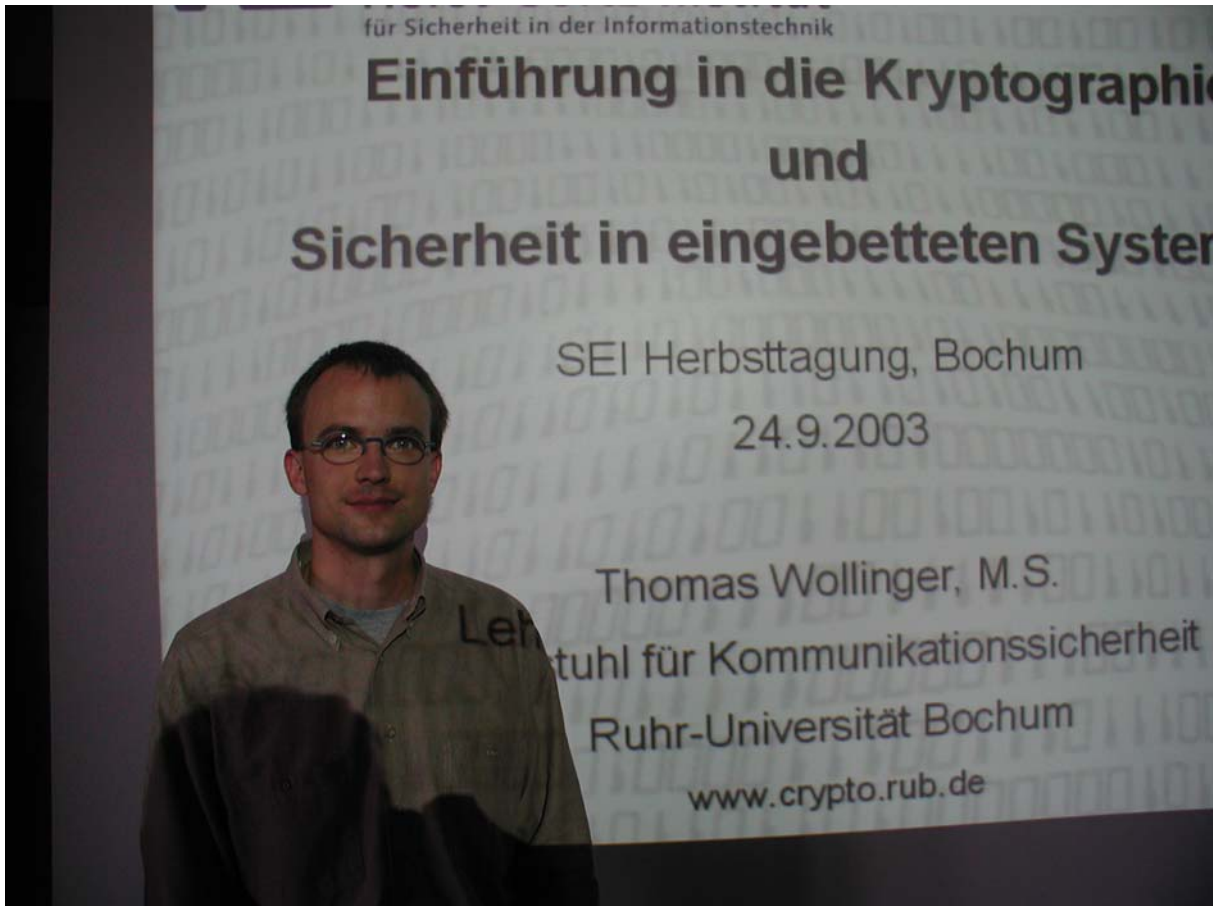
Dr. Sascha Wüstling



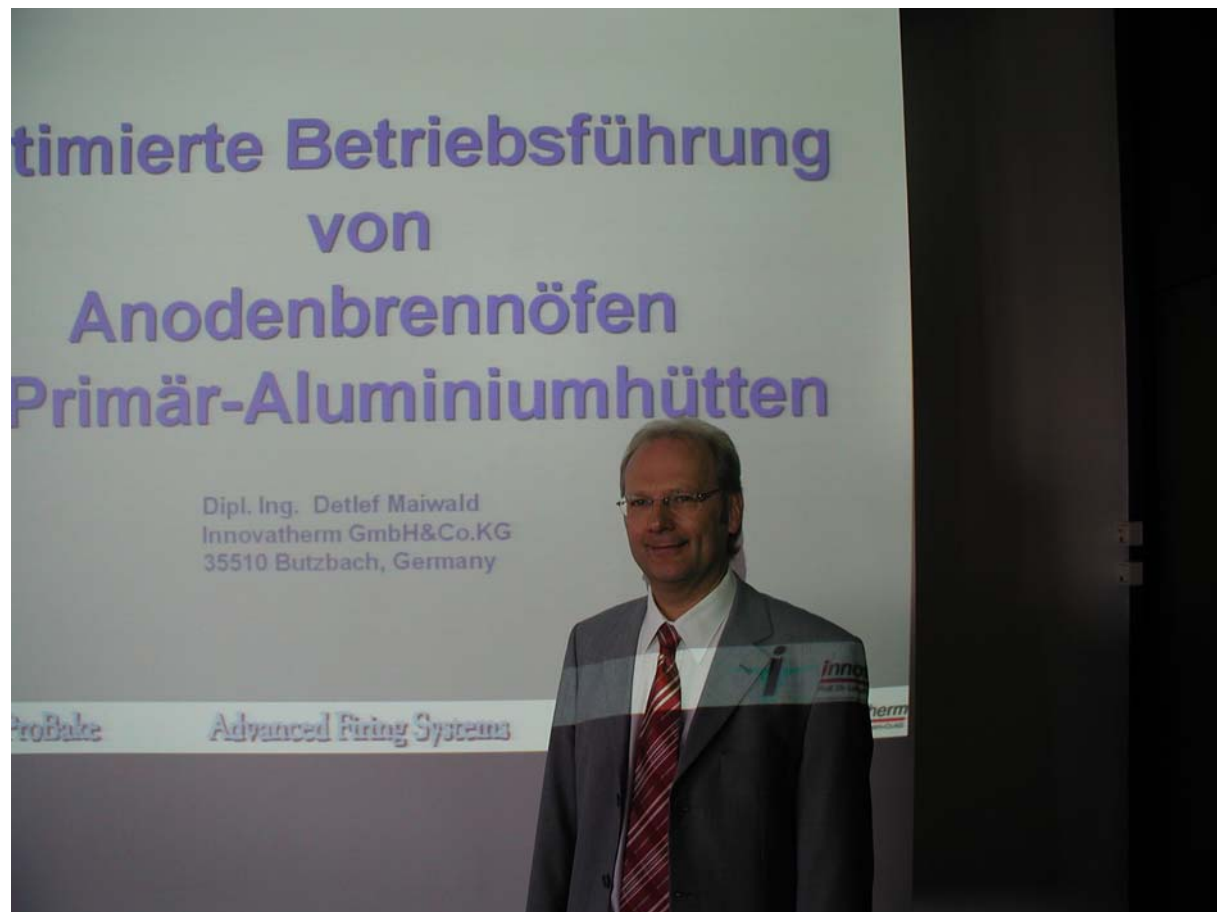
Armen Beglarian



Prof. Dr. Christof Paar



Thomas Wollinger



Detlef Maiwald



Dr. Friedrich Wulf



Dr. Gerd Nowack







SEI-Tagung 2003

**Studiengruppe Elektronische Instrumentierung**  
**Lehrstuhl für Netz- und Datensicherheit**  
**Ruhr-Universität Bochum**  
**Tagung - 22. -24. September 2003**

**Inhalt**

- Die Universität
- Das Schülerlabor
- Der RoundView – Zylinder
- Darstellungsproblematik

Stefan Benk

Die Universität

Willkommen an der Ruhr-Universität Bochum



## Willkommen an der Ruhr-Universität Bochum

Diese Volluniversität *„mit den kurzen Wegen“* wurde 1965 gegründet und ist seither ein Wissenschaftsschwerpunkt im Herzen der Ruhrgebietes.

Die *„Produktivität“* von mehr als 35.000 Studenten und zahlreichen Forschungsaktivitäten wird von nur 440 Professoren und nahezu 4.500 Mitarbeitern bewältigt.

Dafür bieten wir mehr als 70 grundständige Studiengänge, ein umfangreiches fächerübergreifendes Weiterbildungsangebot und international anerkannte Studiengänge.

An der Universität gibt es 20 Fakultäten aus den Bereichen:

- der Naturwissenschaften
- der Ingenieurwissenschaften
- der Geisteswissenschaften
- der Medizin.

Die Interdisziplinarität der Uni spiegelt sich in 12 zentralen wissenschaftlichen Instituten wieder:

Materialwissenschaften – Neurowissenschaften – Medizintechnik – Biochemie  
Plasmaphysik und -technik – Umwelttechnik – IT-Sicherheit – Medien und Kommunikation  
Ruhrgebietsforschung – Wirtschaftspsychologie – Imaginations- und Shakespeareforschung

## RUB - Bildung

Reformiert nicht nur in der Forschung, sondern auch in der Lehre.

z.B. das Bochumer Modell **Medizin**

- die theoretische Medizin ist auf dem Campus angesiedelt
- die klinisch-praktische Medizin in den Kliniken der Umgebung

z.B. der Bologna-Prozess

- einheitlicher Europäischer Hochschulraum
- Schaffung einheitlicher Abschlüsse auf Grundlage zweier Hauptzyklen (Bachelor / Master)
- 2-Fach-BA/MA

## Alfried Krupp - Schülerlabor



## SLab - Bauherren

- **Der Bund - HBF**
- **Das Land - BLB NRW**
- **Die Uni - RUB**
- **Der Hauptinitiator**  
- Alfred Krupp-Stiftung



Alfried Krupp  
von Bohlen und Halbach - Stiftung

## SLab - Motivation

- **Aus Schülern werden Studenten**  
...werden Chemiker, Biologen, Ingenieure, ...  
...werden Absolventen  
Unsere Schüler werden unsere Zukunft tragen!
- **Die Schüler sollen**  
...ihre **Ziele** erfahren, verfolgen und **erreichen**  
und das auf dem direktem Weg!
- **Die Schüler sollen ihre Möglichkeiten**  
auch im unmittelbaren Umfeld der  
Wissenschaft kennen lernen und **nutzen**.



## SLab - Die Möglichkeiten

- **Das SLab ist interdisziplinär ausgerichtet**  
...derzeit sind 9 Fakultäten beteiligt.
- **Treffpunkt: Schüler – Wissenschaft**  
...nicht nur Angestellte, sondern auch Doktoren und Professoren werden Projekte für die Schüler betreuen.
- **Projekte zum Mitmachen und Anfassen**  
...für einzelne Schüler, Schülergruppen oder ganze Klassen.
- **Lehrerbildung**

## SLAB - Die Einrichtung

- **Ausstattung**  
ein ausgewogener Mix zwischen
  - neuester Technologie
  - bewährter klassischer Installationen und
  - zeitloser grundlegender Elementarkomponenten
- **technisch-physikalisches Labor**
- **chemisch-biologisches Labor**
- **mathematisch-analytisches Labor**
- **multimedial-simulatorischer Erlebnisraum**

SLAB - Zahlen, Daten & Fakten

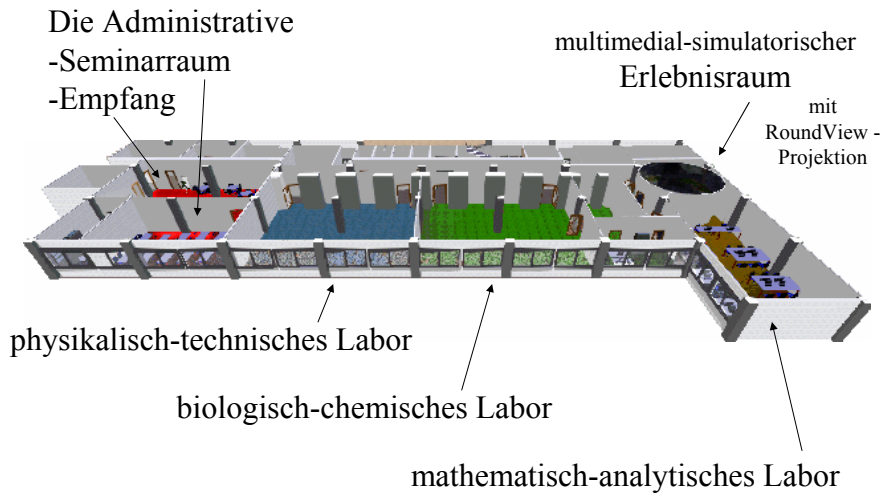
- **Laborgröße insgesamt 1000m<sup>2</sup>**
- **Erstausstattung über 1 Mio. €**
- **Baukosten rund 3 Mio. €**
- **Dutzende von Versuchen**
- **Wissenschaft aus 9 Fakultäten**
- **Kapazität bis zu 6.000 Schüler/Jahr**
- **Zielgruppe Schüler der 6. bis zur 12. Klasse**



SLAB - Logo ?



## SLab - Logo



## Der RoundView-Zylinder



Der RoundView-Zylinder ist eine verteilte, stereoskopische 360°-Projektionsplattform

Das Problem ist die Stetigkeit der Projektion an den Übergängen der Teilprojektionen.



Die Lösung ist eine Transformation (Vorverzerrung) der Segmentbilder.

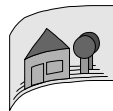
# RV - Anforderung



## Rechenexempel:

Es gibt 6 Segmente á 60°

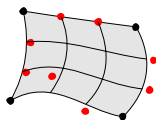
Jede Teilprojektion hat rund 1MPixel → 6 MPixel Daten  
 Der Farbraum beträgt 3 Byte (24 Bit) → 18 MByte Daten  
 Die Bildwiederholffrequenz soll 25 Hz sein → 450 MByte / s



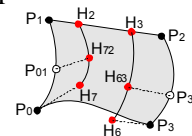
→ Eine Datenrate 3,6 GBit/s muss verarbeitet werden können!



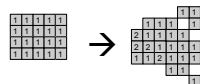
# RV - Lösung



Die Beschreibung erfolgt über ein angenähertes Bezier-Gitter.



→ Erweiterung des Linienalgorithmus nach **Bresenham**.

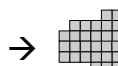


Umgekehrte Reihenfolge wegen Lückenproblem.

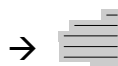
Vorgehensweise zur Linienbestimmung



ideal



discret



linear & parallel



transformed onto source

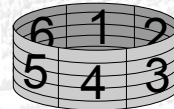


Ende



**Danke für Ihre  
Aufmerksamkeit.**

Stefan A. Benk



RoundView -  
Zylinder



# Entwicklung eines MID-Gebersimulators zu Test- und Kalibrierzwecken

(MID = magnetisch-induktiver Durchflussmesser)

**Dr. Karsten Hoeland**

KROHNE Messtechnik GmbH&Co KG, Duisburg

## Einleitung

Ein MID ist ein magnetisch-induktiver Durchflussmesser zur Messung der Durchflussgeschwindigkeit bzw. des Durchflussvolumens für elektrisch leitfähige Medien. Das Messprinzip basiert auf dem Induktionsgesetz.

$$\vec{U}_i = (\vec{v} \times \vec{B}) \cdot L$$

mit

$\vec{U}_i$  = induzierte Spannung

$\vec{v}$  = Geschwindigkeit

$\vec{B}$  = magnetische Flussdichte

$L$  = Länge des im Magnetfeld bewegten Leiters.

Vereinfacht gilt für das durchflossene Rohr die Gleichung

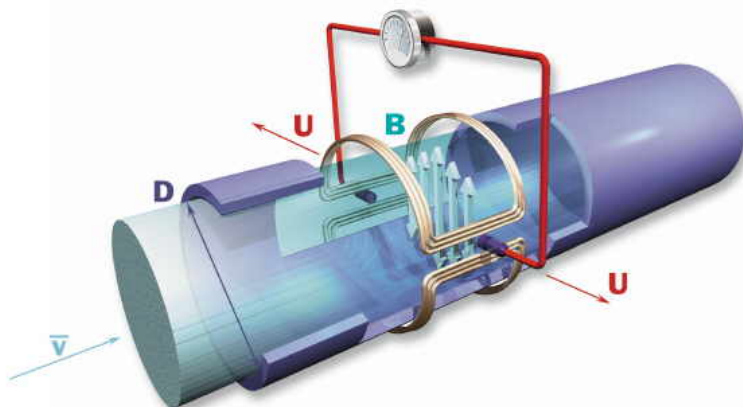
$$U = k \cdot B \cdot D \cdot \bar{v}$$

mit

$k$  = dimensionslose Konstante

$D$  = Innendurchmesser des Rohres

$\bar{v}$  = mittlere Geschwindigkeit des Messstoffes.



**Abbildung 1: Prinzip des magnetisch induktiven Durchflussgebers**

Eine elektronische Schaltung erzeugt einen Strom (Feldstrom genannt), der zur Erzeugung des Magnetfeldes  $B$  dient. Typischerweise wird ein Wechselfeld erzeugt, um elektrochemische Störspannungen und netzfrequente Störungen eliminieren zu können.

Die induzierte Sensorspannung  $U$  liegt im Bereich einer  $\mu\text{V}$  bis  $\text{mV}$  und wird über Elektroden seitliche abgegriffen, einem hochimpedanten Verstärker verstärkt, digitalisiert und mit einem Mikrokontroller aufbereitet.

Der zu entwickelnde Simulator soll den Geber, d.h. das Rohr mit Feldspulen und Elektroden simulieren.

### Funktionsweise und Einsatzgebiete des Simulators

Der Simulator misst den Feldstrom und generiert eine entsprechende Sensorspannung. Die generierte Sensorspannung wird durch folgende Parameter bestimmt:

- Geberkonstante GK: in diese sind die Faktoren  $k$ ,  $B$  und  $D$  zusammengefasst
- Durchflussgeschwindigkeit
- Istwert und Kalibrierwert des Feldstroms

Gebersimulatoren werden in mehreren Bereichen der Entwicklung und Fertigung von MID-Verstärkern benötigt: In der Entwicklung werden sie z.B. zur Überprüfung der Linearität und zur Ermittlung von Temperaturkoeffizienten der Verstärker eingesetzt und in der Produktion werden die Simulatoren zur Funktionsprüfung, Ermittlung des Temperaturkoeffizientens und zur Kalibration eingesetzt.

### Technische Anforderungen

Folgende Anforderungen wurden bei der Entwicklung des Simulators gestellt:

- 1 ‰ Genauigkeit
- 0,1 ‰ Auflösung, bei einer Aussteuerung von  $\pm 200\%$  werden 15,3 bit benötigt
- Arbeitsbereich von GK 0,5 bis GK 10  $\rightarrow$  Faktor 20
- Max. 1 ms Verzögerung zwischen Feldstromänderung und Sensorspannungsänderung
- Berücksichtigung, dass Exi Geräte (Geräte für den Einsatz in explosionsgefährdeten Bereichen) an den Simulator angeschlossen werden  $\rightarrow$  Maßnahmen, dass die Ex-Schutzschaltungen im Verstärker nicht beschädigt werden können.

In der folgenden Tabelle sind die Sensorspannungen für zwei GKs eingetragen.  $v = 20 \text{ m/s}$  entspricht einer Aussteuerung von  $+200\%$ ,  $v = 0,001 \text{ m/s}$  entspricht 0,1 ‰ Auflösung.

GK	$v / \text{m/s}$	Sensorspannung
0,5	20	33,624 mV
0,5	0,001	1,6812 $\mu\text{V}$
10	20	1,6812 mV
10	0,001	0,08406 $\mu\text{V}$

Tabelle 1: Sensorspannung in Abhängigkeit von GK und Durchflussgeschwindigkeit

### Struktur der elektrischen Schaltung

Der Feldstrom erzeugt einen Spannungsabfall über Präzisionswiderständen. Ein Differenzverstärker erhöht die Spannung und führt ihn einem 24 bit  $\Delta\Sigma$  ADC (analog digital Converter) zu. Der serielle Datenstrom des ADCs wird über eine optische galvanische Trennung (Schutz der Ex-Maßnahmen) zum Mikrokontroller übertragen. Im Mikrokontroller werden die Daten aufbereitet und die auszugebene Sensorspannung berechnet. Die Sensorspannung wird als binärer Datenstrom wiederum über eine optische Trennung dem Sensorspannungsgenerator

zugeführt. Dort befinden sich zwei Digital-Analog Umsetzer. Der erste 16 bit Umsetzer erzeugt das dynamische Sensorspannungssignal, das dem zweiten Umsetzer an dessen Referenzeingang zugeführt wird. Der zweite Umsetzer ist ein 8 bit DAC, der als 2 Quadranten Multiplizierer fungiert. Mit ihm wird der Arbeitspunkt, der durch die GK bestimmt wird, eingestellt (quasi als einstellbarer Spannungsteiler). Dessen Ausgangssignal wird anschließend verstärkt, Tiefpass gefiltert und einem invertierenden und einem nicht invertierenden Verstärker zugeführt, die das bipolare Signal erzeugen. Als letzte Stufe folgt ein Spannungsteiler, der das Signal auf die erforderlichen kleinen Spannungen herabsetzt.

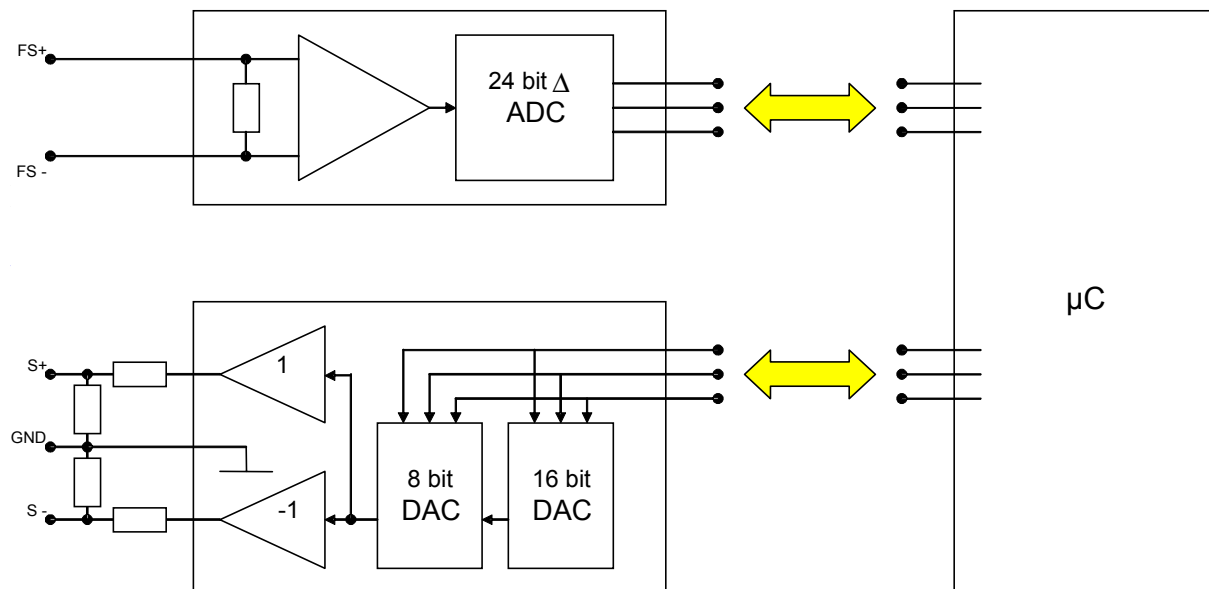


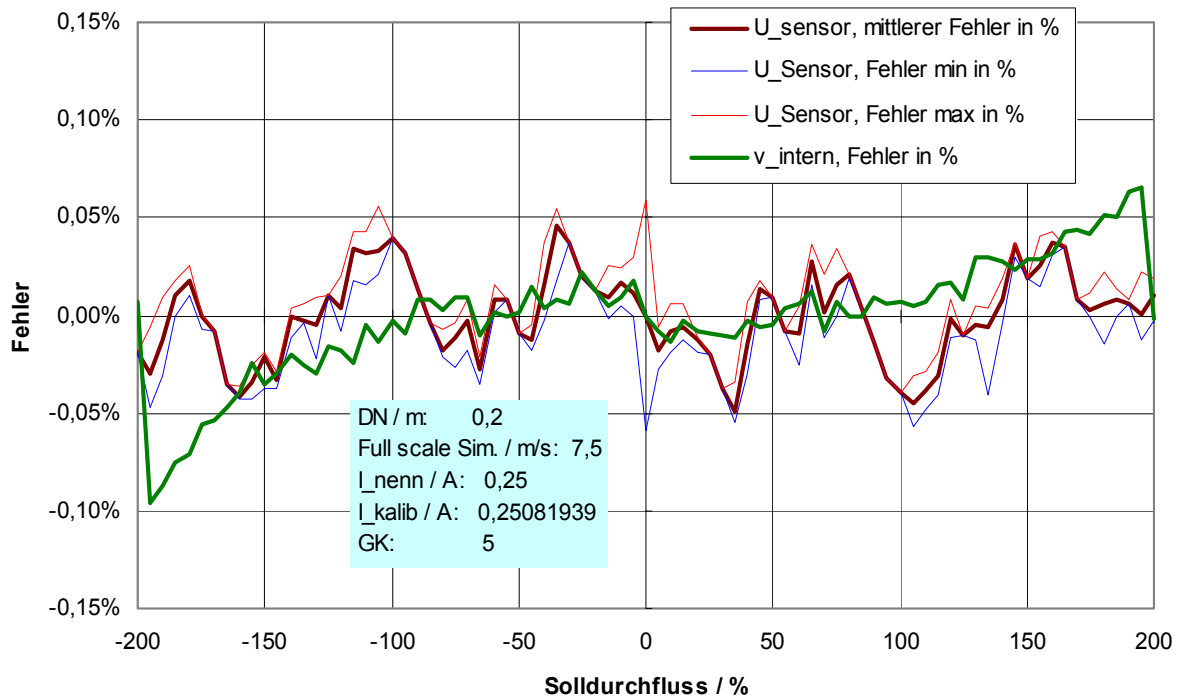
Abbildung 2: Struktur der Schaltung des Simulators

## Messergebnisse

Zur Überprüfung der Genauigkeit wird die generierte Sensorspannung gemessen und ausgewertet. Die Messung erfolgt mit einem Agilent 34970 Multimeter zwischen den invertierenden und nichtinvertierenden Verstärkern und den Spannungsteilern. Es wird das differentielle Signal zwischen den Ausgängen erfasst.

Der Verstärker generiert einen Feldstrom, der mit  $8 \frac{1}{3}$  Hz die Polarität wechselt. Da der Verstärker in der zweiten Hälfte des statischen Pegels die Sensorspannung erfasst, wurde ein Algorithmus eingesetzt, der die mit dem Agilent Messgerät erfassten Daten dementsprechend auswertet.

Parallel zu den Agilent Messdaten wurden die gemessenen Daten des Verstärkers aufgezeichnet.



**Abbildung 3: Messergebnisse**

In Abbildung 3 sind die Messergebnisse dargestellt. Es ist der mittlere Fehler, der Fehler des minimalen und maximalen Werts der Sensorspannung  $U_{\text{sensor}}$  (gemessen mit dem Agilent Messgerät) dargestellt. Gemittelt wird über 10 Messreihen, die wiederum aus 500 Samples, aufgenommen mit 500 Hz, bestehen und mit dem oben erwähnten Algorithmus ausgewertet werden.  $v_{\text{intern}}$  ist die im Verstärker ermittelte Durchflussgeschwindigkeit. Die Ergebnisse zeigen, dass der Simulator genauer als die geforderten 1 % Genauigkeit ist.

# Entwicklung eines MID-Gebersimulators zu Test- und Kalibrierzwecken

(MID = magnetisch-induktiver Durchflussmesser)

**Dr. Karsten Hoeland**

KROHNE Meßtechnik GmbH&Co KG, Duisburg

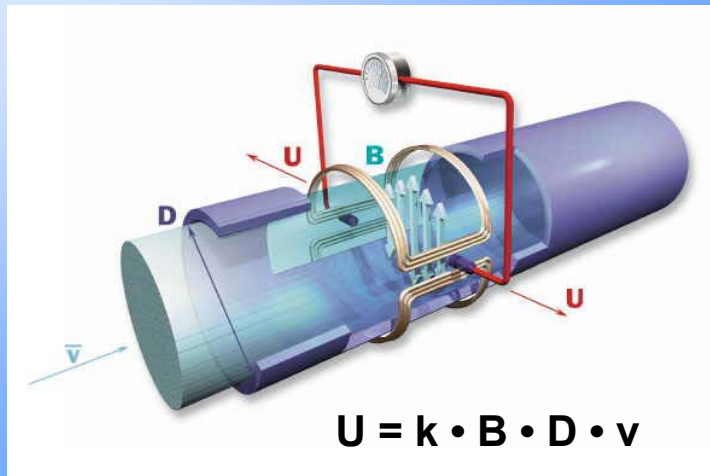
## Inhalt

- Einleitung
- Übersicht Aufbau / Funktionsweise eines MIDs
- Entwicklung und Aufbau eines Simulators
- Messergebnisse

# KROHNE

- Flow
  - MID
  - Masse / Coriolis
  - Vortex
  - Schwebekörper
  - Ultraschall
- Level
  - Radar (FMCW: Frequency Modulated Continuous Wave)
  - TDR (Time Domain Reflectometry)

## Aufbau und Funktionsweise eines MIDs



KROHNE

## Aufbau und Funktionsweise eines MIDs



KROHNE

## Funktionsweise eines Geber-Simulators

- Messen des Feldstroms - Ausgabe einer Sensorspannung
- Parameter:
  - Geberkonstante GK
  - Durchflussgeschwindigkeit
  - Istwert und Kalibrierwert des Feldstroms
- Verschiedene Betriebsmodi



## Anwendungsgebiete eines Geber-Simulators

- Entwicklung der Verstärker: z.B. Test der Linearität
- Elektronik-Fertigung: Funktionstest, Ermittlung  $T_k$ , Kalibration
- Reparatur
- Service

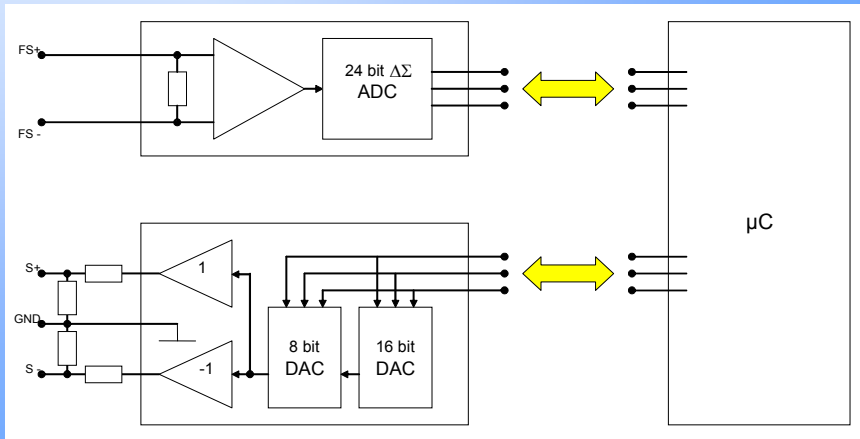
## Technische Anforderungen

- 1 ‰ Genauigkeit
- 0,1‰ Auflösung  $\rightarrow \pm 200\%$  Aussteuerung / 0,1‰  $\rightarrow 15,3$  bit
- Arbeitsbereiche von GK 0,5 bis GK 10  $\rightarrow$  Faktor 20
- Sensorspannungen:

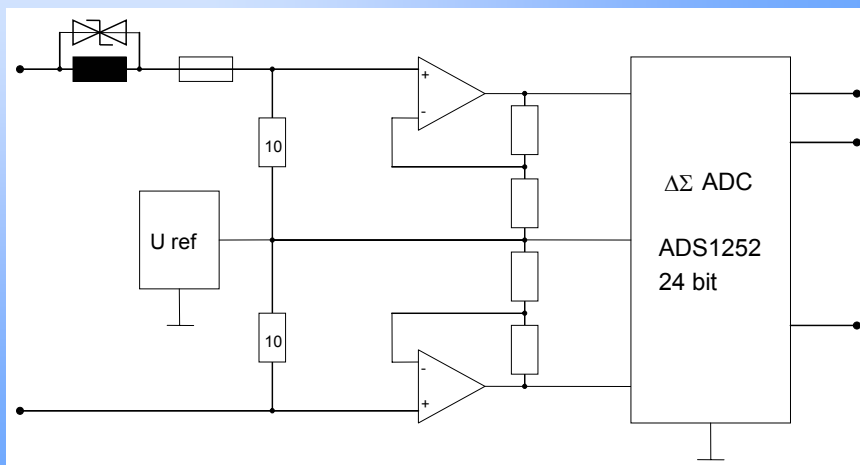
GK	v / m/s	Sensorspannung
0,5	20	33,624 mV
0,5	0,001	1,6812 $\mu$ V
10	20	1,6812 mV
10	0,001	0,08406 $\mu$ V

- 1 ms Verzögerung Feldstrom – Sensorspannung
- Berücksichtigung Exi

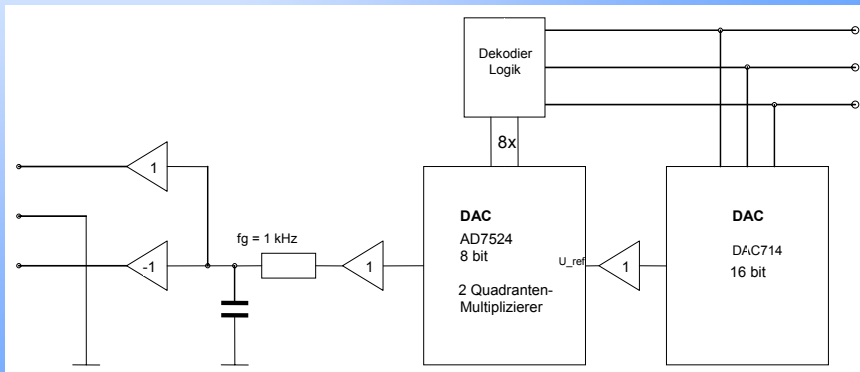
# Struktur des Simulators



# Feldstrommessung



# Sensorspannungsgenerator

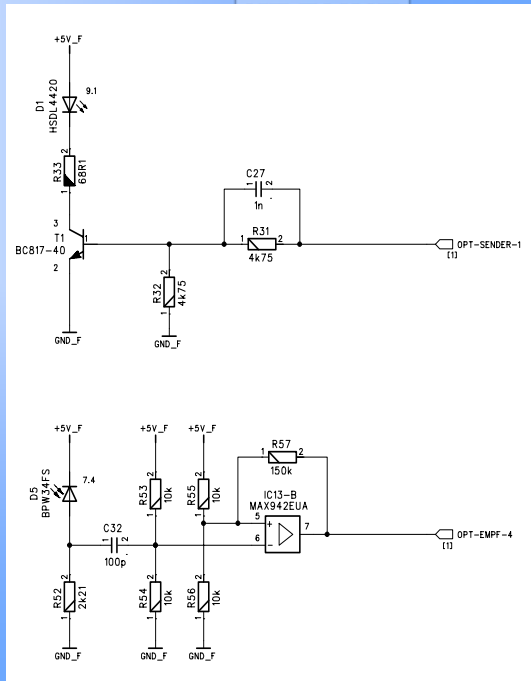
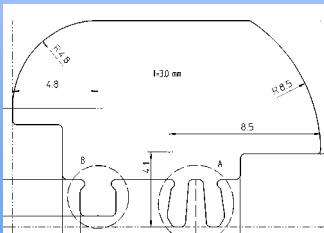


# Optische Trennung

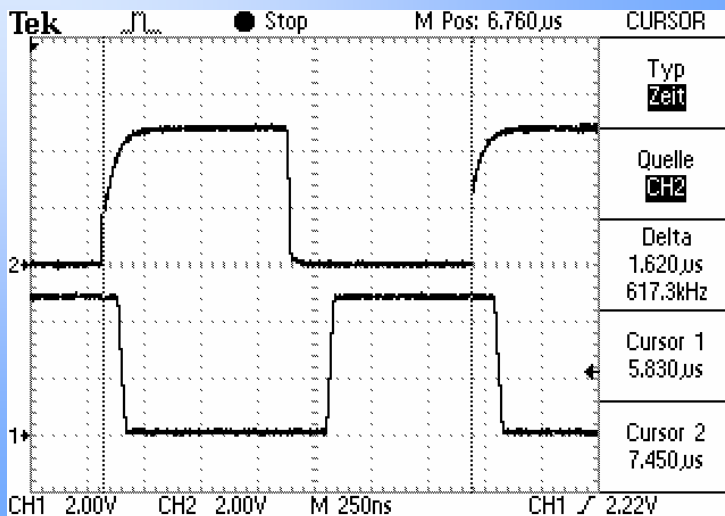
- Problem: 10 mm galvanische Trennung
  - Keine Bauelemente mit Zulassung verfügbar, die schnell genug sind
  - Keine second source
- Eigene Lösungen

# Optische Trennung

- 13 mm Abstand Luft
- 10 mm Abstand auf Leiterkarte mit Lichtleiter

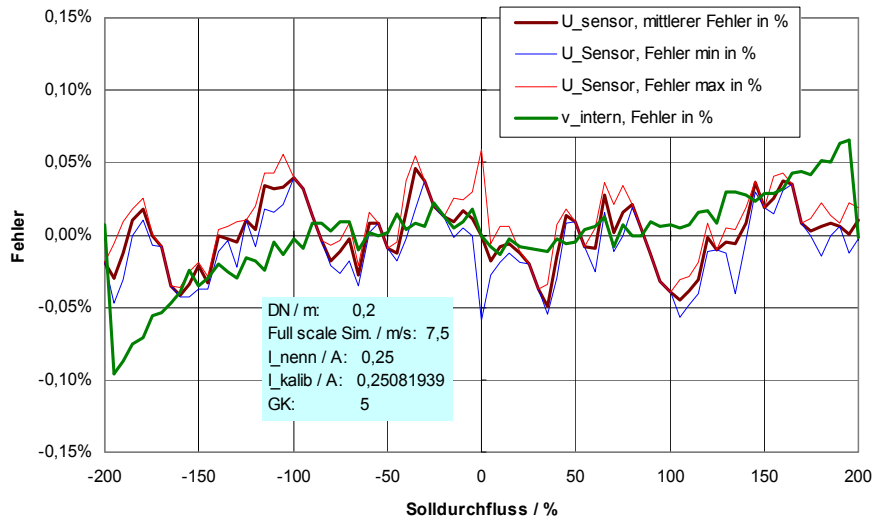


# Optische Trennung



12.09.2003 07:37:51 Bemerkungen:

# Messergebnis



# Konzeption und Realisierung eines autonomen DSP-basierten Werkzeugs zur Echtzeitanalyse und -modifikation von Protokollinformationen in 10/100 MBit-Netzen

Jens Wiggers  
Zentrale Polizeitechnische Dienste NRW, Duisburg  
eMail: jens.wiggers@zpd.polizei.nrw.de

## 1 Einführung

Der Prozess der Planung lokaler Computernetze wird von einer Vielzahl verschiedener Parameter bestimmt. Neben baulichen (Infrastruktur), technologischen (verfügbare Netzwerktechnologien) und organisatorischen (Aufbau- und Ablauforganisation) Randbedingungen ist auch der zu erwartende bzw. zu verarbeitende Netzwerkdatenverkehr von entscheidender planerischer Bedeutung. Durch die Erfassung von arbeitsplatz- oder dienstspezifischem Netzwerkdatenverkehr können Rückschlüsse auf die optimale Auslegung der Netzwerke gezogen werden. Dies ist entweder durch konkrete Messungen in bereits vorhandenen Netzen oder in Form der Nutzung generischer verallgemeinerter Netzlastmuster möglich.

Das Konzept der Software-Probes basiert auf dem Einsatz spezieller Messsoftware (Probe) auf den zu beobachtenden Rechnersystemen. Durch die Installation der betriebssystemspezifischen Probes werden die netzwerkrelevanten Daten des instrumentalisierten Systems erfasst. Mit dem geschilderten Messprinzip sind immanente eine Reihe von Nachteilen verbunden:

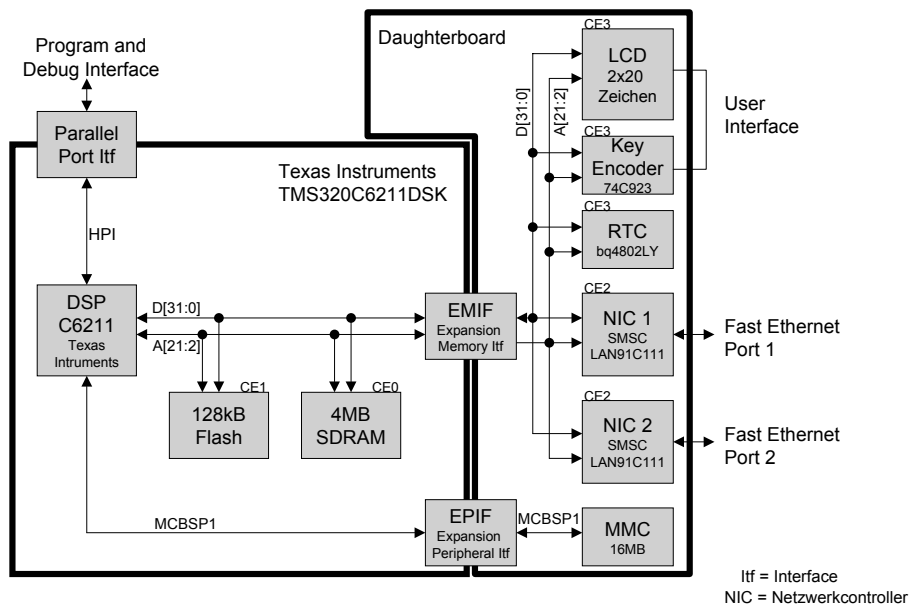
- Die Möglichkeiten der Datenerfassung werden dabei durch das Wirtssystem beschränkt.
- Die Ausführung des Probe-Codes belastet die Prozessoren zusätzlich und es besteht die Gefahr, dass die eigentlich zu messende Netzwerkkommunikation beeinflusst und ggf. verfälscht wird.
- Die Heterogenität der heutigen IT-Landschaft erschwert die Portabilität der Software speziell im Bereich exotischer Betriebssysteme, wie sie vielfach bei leistungsfähigen Großrechnern vorkommen.
- Durch die enge Verbindung mit dem Wirtssystem ist kein davon autonomer Betrieb möglich. Eventuell auftretende Rechnerausfälle können so durch die Probe nicht unmittelbar nachgewiesen und protokolliert werden.

- Das in letzter Zeit immer stärker aufkommende Prinzip der Thin-Clients - Arbeitsplatzrechnern mit minimaler Leistungsfähigkeit, die lediglich die durch das Netzwerk übertragenen Bildschirminformationen des Servers visualisieren - verhindert den Einsatz von Software-Probes auf Clientseite vollständig. Hier kann lediglich auf der Serverseite gemessen werden, wobei dann eine arbeitsplatzspezifische Netzlastmessung ohne weiteres nicht mehr möglich ist.

Eine Möglichkeit zur Vermeidung der geschilderten Probleme besteht in der Verwendung eines autonomen hardwarebasierten Messwerkzeugs zur Erfassung des Netzwerkdatenverkehrs. Ein solches Werkzeug wurde prototypisch konzipiert und aufgebaut. Die zugrundeliegenden Überlegungen in Bezug auf Entwurf und Implementierung von Hard- und Firmware werden nachfolgend dargestellt.

## 2 Hardware

Verwendungskritische Aspekte in Bezug auf die Hardware sind die Sicherstellung einer (möglichst) universellen Konnektivität des Werkzeugs, die Unterstützung aller relevanter Netzwerkprotokolle, die Implementierung einer flexiblen Analysefunktionalität für die vielseitige Nutzbarkeit sowie eine autonome Bedien- und Speicherfunktionalität. Optionale Mehrwerte wären ein hoher Grad an Datenvorverarbeitung, eine autonome Energieversorgung und selbstverständlich möglichst geringe Kosten.

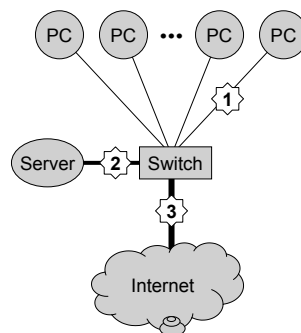


Dem letzten Punkt wird durch den überwiegenden Einsatz von Standardkomponenten und den Rückgriff auf ein Evaluationsboard mit minimalem Entwicklungsaufwand entsprochen. Kern des Systems ist das TMS320C6211DSK - ein Evaluationsboard des C6211 DSPs von Texas Instruments. Der Fixpoint-Prozessor wird mit 150 MHz getaktet und verfügt u.a. über umfangreiche DMA-Mechanismen. (= direct memory access) Durch wohldefinierte und auf dem

Board auf Steckerleisten geführte Schnittstellen ist die Erweiterung des Systems mit Hilfe eines proprietären Daughterboards problemlos möglich.

Das Userinterface besteht aus einem zweizeiligen LC-Display und einer hexadezimalen Tastatur zur Eingabe von MAC-/IP-Adressen. Um die Messintervalle mit exakten Zeitstempeln versehen zu können, ist die Verwendung eines batteriege- stützten Uhrenbausteins (RTC) angezeigt. Dieser ist u.a. auch in der Lage, über eine Interrupt-Leitung einen programmierbaren Alarm am Ende eines Messinter- valls auszulösen. Die netzwerktechnische Anbindung erfolgt über zwei NICs (=Netzwerk-Interfacecontroller). Sie entsprechen in Funktionalität und Hand- habung den auf üblichen Netzwerkkarten zu findenden Bausteinen. Die hier ein- gesetzten Derivate wurden jedoch speziell für den embedded-Bereich entwickelt, und können ohne spezielle Bussysteme (in der Regel PCI-Bus) an Prozessoren angebunden werden.

Als standardisiertes persistentes Datenmedium dient die Multimedia-Card. Sie wird durch den Consumer-Markt der digitalen Fotokameras in verschiedenen Speichergrößen preiswert angeboten. Neben den Messdaten beinhaltet sie auch die Firmware, die im Rahmen eines Bootvorganges beim Einschalten in das RAM des DSPs geladen wird. Somit ist ein Update der Werkzeug-Funktionalität durch einfachen Austausch bzw. Reprogrammierung des Speichermediums jeder- zeit möglich.



Die Abbildung zeigt ein typisches Einsatzszenario. Der erste Analysepunkt ermöglicht bei moderatem zu erwartendem Datenaufkommen eine applikations- und benutzerbezogene Datencharakteristik aufzuzeichnen. Der zweite Analysepunkt zeigt die Nutzung von Serverdiensten auf. Hier ist durch die Konzentration der Serverzugriffe ggf. mit hohem Datenaufkommen zu rechnen. Der dritte Analysepunkt ist im Hinblick auf die zu erwartende Datencharakteristik problematisch, da hier die Daten bei sehr hohem Datenaufkommen kaum noch nach definierten Parametern differenziert werden können.



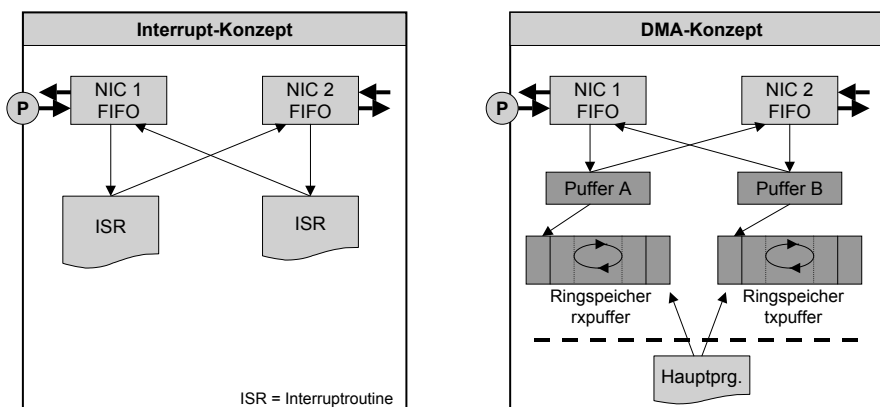
### 3 Firmware

Durch die Ethernet-Spezifikation sind die Bitgeschwindigkeit, die Framegröße und die Interframe-Gap zwischen zwei Frames festgelegt. Im worst case Fall erzeugt der Versand minimal großer Frames eine maximale Framerate. Da jeder Empfang eines Paketes durch die NICs einen Interrupt auslöst, bedeutet eine maximale Framerate eine maximale Interruptfrequenz. Sie liegt unter den geschilderten Bedingungen bei ca. 150.000 Interrupts/s.

In Abhängigkeit von den auszuwertenden Protokollen entsteht neben dem nicht unerheblichen Speicherbedarf die Notwendigkeit des Parsens von Teilen der empfangenen Frames. Unter der Annahme eines Untersuchungszenarios bis Ebene vier des ISO/OSI-Modells (Ethernet, IP und TCP) müssen minimal die ersten  $14+20+20=54$  Byte eines jeden Datenframes untersucht werden. Falls in einzelnen Frames optionale Headerblöcke verwendet werden oder zusätzlich höhere Protokollschichten interessieren (z.B. FTP), muss der Untersuchungsbereich entsprechend erweitert werden.

Die in den Headern der verschiedenen Schichten definierten Felder zur Deklaration des eingebetteten Protokolls erlauben die vielfältige Differenzierung der untersuchten Frames pro Messintervall. So unterscheiden Ethernet-Frames 65536, IP-Pakete 256 und TCP-Pakete 65536 verschiedene eingebettete Protokolle. Weiterhin kann nach ein- und ausgehenden Paketen unterschieden werden. Die Führung zusätzlicher Statistiken (Minimum, Maximum, gleitendes Mittel) über untersuchte Frames führt zu weiterem Speicherbedarf.

Diese Betrachtungen beeinflussen die Hardware-Auslegungsentscheidungen bezüglich Prozessorgeschwindigkeit sowie RAM- und Multimediacard-Speichergrößen. Weiterhin ergeben sich Rückwirkungen auf die Spezifikation der Firmware im Hinblick auf die Messintervall-Größe, die Speicherorganisation und -verwaltung und die Frameverarbeitung.



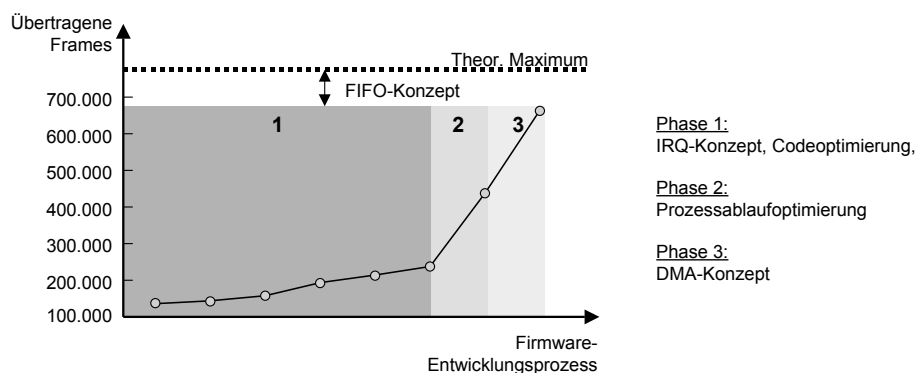
Obige Abbildung stellt zwei grundsätzliche Modellierungskonzepte der DSP-Firmware gegenüber. Das Interrupt-Konzept kann einfach implementiert werden. Der nach dem Paketempfang vom NIC ausgelöste Interrupt führt zur Ausführung einer Interrupt-Serviceroutine (ISR), die sowohl den Weiterversand des Frames einerseits, als auch dessen Untersuchung andererseits durchführt. Diese

Lösung führt zu einer sehr hohen Prozessorbelastung und damit im Grenzbereich hoher Paketsenderaten (worst case) zu einem Verlust an Paketen.

Das DMA-Konzept bedient sich einer zusätzlichen DSP-Hardware, die unabhängig vom Prozessor Speicherverschiebeoperationen ausführen kann. Diese Operationen können sowohl durch den Prozessor selbst als auch aufgrund auftretender Interrupts ausgelöst werden. Weiterhin ist durch ein mehrkanaliges DMA-System eine Verkettung verschiedener DMA-Operationen möglich. Der Empfang eines Paketes veranlasst durch den NIC-Interrupt die DMA-Übertragung des Frames in einen Zwischenspeicher. Von dort aus werden die Daten in zwei parallelen DMA-Operationen zum zweiten NIC und in einen Ringspeicher im RAM transportiert. Der Prozessor kann zeitgleich die Frame-Untersuchung aus dem Ringspeicher heraus durchführen. Dieses Konzept trennt die Datenaufnahme von der Datenanalyse und erreicht so eine maximale Framefrequenz. Nachteilig ist die im Vergleich zum IRQ-Konzept komplexe Konfiguration.

## 4 Messtechnischer Vergleich von Theorie und Praxis

Zur Ermittlung der Datendurchsatzraten des Werkzeugs wird dieses durch eine Datenquelle zehn Sekunden lang mit 150 Byte langen TCP-Paketen beaufschlagt. Die theoretische Durchsatzrate beträgt 77.160 Frames/s. Die Entwicklung der Firmware verlief in drei Phasen.



Das reine IRQ-Konzept vermag trotz umfangreicher Codeoptimierungen nicht mehr als ca. ein Viertel des theoretischen Wertes zu leisten. Durch strukturelle Codeänderungen (wie beispielsweise die Zusammenfassung verschiedener Methoden in eine Methode zur Vermeidung von Sprüngen) wird eine Verdoppelung des Durchsatzes erreicht.

Erst die Umsetzung des DMA-Konzeptes verbessert die Datendurchsatzraten auf einen akzeptablen Wert, wobei das theoretische Limit nicht ganz erreicht wird. Die bestehende Differenz könnte z.B. durch den Einsatz eines FIFO-Konzeptes überwunden werden. Dazu wird unterstellt, dass derartige Verkehrsspitzen nicht kontinuierlich, sondern nur kurzfristig auftreten.

Die bestehende Differenz stellt in praxi jedoch kein wirkliches Problem dar, denn die durch den Ethernet-Standard vorgegebenen Grenzwerte können nur

von extrem leistungsfähigen Rechnersystemen erreicht werden. Normale Computer werden in ihrer netzwerkbezogenen Leistungsfähigkeit durch das Werkzeug abgedeckt.

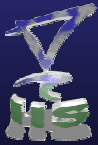
## 5 Ausblick

Die durch das Werkzeug aufgenommenen Netzwerk-Verkehrsdaten können zur Erstellung von Applikations- und Benutzerprofilen verwendet werden. Diese wiederum finden Eingang in die realitätsnahe Simulation von Netzwerkverkehr und tragen somit zur Verbesserung der Planung von Computernetzen bei.

Das Werkzeug kann durch seinen konzeptuellen Aufbau aber auch für völlig andere Aufgaben verwendet werden: Die Analyse und Manipulation von Netzwerkdaten. Dies ist z.B. im Kontext von Paketfiltern und Content-Filterung in Firewallsystemen sinnvoll.

# Konzeption und Realisierung eines autonomen DSP-basierten Werkzeugs zur Echtzeitanalyse und -modifikation von Protokollinformationen in 10/100 MBit-Netzen

Dipl.-Ing. Jens Wiggers



AG Integrierte Informationssysteme  
Prof. Dr.-Ing. Y. Tüchelmann  
Ruhr-Uni Bochum



Zentrale Polizeitechnische Dienste NRW  
Dez. 21 - Zentrales Servicecenter  
Duisburg

## Gliederung des Vortrags

### 1. Problemstellung

### 2. Hardware

- Anforderungen
- Konzeptueller Systemaufbau
- Einsatzszenario

### 3. Embedded Software/Firmware

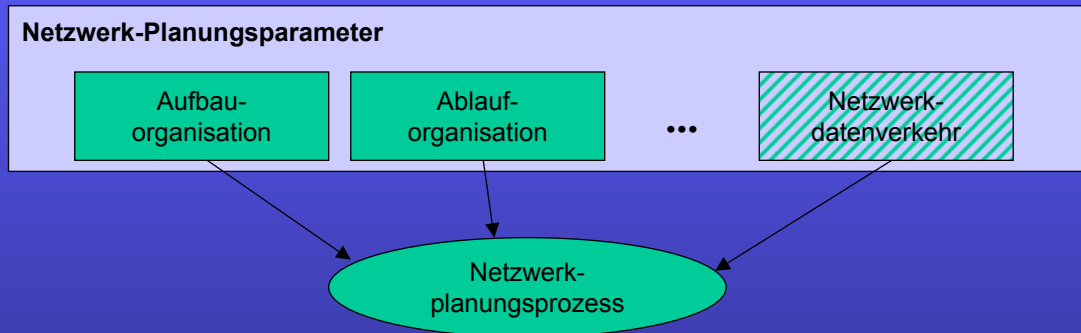
- Anforderungen
- DSP-Interne Kommunikationskonzepte

### 4. Messtechnische Betrachtung

- Vergleich realer/theoretischer Datendurchsatzraten
- Charakterisierung von Netzlastsituationen

### 5. Ausblick

## Problemstellung



### Messung des Netzwerkdatenverkehrs durch Software-Probes

- Datenerfassungsmöglichkeiten abhängig vom Wirtssystem
- Beeinflussung der Datenübertragungsrate durch zusätzliche Prozessorbelastung
- Problematische Portabilität bei heterogener IT-Landschaft
- Kein autonomer Betrieb zum Wirtssystem möglich
- Nicht anwendbar bei Thin-Client Konzepten

→ **Autonome hardwarebasierte Messung des Netzwerkdatenverkehrs**

## Hardwareanforderungen

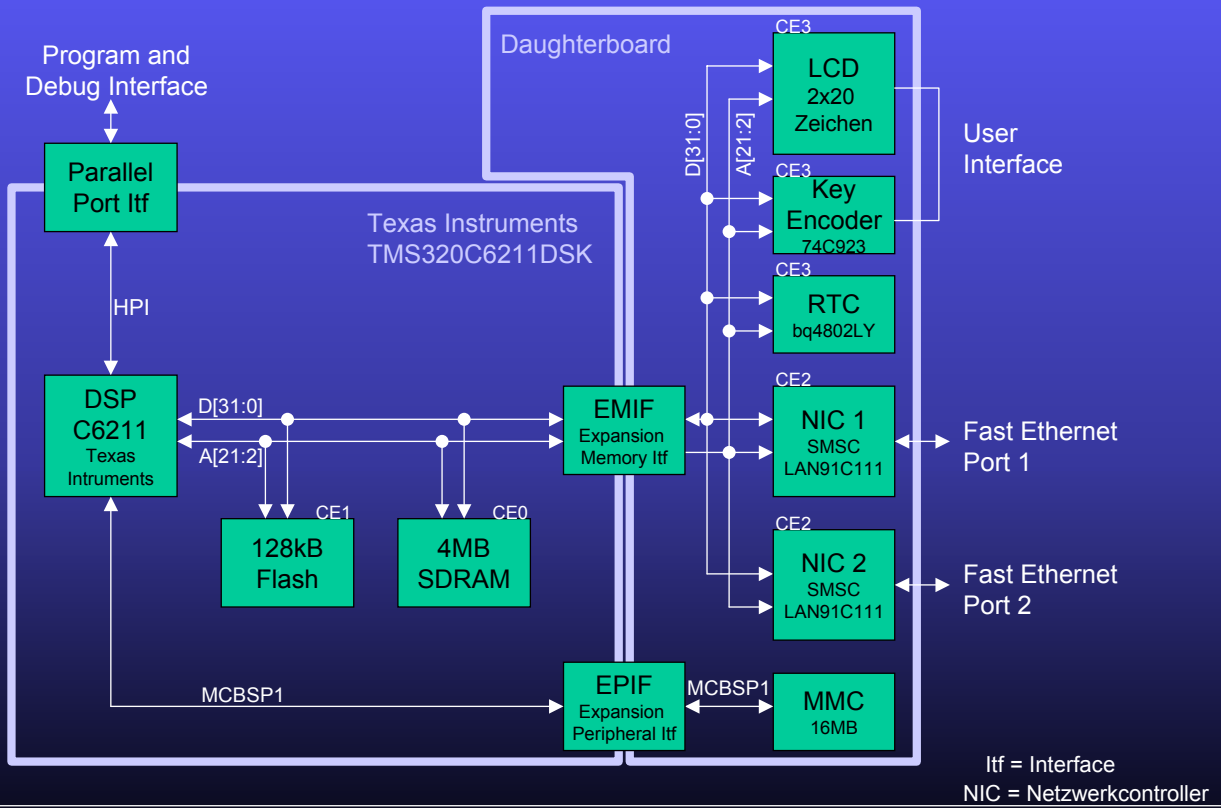
### Verwendungskritische Aspekte

- Universelle Konnektivität
- Unterstützung aller relevanter Netzwerkstandardprotokolle
- Flexible Analysefunktionalität für vielseitige Nutzbarkeit
- Autonome Bedienbarkeit, Speicherkapazität

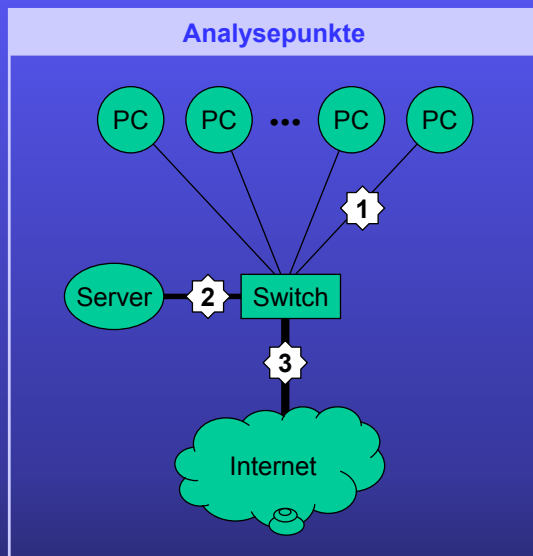
### Optionale Mehrwerte

- Hoher Grad an Datenvorverarbeitung/-aufbereitung
- Niedriger Preis
- Autonome Energieversorgung

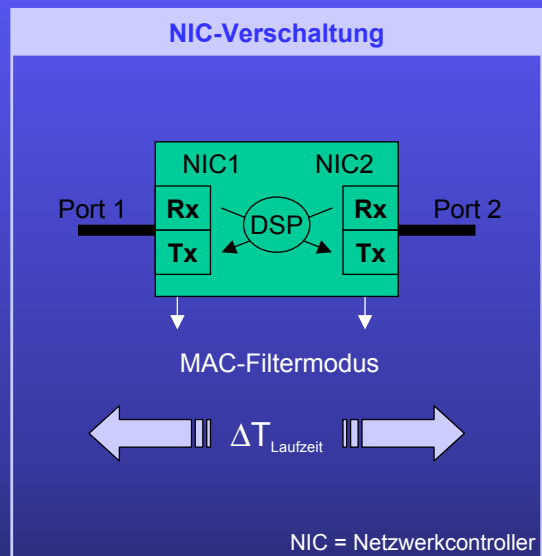
# Systemaufbau



# Typisches Einsatzszenario



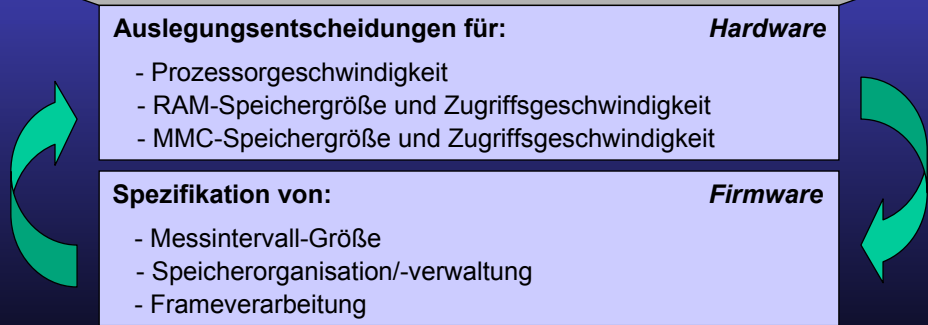
Daten	-aufkommen	-charakteristik
1	moderat	Applikation, Benutzer
2	hoch	Dienst
3	sehr hoch	?



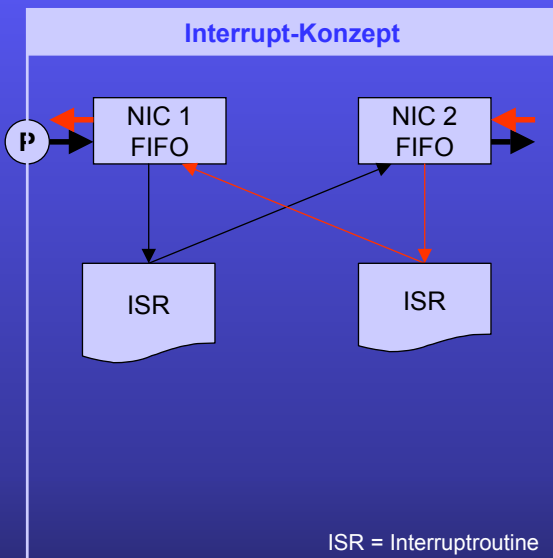
	NIC 1	NIC 2
1	MAC-Filter	Promiscuous Mode
2	MAC-Filter	Promiscuous Mode
3	Promiscuous Mode	Promiscuous Mode

# Firmwareanforderungen

FastEthernet-Spezifikation	Einsatzzweck		
<ul style="list-style-type: none"> <li>- Geschwindigkeit: 10 ns/Bit</li> <li>- Framegröße: 72-1500 Byte</li> <li>- Interframe-Gap: 960ns</li> </ul> <p>Framegröße ↓                      ⇒ Framerate ↑                      ⇒ Datenübertragungsrate ↓                      ⇒ Interruptbelastung ↑</p>	Untersuchungsebene im ISO/OSI-Modell <ul style="list-style-type: none"> <li>- Ethernet: 14 Byte</li> <li>- IP: 20 Byte</li> <li>- TCP: 20 Byte</li> </ul> Zu parsende Daten pro Frame	Anzahl notwendiger Dienste/Ports <ul style="list-style-type: none"> <li>- Ethernet: 65536</li> <li>- IP: 256</li> <li>- TCP: 65536</li> </ul> Zu differenzierende Frames In/Out	Statistikumfang pro Messintervall <ul style="list-style-type: none"> <li>- Mini-/Maximum</li> <li>- Mittelwert</li> </ul>



# DSP-interne Kommunikationskonzepte

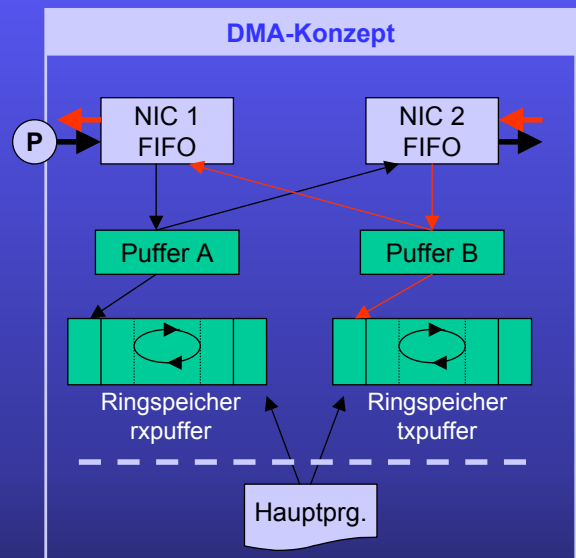


**Vorteil**

- Einfache Implementierung

**Nachteil**

- Geringe Paketfrequenz ohne Verlust
- Hohe Prozessorlast



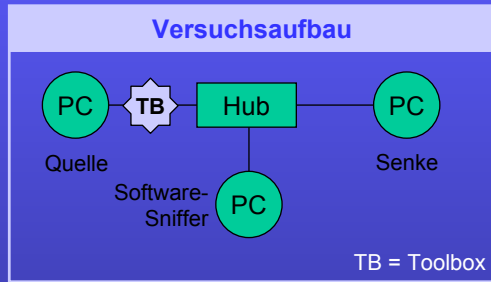
**Vorteil**

- maximale Paketfrequenz
- Trennung von Datenaufnahme/-analyse

**Nachteil**

- Komplexe Konfiguration

## Vergleich der realen mit den theoretischen Datendurchsatzraten

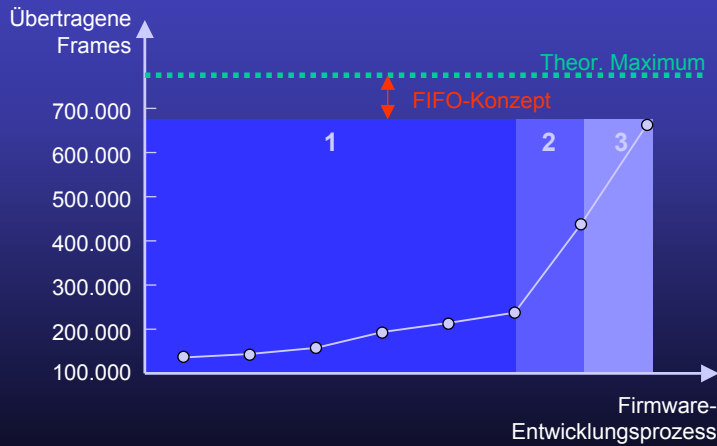


### Quelle

- Framegröße: 150 Byte
- Theor. Übertragungsrate: 77.160 Frames/s
- Sendedauer: 10 s

### Senke

- Aufnahme der Frames ohne Verarbeitung



Phase 1:  
IRQ-Konzept, Codeoptimierung,

Phase 2:  
Prozessablaufoptimierung

Phase 3:  
DMA-Konzept

## Ausblick

### Kurzfristig

- Vollständige Umsetzung des DMA-Konzeptes in die Firmware
- Umfassende Charakterisierung der Leistungsfähigkeit des Prototypen und präzise Spezifikation der Erfassungsgrenzen

### Mittelfristig

- Toolbox-basierte Aufnahme verschiedener Netzlastsituationen zur Erstellung entspr. -profile
- Simulationsbasierte Weiterverarbeitung der Netzlastprofile

### Langfristig

- Anaylsen zur Nutzbarkeit der Toolbox im Bereich der IT-Sicherheit (Firewall, Content-Filter, etc.)



# Ein Framework zur Erstellung von Szenarien für die Simulation lokaler Netze

*Dipl.-Ing. André Westhoff*

*Arbeitsgruppe Integrierte Informationssysteme, Ruhr-Universität Bochum*

*eMail: andre.westhoff@iis.ruhr-uni-bochum.de*

## 1 Einleitung und Motivation

Die Planung von großen (lokalen) Computernetzen muss sorgfältig erfolgen, da das Netzwerkdesign maßgeblich die Effizienz des Netzwerkes bestimmt. Insbesondere muss sichergestellt werden, dass die vom Endanwender spezifizierten Anforderungen an das Netzwerk erfüllt werden.

Deswegen ist es im Rahmen der Qualitätssicherung schon in den frühen Planungsphasen notwendig, Qualitätsmaße des entworfenen Netzwerkes zu erfassen.

Diese Qualitätsmaße können allerdings nicht direkt in dem entworfenen System gemessen werden, da dieses in den frühen Planungsphasen nicht real existiert und ein realer Testaufbau zu kosten- und zeitintensiv wäre.

Ebenso wenig können analytische Verfahren eingesetzt werden, welche die Netzwerklast durch statistische Werte, wie z.B. Mittelwerte, darstellen, da die Last durch die vom Netzwerknutzer initiierten Datenübertragungen verursacht wird und temporär auftretende Spitzenwerte aufweist (vgl. [FLO-01]).

Stattdessen kann das Netzwerk und die darin auftretenden Datenübertragungen simuliert werden. Hierbei wird ein Modell des Systems erstellt, das sich im Bezug auf die zu untersuchenden Aspekte hinreichend genau wie das nachzubildende System verhält. Somit lässt sich in einem Experiment bzw. in einem Simulationsdurchgang von dem Verhalten des abgebildeten Systems auf das Verhalten des Originals schließen.

Für einen konkreten Simulationsdurchlauf wird ein Simulationsszenario benötigt, das durch die Bestandteile und Parameter definiert ist, die eine Simulation beinhaltet (vgl. [BAJ-98, Kapitel 4, S.8]).

Neben dem Simulationsmodell wird für einen Simulationsdurchlauf ein Modell benötigt, das dynamische Vorgänge abbildet. In dem Aufgabengebiet der Leistungswertung von Netzwerken werden die dynamischen Vorgänge durch ein Lastmodell (*workload model*, vgl. [JAI-91]) repräsentiert. Eine Last beschreibt eine Einheit, die über das Netzwerk gesendet wird und somit dieses belastet.

Das Simulationsmodell wird mit Modellparametern und das Lastmodell mit Lastparametern initialisiert, so dass ein konkretes Simulationsmodell und konkrete Lasten definiert werden.

Da der Netzwerkdesigner nicht unbedingt ein Experte auf dem Gebiet der Szenarienerstellung ist, ist es sinnvoll, dass er aktive Hilfestellung durch ein Unterstützungssystem bei der Erstellung erhält.

Der Entwurf sowie die Implementierung eines solchen Unterstützungssystems erfordert besondere Sorgfalt, da zum einen ein einfach zu handhabendes und zum anderen auch ein flexibles Programm entstehen soll, das auf die jeweiligen Bedürfnisse des Netzwerkdesigners angepasst werden kann. Genau dies wird durch das in dieser Arbeit vorgestellte software-technische Rahmenwerk ermöglicht.

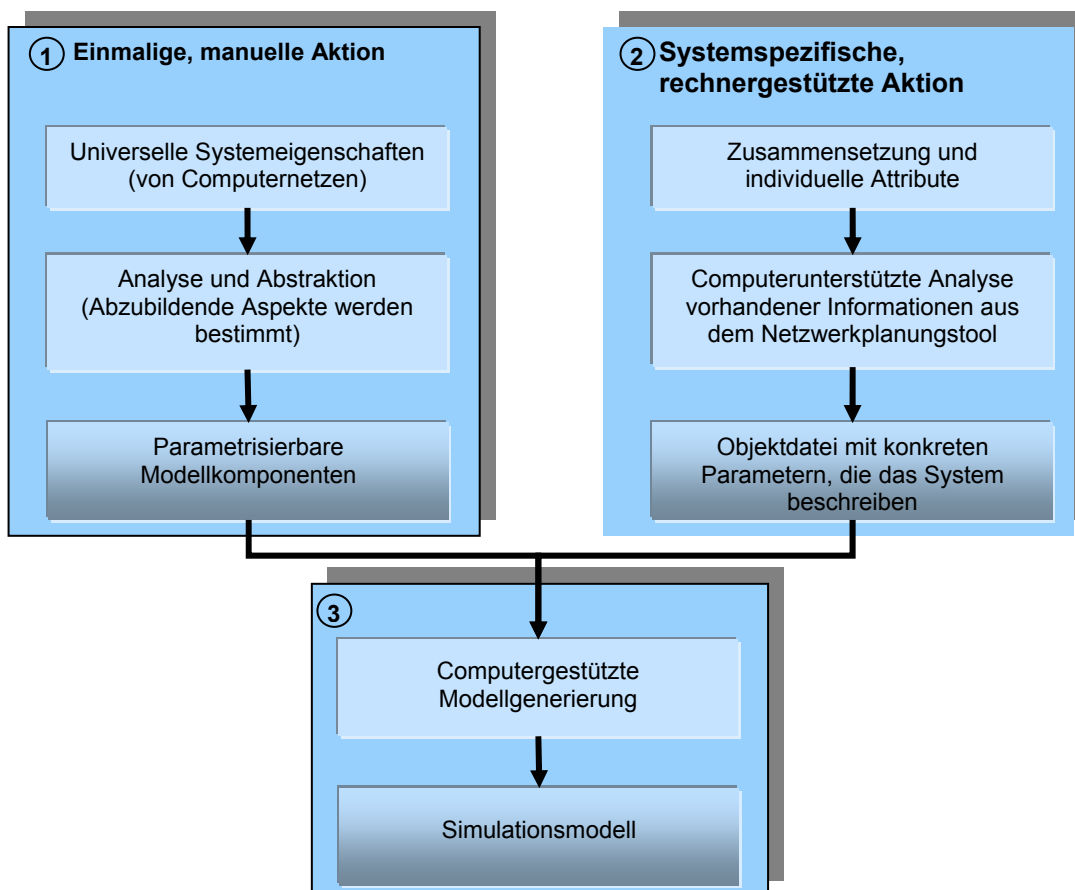
## 2 Erstellung von Simulationsszenarien

Die Erstellung von Simulationsszenarien spaltet sich auf in die Erstellung von Simulationsmodellen und Lastmodellen. Hier wird zunächst die Erstellung von Simulationsmodellen beschrieben.

Für die automatisierte Erstellung von Simulationsmodellen bietet sich ein Unterstützungssystem an, welches dem Benutzer »bei Aufgaben der Modellbildung und Simulation umfassende Hilfestellung« [PAG-91, S.162] gibt.

Modellbanksysteme stellen eine Sammlung von Modellen oder Modellkomponenten bereit, die nach dem »Baukastenprinzip« miteinander verknüpft werden können.

In [SCH-97] wird ein Ansatz vorgestellt, der bei der Modellerstellung nicht nur Modellkomponenten einsetzt, sondern auch beschreibt, dass die Daten für die Erstellung von Modellen aus benachbarten IT-Systemen gewonnen werden können. Das Verfahren ist in dieser Arbeit für die Verwendung im Netzwerkbereich angepasst worden und in Abbildung 2-1 dargestellt:



**Abbildung 2-1 : Computergestützte Modellgenerierung nach [SCH-97]**

Folgende drei Arbeitsschritte sind bei der computergestützten Modellgenerierung nach [SCH-97] nötig:

1. Zunächst werden in einem einmaligen und manuellen Schritt Objektklassen gebildet, die eine Schablone für die Modellkomponenten darstellen und den Modellrahmen definieren. Die Gruppe aller zu modellierender Systeme – in diesem Fall die Computernetzwerke - werden hierzu

bezüglich ihrer universellen Systemeigenschaften untersucht.

2. Die systemspezifischen Eigenschaften (Art und Anzahl der Modellkomponenten im System, Relationen zwischen den Modellkomponenten,...) eines konkreten Systems werden rechnergestützt aus einem benachbarten IT-System gewonnen. Es entsteht eine Objektdatei, die das jeweilige konkrete System charakterisiert.
3. In dem nächsten Schritt werden diese Informationsquellen zusammengeführt und das Simulationsmodell computergestützt generiert.

Die Erstellung von Lastmodellen kann analog erfolgen, da diese auch aus parametrisierbaren Modellkomponenten zusammengesetzt werden können (vgl. [MEN-94]).

Der implementierte Algorithmus im Framework erstellt die Simulationsszenarien nach dem obigen Muster und gewinnt die Daten über den Aufbau des Netzwerkes aus dem Netzwerkplanungstool NetPro<sup>1</sup>.

Der Algorithmus ist in fünf Hauptschritte unterteilt:

#### **1. Erstellung und Initialisierung des Simulationsmodells**

Hier werden also die in Abbildung 2-1 dargestellten Schritte 2 und 3 ausgeführt. Zunächst wird der Aufbau der in der Datenbasis des Planungswerkzeuges (NetPro) existierenden Netzwerkelemente untersucht, denen danach Modellkomponenten zugeordnet werden.

Der Aufbau der Netzwerktopologie wird anschließend untersucht. Danach werden den Simulationselementen Netzwerkadressen zugeordnet.

#### **2. Generierung von Arbeitslasten**

In diesem Hauptschritt müssen die konkreten Arbeitslasten generiert werden. Anhand der Vorgaben in den Benutzerprofilen werden aktive Modellkomponenten, wie z.B. Generatoren und Netzwerkanwendungen, dem Netzwerk hinzugefügt werden, welche in der Simulation die eigentliche Last erzeugen.

#### **3. Generierung von Störfällen**

In diesem Hauptschritt werden Störfälle im Netzwerk betrachtet, da sich bei einer Störung das Verhalten vieler Netzwerkelemente ändert. Wenn z.B. eine Übertragungsstrecke viele Fehler bei der Datenübermittlung verursacht, dann versuchen verbindungsorientierte Protokolle durch wiederholtes Senden der Daten, die Fehler auszugleichen. Dadurch wird das Datenaufkommen im Netzwerk aber erhöht. Auch unter diesen Umständen müssen wichtige Netzwerkbereiche im Unternehmen, wie z.B. der Produktionsbereich, Minimalanforderungen bzw. SLAs (*Service Level Agreements*), genügen.

---

<sup>1</sup> NetPro wird von der Arbeitsgruppe Integrierte Informationssysteme an der Ruhr-Universität Bochum entwickelt. Dieses Tool unterstützt den Projektteur bei der Planung, Erstellung und Auslegung von lokalen Netzwerken.

#### 4. Generierung von Beobachtungspunkten

Hier werden Beobachtungspunkte generiert, die in dem Simulationsmodell Stellen kennzeichnen, bei denen wichtige Daten mitgeschnitten werden. Mit dem Beobachtungspunkten kann also das Simulationswerkzeug hinsichtlich seines Verhaltens bei der Protokollierung gesteuert werden. Dies ist deshalb notwendig, da die Protokolldateien sehr schnell zu groß und unhandlich werden.

#### 5. Generierung der Ausgabedatei

Im fünften und letzten Hauptschritt wird die Ausgabedatei erstellt, die das Simulationsszenario für ein bestimmtes Werkzeug enthält.

Jeder der oben beschriebenen Algorithmusschritte besitzt auch Unterschritte, die in der Darstellung des Gesamtalgorithmus (siehe Abbildung 2-2) aufgelistet sind.

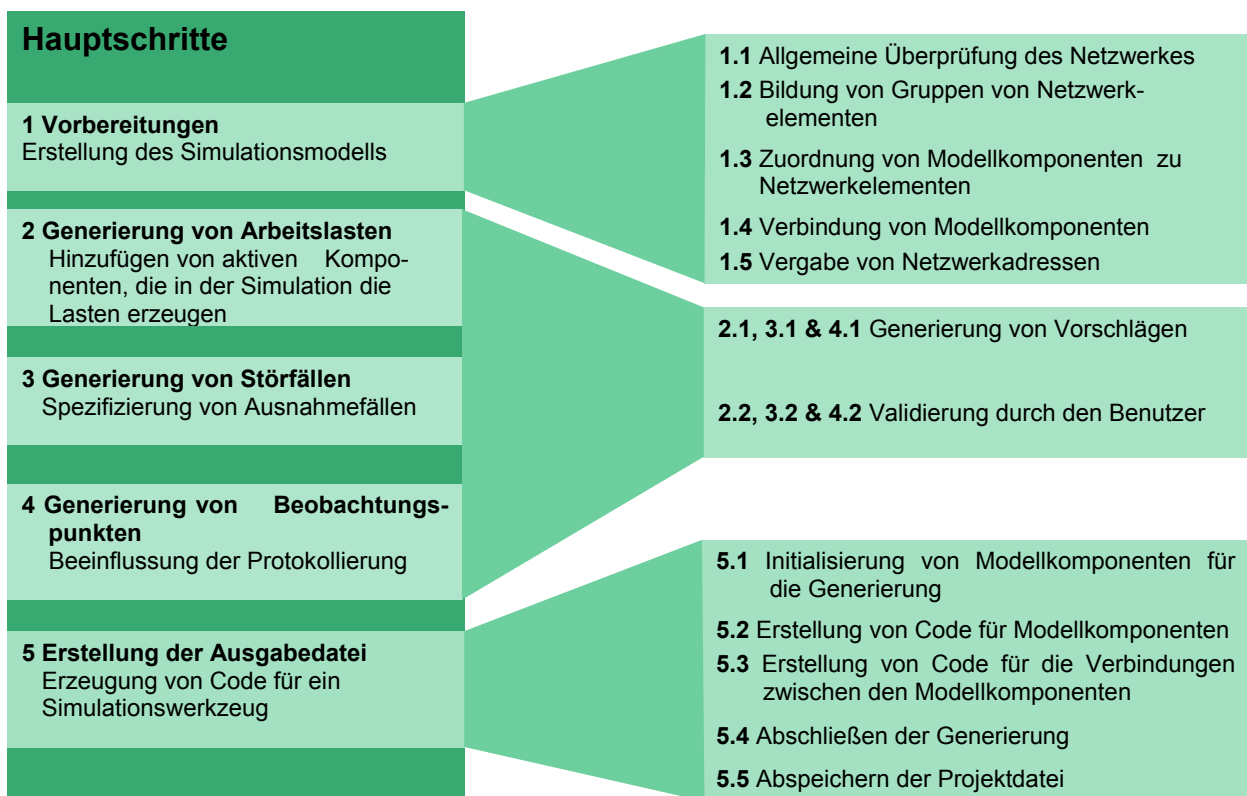


Abbildung 2-2: Algorithmus zur Erstellung von Simulationsszenarien

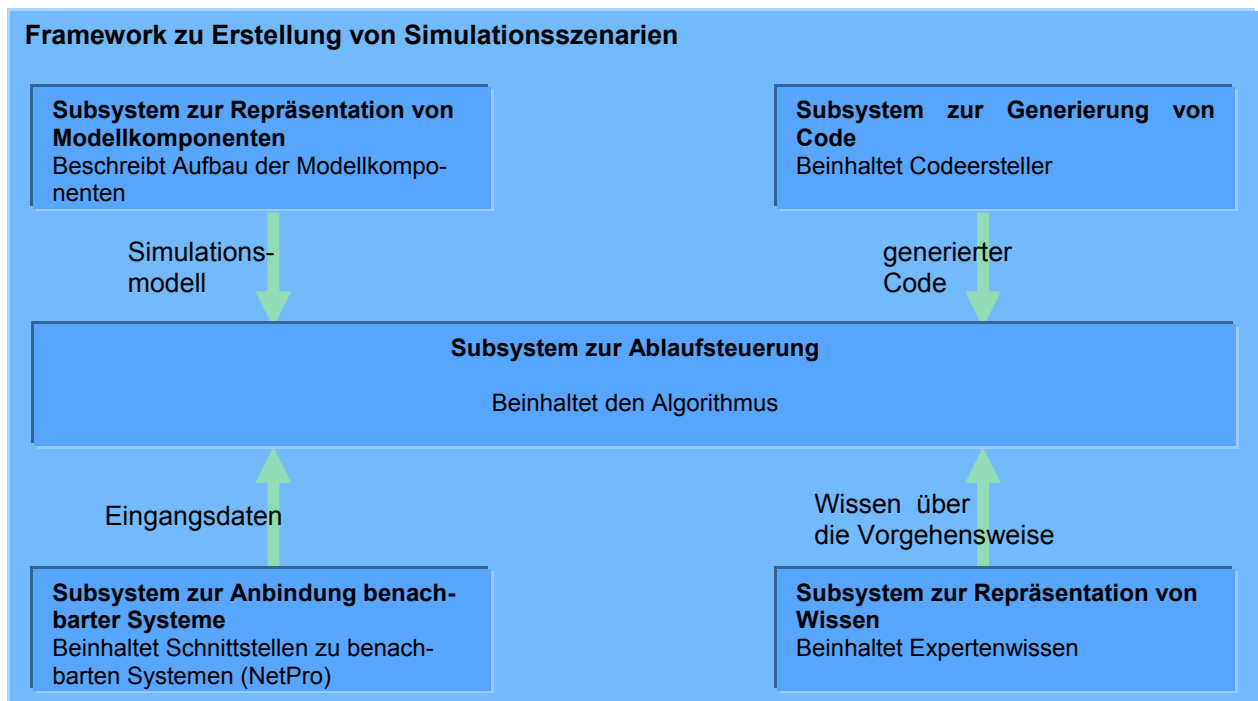
### 3 Subsysteme des Frameworks

Aufgrund der Größe des Frameworks und aus Gründen der Wiederverwendbarkeit, ist es sinnvoll, das Rahmenwerk in kleinere Subsysteme zu unterteilen, in denen jeweils ein inhaltlichen abgeschlossen Teilaspekt des Gesamtsystems implementiert wird.

Dabei ergibt sich aus den folgenden Forderungen sowohl die Unterteilung in die weiter unten genannten Subsysteme als auch die zu erfüllende Randbedingungen der Implementierung:

- Der Endanwender soll bei der Erstellung aktiv durch den Einsatz eines wissensbasierten Systems unterstützt werden.
- Die Durchführung und Validierung der Simulation soll mit Hilfe mehrere Simulationswerkzeuge möglich sein, so dass eine Anbindung an mehrere Simulationswerkzeuge notwendig ist.
- Für den Endanwender soll die Benutzung verschiedener Simulationswerkzeuge transparent sein, d.h., dass eine einheitliche Darstellung der Modellkomponenten für alle Simulationswerkzeuge notwendig ist.  
Daraus folgt, dass die interne Darstellung vom jeweilig verwendeten Simulationswerkzeug unabhängig sein muss und eine strikte Trennung von Repräsentation der Modellkomponenten von der Codeerstellung notwendig ist.

Unter diesen Randbedingungen werden folgende sechs Subsysteme identifiziert (siehe Abbildung 3-1):



**Abbildung 3-1 : Die Subsysteme des Frameworks**

Das erste Subsystem dient zur Ablaufsteuerung. In ihm ist der Algorithmus implementiert. Das zweite Subsystem dient zur Repräsentation von Modellkomponenten, die von den verwendeten Simulationswerkzeugen unabhängig ist.

Dieses Subsystem ist über Schnittstellen mit dem Subsystem zur Generierung von Code so verbunden, dass die Darstellung der Komponenten unabhängig von der Generierung des Codes ist.

Ein weiteres Subsystem dient zur Ankopplung benachbarter Systeme (hier: das Netzwerkplanungstool NetPro), aus denen die Daten für die Szenarienerstellung gewonnen werden.

Das Subsystem zur Repräsentation beinhaltet die regelbasierte Wissensbasis, die von dem Endanwender adaptiv erweitert werden kann. Es ist bei allen aktiven Vorgängen involviert.

Das Rahmenwerk ist objektorientiert entworfen und implementiert worden, da in der Objektorientierung die dritte der oben genannten Forderungen mit Hilfe von bekannten Entwurfsmustern erfüllt werden kann. Insbesondere kann die Abhängigkeit der Subsysteme durch Schnittstellendefinitionen auf ein Minimum reduziert werden, so dass die Änderungen des einen Subsystems sich kaum oder gar nicht auf das andere Subsystem auswirkt.

## 4 Subsystem zur Repräsentation von Modellkomponenten

Das umfangreichste Subsystem im Rahmenwerk dient zur Repräsentation von Modellkomponenten. Aufgrund der Forderung nach Transparenz für den Endanwender bezüglich der Verwendung mehrerer Simulationswerkzeuge, beinhaltet dieses Subsystem einige besondere Design- und Implementierungsdetails, die hier genauer beschrieben werden.

Der Endanwender soll das Programm zur Erstellung von Simulationsszenarien intuitiv bedienen können. Im Framework wird deswegen das Konzept der „modularen Bauweise“ von Simulationselementen bzw. Simulationsmodulen eingesetzt. Hierbei ist sowohl ein Blackbox als auch ein Glassbox Ansatz möglich. Das bedeutet, dass die einzelnen Modellkomponenten einfache Standardelemente sind oder aber auch aus einzelnen kleineren Modulen zusammengesetzt sein können. Ein Arbeitsplatzrechner beinhaltet z.B. Netzwerkkarten, die durch einzelne Module detaillierter in der Simulation abgebildet werden können. Allerdings wird kein allgemeines Konzept zur Modularisierung angeboten, da hierdurch die Komplexität des Frameworks zu groß wird. Vielmehr gibt es drei spezielle Unterarten von Modellkomponenten, die unterschiedliche Eigenschaften bzgl. Ihrer Einbindung in andere Modellkomponenten haben:

### 1. Abgeschlossene Module

Abgeschlossene Module stellen Module dar, die in keinen anderen Modul integriert werden können. Dies können z.B. Rechner oder Koppellemente sein.

### 2. Einfache Module

Einfache Module sind Module, die in abgeschlossene Module integriert werden können. Netzwerkkarten sind z.B. einfache Module Sie selber können nur primitive Modellkomponenten aufnehmen.

### 3. Primitive Modellkomponenten

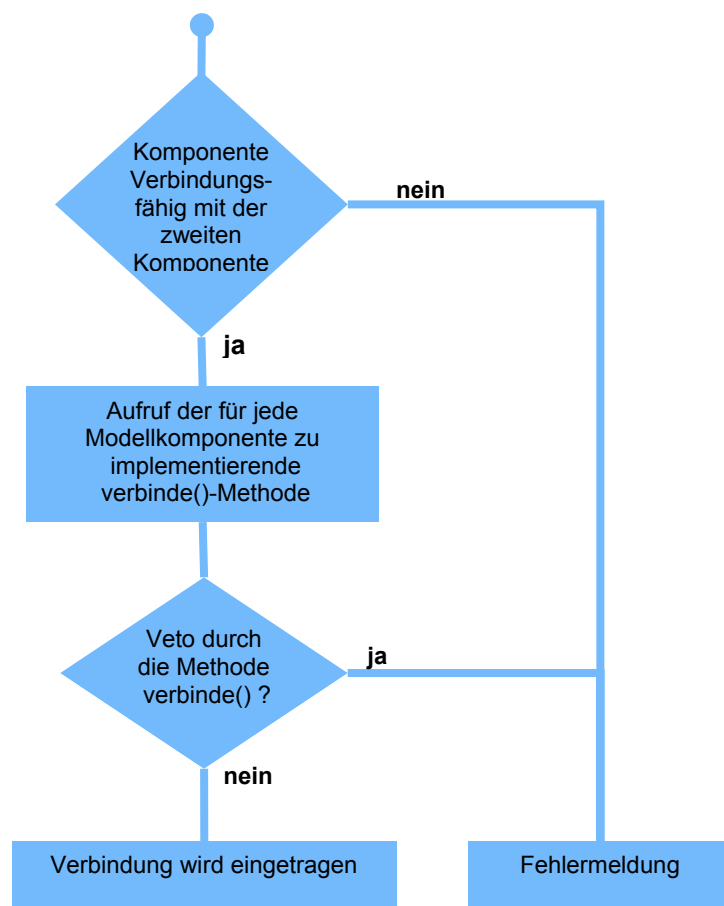
Primitive Modellkomponenten repräsentieren Elemente in der Simulation, die bezüglich ihrer Funktionalität nicht aus anderen Elementen zusammengesetzt sind. Dies können z.B. Warteschlangen, Timer oder Links sein.

Aus diesen Elementen können Module zusammengebaut sein. Dadurch wird es möglich sein, dass der Endanwender nach dem »Baukastenprinzip« Simulationselemente modelliert und erstellt.

Die Verwendung von benutzerdefinierbaren modularen Bausteinen impliziert ebenso eine Möglichkeit zur Einteilung in benutzerdefinierte Kategorien zur Laufzeit, da erst dadurch der Endanwender bestimmte Modellkomponenten genauer modellieren und in eine eigene Kategorien einordnen kann.

Sowohl die benutzerdefinierten als auch die vordefinierten Kategorien werden in einer Baumstruktur verwaltet. Es gibt eine Wurzelkategorie, der alle weiteren Kategorien, wie z.B. die Kategorie für Netzkoppelemente, untergeordnet ist.

Der Vorteil einer solchen Baumstruktur ist, dass hierdurch ohne großen Aufwand eine generische Methode zum Verbinden von Modellkomponenten erstellt werden kann. Hierfür werden den Modellkomponenten Kategorien zugeordnet, die verbindungs-fähig sind. Dies kann nicht nur durch den Implementierer des Frameworks geschehen, sondern auch durch den Endanwender, so dass bei den zur Laufzeit erstellen Komponenten, wie z.B. einem speziell modellierten Netzkoppelement, spezielle (benutzerdefinierte) Kategorien zugeordnet werden können.



**Abbildung 4-1 : Generische Methode zum Verbinden von Modellkomponenten**

eingetragen. Die Verwaltung der Verbindung wird also von dem Rahmenwerk übernommen.

Die Methoden zum Integrieren von Modellkomponenten in Modulen ist analog implementiert worden

Das Verbinden von zwei Modellkomponenten läuft in mehreren Phasen ab (siehe Abbildung 4-1):

Zuerst wird anhand der Kategorie entschieden, ob eine andere Komponente verbindungs-fähig ist. Hierbei gilt, dass auch die in der Baumstruktur weiter unten liegenden Blätter verbindungs-fähig sind. Dadurch braucht z.B. bei einem Arbeitsplatzrechner nur angegeben werden, dass er mit einem Netzkoppelement verbindungs-fähig ist, wodurch er automatisch mit allen Unterarten von Netzkoppelementen verbunden werden kann.

In einem weiteren Schritt wird durch eine für jede konkrete Modellkomponente zu implementierende Methode überprüft, ob weitere Nebenbedingungen erfüllt sind. So werden hier Parameter, wie z.B. die Verbindungsgeschwindigkeit, überprüft. Wenn diese Methode kein Veto einlegt, so wird die Verbindung im letzten Schritt

## **5 Zusammenfassung und Ausblick**

Ein Verfahren zur Erstellung von Simulationsszenarien ist in einem Framework implementiert worden, wobei bei der Entwicklung und Implementierung die Anpassbarkeit an die Bedürfnisse des Entwicklers und des Endanwenders im Vordergrund steht. Dies ist durch den Einsatz von flexiblen Konzepten im Rahmenwerk sichergestellt worden.

Ebenso ist die Skalierung der Möglichkeiten des Frameworks dadurch sichergestellt, so dass die im Rahmen einer Diplomarbeit als Prototyp implementierte Erstellungskomponente bezüglich der Funktionalität mit wenig Aufwand noch weiter ausgebaut werden kann.

In einem weiteren Ausbauschritt muss die Implementierung noch komplettiert und sowohl die Wissensbasis als auch der Algorithmus noch erweitert werden.

Darüber hinaus wäre es noch wünschenswert, dass dieses Framework zur Erstellung von Simulationsszenarien an weitere Bereiche angepasst wird. Die in dieser Arbeit genannten Konzepte können hierbei an den jeweiligen Bereich angepasst werden.

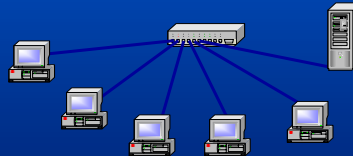


## 6 Literatur

- [BAJ-98] Bajaj, Sandeep; Floyd, Sally, et. al.:  
*Virtual InterNetwork Testbed: Status and Research Agenda*  
USC Computer Science Department 1998.
- [FLO-01] Floyd, Sally; Paxson, Vern  
*Difficulties in Simulating the Internet*  
AT&T Center for Internet Research at ICSI, Berkley: 2001
- [JAI-91] Jain, Raj :  
*The Art of Computer Systems Performance Analysis*  
*Techniques for Experimental Design, Measurement, Simulation and Modeling*  
New York: John Wiley & Sons, Inc.
- [MEN-94] Menascé, Daniel A; Almeida, Virgílio A.F.; Dowdy, Larry W. :  
*Capacity Planning and Performance Modeling*  
*From Mainframes To Client-Server Systems*  
New Jersey: Prentice Hall 1994.
- [PAG-91] Page, Bernd:  
*Diskrete Simulation*  
*Eine Einführung mit Modula-2*  
Berlin, Heidelberg, New York: Springer Verlag 1991
- [SCH-97] Schumann, Carsten:  
*Adaptive Generierung von Simulationsmodellen auf Grundlage von SLX*  
Otto-von-Guericke-Universität Magdeburg: 1997



## Ein Framework zur Erstellung von Szenarien für die Simulation lokaler Computernetze



Dipl.-Ing. André Westhoff

## GLIEDERUNG

### 1 Einleitung und Motivation

### 2 Erstellung von Simulationsszenarien

- Computergestützte Erstellung von Simulationsszenarien
- Algorithmus zur Erstellung von Simulationsszenarien für eine LAN-Simulation

### 3 Subsysteme des Frameworks

### 4 Subsystem zur Repräsentation von Modellkomponenten

- Module & Kategorien
- Generische Methode zum Verbinden von Modellkomponenten

### 5 Zusammenfassung und Ausblick

## Einleitung und Motivation (1)

- Anforderungen an das Computernetzwerk müssen beim Netzwerkdesign berücksichtigt werden, da dieses die Effizienz des Netzwerkes maßgeblich beeinflusst

### Deswegen:

Verifikation des Netzwerkentwurfes durch die Erfassung von Qualitätsmaßen bereits in der frühen Planungsphase

- Realer Testaufbau des Netzwerkes zu aufwändig bzw. nicht möglich

### Deswegen:

Modellbildende Bestimmungsmethoden

- Das zeitliche Verhalten der Netzwerklast muss berücksichtigt werden, da

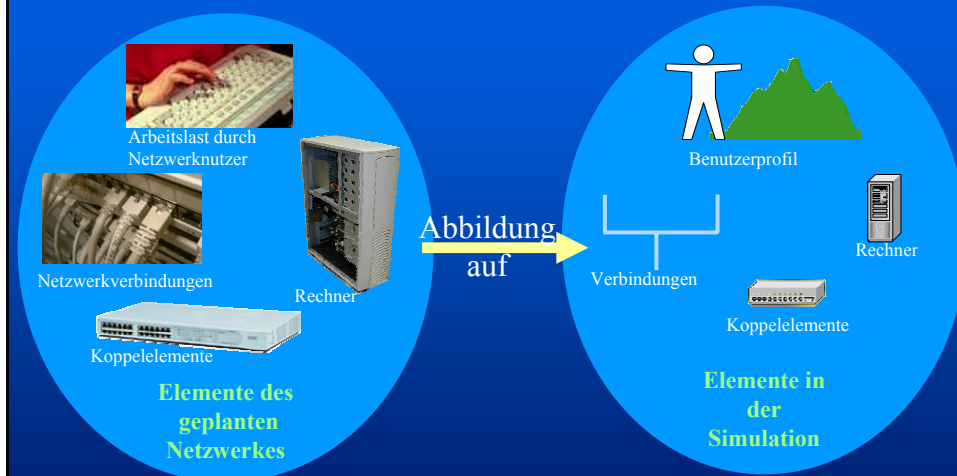
- zu bestimmten Zeiten einige Randbedingungen nicht erfüllt sein können (z.B. Anforderung an die Antwortzeit eines Servers,...)
- bestimmte dynamische Effekte betrachtet werden müssen (z.B. Verhalten eines Servers bei Überlast)

### Deswegen:

Simulation

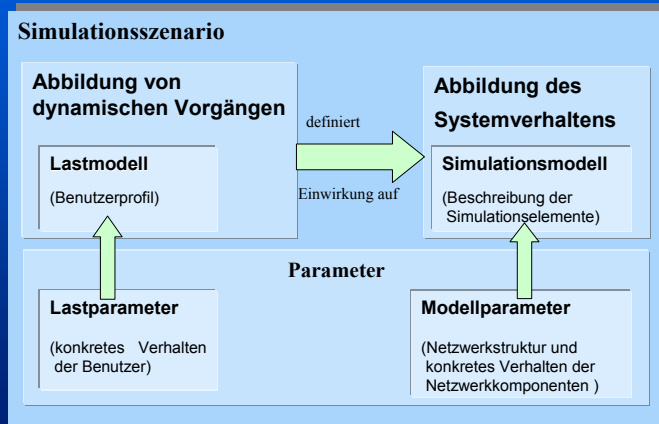
## Einleitung und Motivation (2)

### Modellbildung:



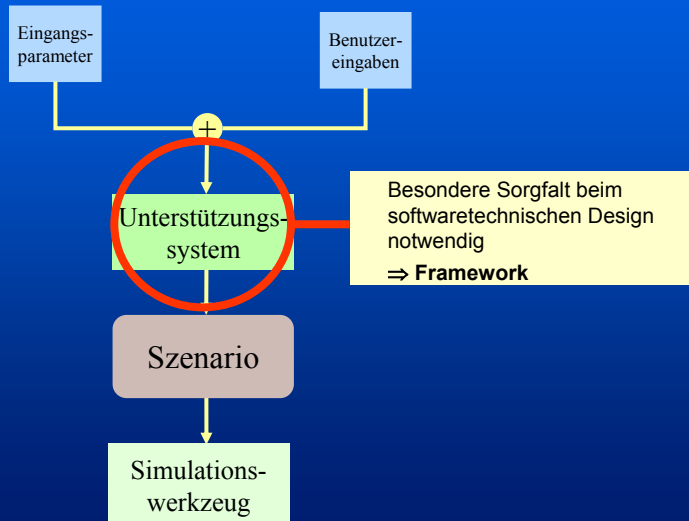
## Begriffsdefinition: Simulationsszenario

„In general, a simulation scenario is defined by the components and parameters that comprise the simulation“  
(Quelle: „Virtual InterNetwork Testbed: Status and Research Agenda“, 1998, Floyd et. al.)



## Einleitung und Motivation (3)

- (wissensbasiertes) Unterstützungssystem hilft dem Endanwender bei der Erstellung des Modells



# GLIEDERUNG

## 1 Einleitung und Motivation

## 2 Erstellung von Simulationsszenarien

- Computergestützte Erstellung von Simulationsszenarien
- Algorithmus zur Erstellung von Simulationsszenarien für eine LAN-Simulation

## 3 Subsysteme des Frameworks

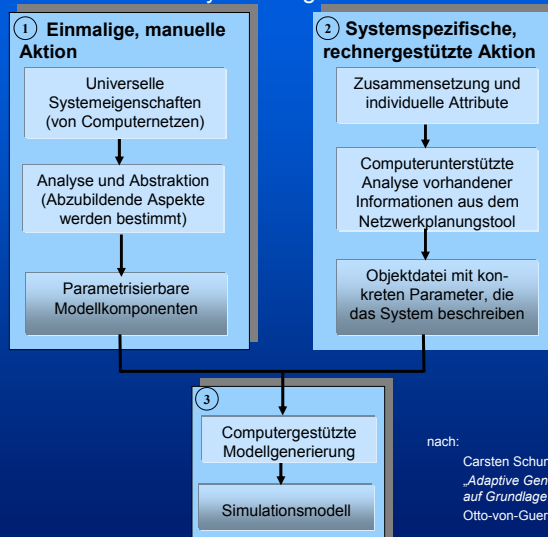
## 4 Subsystem zur Repräsentation von Modellkomponenten

- Module & Kategorien
- Generische Methode zum Verbinden von Modellkomponenten

## 5 Zusammenfassung und Ausblick

# Computergestützte Erstellung von Simulationsmodellen

- Komponentenbasierter Ansatz, bei dem die Daten des Systems aus benachbarten IT-Systemen gewonnen werden:



nach:  
Carsten Schumann:  
*„Adaptive Generierung von Simulationsmodellen auf Grundlage von SLX“*  
Otto-von-Guericke-Universität Magdeburg: 1997

## Algorithmus zur Erstellung von Simulationsszenarien

### Fünf Hauptschritte

#### 1 Vorbereitungen

Erstellung des Simulationsmodells

- 1.1 Allgemeine Überprüfung des Netzwerkes
- 1.2 Bildung von Gruppen von Netzwerkelementen mit gleichartigem Aufbau
- 1.3 Zuordnung von Modellkomponenten zu Netzwerkelementen
- 1.4 Verbindung von Modellkomponenten
- 1.5 Vergabe von Netzwerkadressen

#### 2 Generierung von Arbeitslasten

Hinzufügen von aktiven Komponenten, die in der Simulation die Lasten erzeugen

- 2.1, 3.1 & 4.1 Generierung von Vorschlägen

#### 3 Generierung von Störfällen

Spezifizierung von Ausnahmefällen

- 2.2, 3.2 & 4.2 Validierung durch den Benutzer

#### 4 Generierung von Beobachtungspunkten

Beeinflussung der Protokollierung

- 5.1 Initialisierung von Modellkomponenten für die Generierung

#### 5 Erstellung der Ausgabedatei

Erzeugung von Code für ein Simulationswerkzeug

- 5.2 Erstellung von Code für Modellkomponenten
- 5.3 Erstellung von Code für die Verbindungen zwischen den Modellkomponenten
- 5.4 Abschließen der Generierung („Nacharbeiten“)
- 5.5 Abspeichern der Projektdatei

## GLIEDERUNG

### 1 Einleitung und Motivation

### 2 Erstellung von Simulationsszenarien

- Computergestützte Erstellung von Simulationsszenarien
- Algorithmus zur Erstellung von Simulationsszenarien für eine LAN-Simulation

### 3 Subsysteme des Frameworks

### 4 Subsystem zur Repräsentation von Modellkomponenten

- Module & Kategorien
- Generische Methode zum Verbinden von Modellkomponenten

### 5 Zusammenfassung und Ausblick

## Anforderungen an das Framework

Anforderung	Auswirkung auf das Framework
Endanwender soll bei der Erstellung aktiv unterstützt werden	Einsatz eines wissensbasierten Systems
Durchführung und Validierung der Simulation mit Hilfe mehrerer Simulationswerkzeuge	Möglichkeit zur Anbindung mehrerer Simulationswerkzeuge
Einheitliche Darstellung der Modellkomponenten für <b>alle</b> Simulationswerkzeuge	<ul style="list-style-type: none"> <li>interne, vom jeweiligen Werkzeug unabhängige Repräsentation der Modellkomponenten</li> <li>Trennung von Repräsentation und Codeerstellung</li> </ul>

## Bildung von Subsystemen

### Framework zu Erstellung von Simulationsszenarien

#### Subsystem zur Repräsentation von Modellkomponenten

Beschreibt Aufbau und Merkmale der Modellkomponenten

Simulationsmodell

#### Subsystem zur Generierung von Code

Beinhaltet die Codegeneratoren und die interne Darstellung des Codes

generierter Code

#### Subsystem zur Ablaufsteuerung

Beinhaltet den Algorithmus

Eingangsdaten

Wissen über die Vorgehensweise

#### Subsystem zur Anbindung an „benachbarte Systeme“

Schnittstellen zu benachbarten IT-Systemen (hier: Netzwerkplanungstool)

#### Subsystem zur Repräsentation von Wissen

Beinhaltet Expertenwissen, das durch den Endbenutzer erweitert werden kann

## GLIEDERUNG

- 1 Einleitung und Motivation
- 2 Erstellung von Simulationsszenarien
  - Computergestützte Erstellung von Simulationsszenarien
  - Algorithmus zur Erstellung von Simulationsszenarien für eine LAN-Simulation
- 3 Subsysteme des Frameworks
- 4 Subsystem zur Representation von Modellkomponenten
  - Module & Kategorien
  - Generische Methode zum Verbinden von Modellkomponenten
- 5 Zusammenfassung und Ausblick

## Module

- Modellkomponenten sollen modular aufgebaut sein, da
    - Anpassung der Modellkomponenten an Anforderungen des Benutzers möglich sein soll (Black- und Glass-Box)
    - für den Benutzer leicht zu verstehender Aufbau (intuitiv)
- ⇒ Drei Arten von Modellkomponenten:

### Abgeschlossenes Modul

- können nicht in anderen Modulen eingebaut werden
- Beispiele: Rechner, Netzkoppelemente

### Einfaches Modul

- Beispiele: Netzwerkkarte, Protokollschichten

### Primitive Komponente

- nicht weiter zerlegbar
- **hier**: direktes Element eines „einfachen Moduls“
- Beispiele: Warteschlangen, Timer, interne Verbindungen

### Primitives Komponente

- nicht weiter zerlegbar
- **hier**: direktes Element des Abgeschlossen Moduls



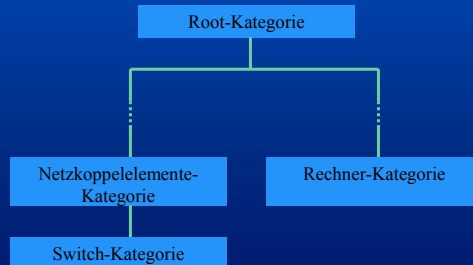
## Kategorien

- Bestimmte Modellkomponenten müssen nach (benutzerdefinierten) Kategorien (wie z.B. Firmenname) geordnet werden

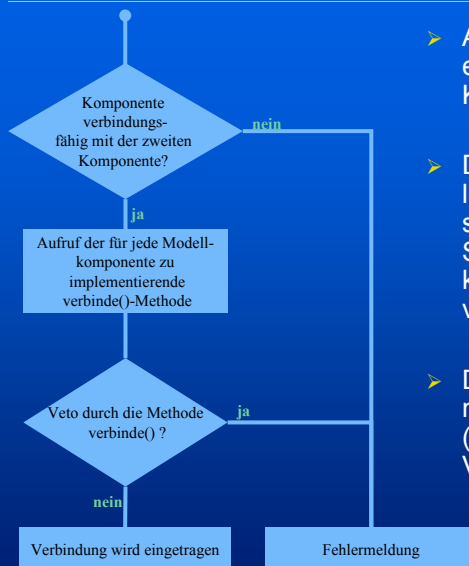
### Deswegen:

Einteilung der Modellkomponenten zur Laufzeit in Kategorien

- Verwaltung der Kategorien in einer Baumstruktur:



## Generische Methode zum Verbinden von Modellkomponenten



- Anhand der Kategorie wird entschieden, ob eine andere Komponente verbindungs-fähig ist
- Dabei gilt: auch die weiter unten liegenden Blätter einer Kategorie sind verbindungs-fähig (z.B. ein Switch ist ein Koppel-element und kann mit einem Rechner verbunden werden)
- Die *verbinde()*-Methode wertet noch „Verbindungsparameter“ aus (z.B. die Geschwindigkeit der Verbindung)

# GLIEDERUNG

---

- 1 Einleitung und Motivation
- 2 Erstellung von Simulationsszenarien
  - Computergestützte Erstellung von Simulationsszenarien
  - Algorithmus zur Erstellung von Simulationsszenarien für eine LAN-Simulation
- 3 Subsysteme des Frameworks
- 4 Subsystem zur Repräsentation von Modellkomponenten
  - Module & Kategorien
  - Generische Methode zum Verbinden von Modellkomponenten
- 5 Zusammenfassung und Ausblick

## Zusammenfassung

---

- Verfahren zur Erstellung von Simulationsszenarien ist in einem Framework implementiert
- Anbindung an mehrere Simulationswerkzeuge möglich
- Einsatz von flexiblen Konzepten im Framework
  - Anpassbar an die Bedürfnisse des Entwicklers
  - Möglichkeiten des Frameworks sind „skalierbar“
- Das Framework kann auf andere Bereiche angepasst werden (nicht nur auf den Netzbereich begrenzt)

## Ausblick

---


- Ausbau des Frameworks
  - Erweiterung der Wissensbasis
  - Erweiterung des Algorithmus´
  - Komplettierung der Implementierung
- Anpassung des Frameworks an ähnliche Bereiche
  
- Fragen?



# Automationssystem zur Untersuchung von Gaswechsel- und Transportprozessen an Pflanzen

Bernd Proff

1


Universität Duisburg-Essen 



## Agenda

- Motivation
- Pflanzenphysiologische Prozesse
- Anforderungen an das Automationssystem
- Gesamtkonzept
- Umsetzung und Einsatz des Systems
- Zusammenfassung und Ausblick


2

Universität Duisburg-Essen 

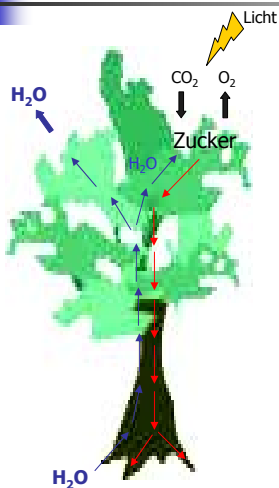
# Motivation

- Globale Klimasituation
  - Wechselwirkung Klima/Pflanze
- Zukünftige ökologische Ausrichtungen
  - Politische Entscheidungen
  - Wissenschaftliches Fundament

3

Universität Duisburg-Essen 

# Pflanzenphysiologische Prozesse



## Photosynthese




Phloem: Transportbahn von Photoassimilaten (Kohlenhydrate)

Das Xylem: Transportbahn von Wasser und Nährstoffen



## Transpiration

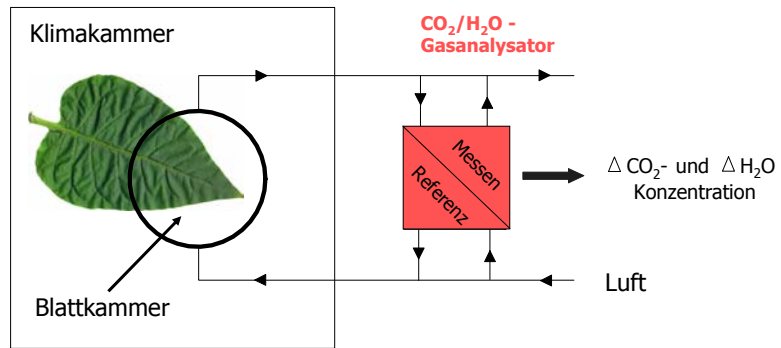
4

Universität Duisburg-Essen 



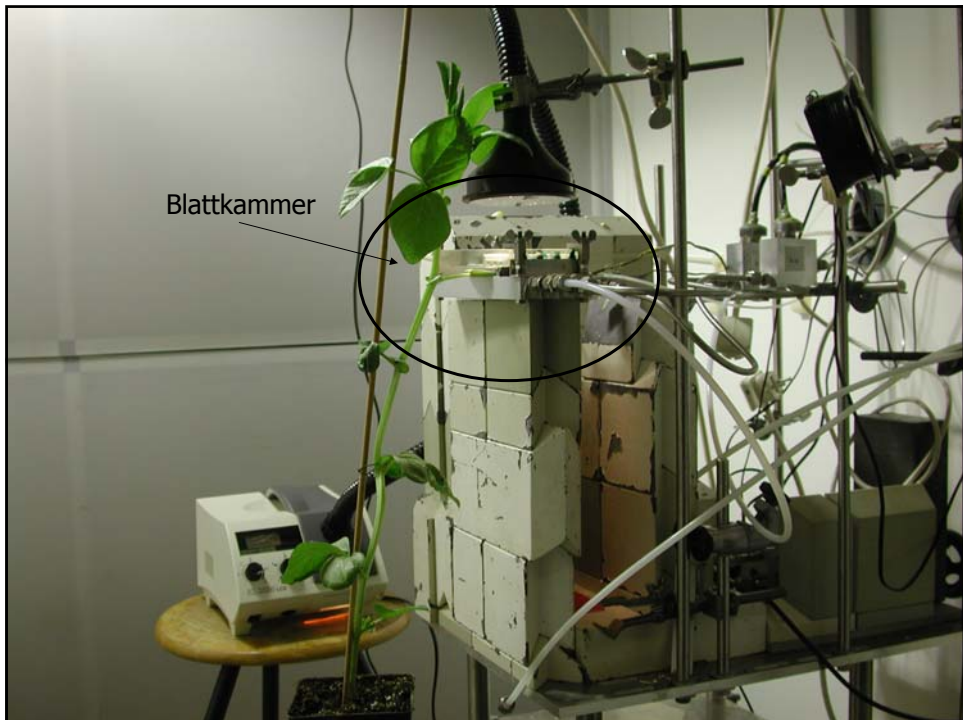
# Gaswechselfmessungen

## Offene Gaswechselanlage



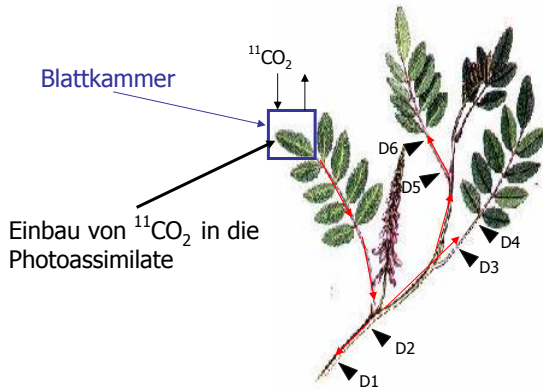
5

Universität Duisburg-Essen



# Messmethoden für Transportprozesse

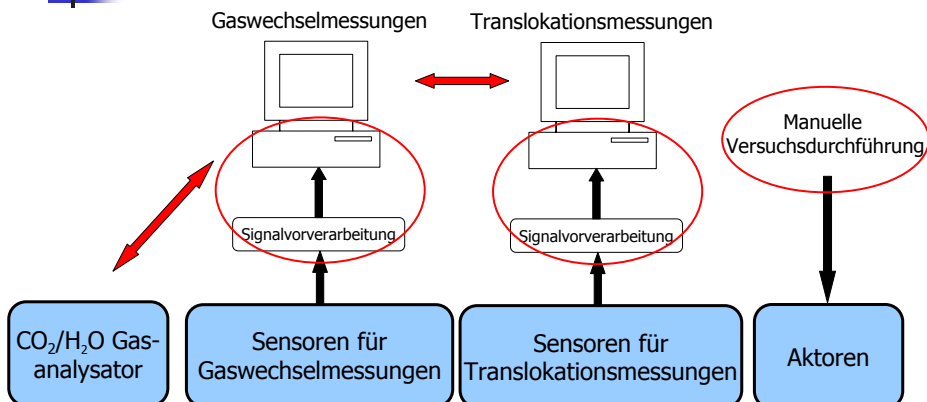
## Phloemmessungen: Messprinzip Radiotracer-Techniken



D1..D6 Detektoren:  
Szintillatorkristall und  
Photomultiplier

7

# Überblick bisheriger wissenschaftlicher Experimente



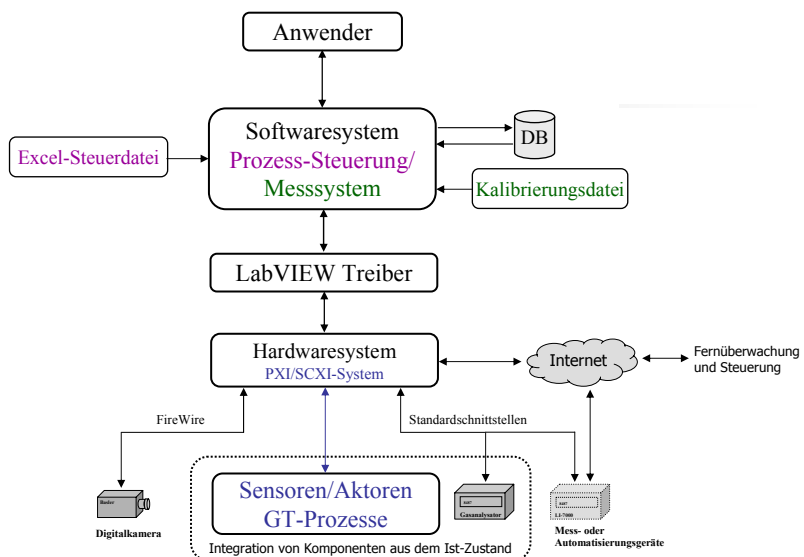
8

# Anforderungen

- Automatisierung der Versuchsdurchführung
  - Reproduzierbare, zeitaufwendige und komplexe Experimente
- Integration der Messkomponenten in ein einheitlich, geschlossenes Gesamtsystem
  - Korrelierten Datenanalyse genutzt werden und damit zur online Interpretation des Experiments
- Standardisierung im Bereich der Kommunikation mit den Mess- Automatisierungskomponenten
  - Zielsetzung: Modularität und Erweiterbarkeit
- Integration eines bildgebenden Messverfahrens
  - Kombination mit den Pflanzenphysiologischen Messmethoden

9

## Entwicklung eines neuen Gesamtkonzepts



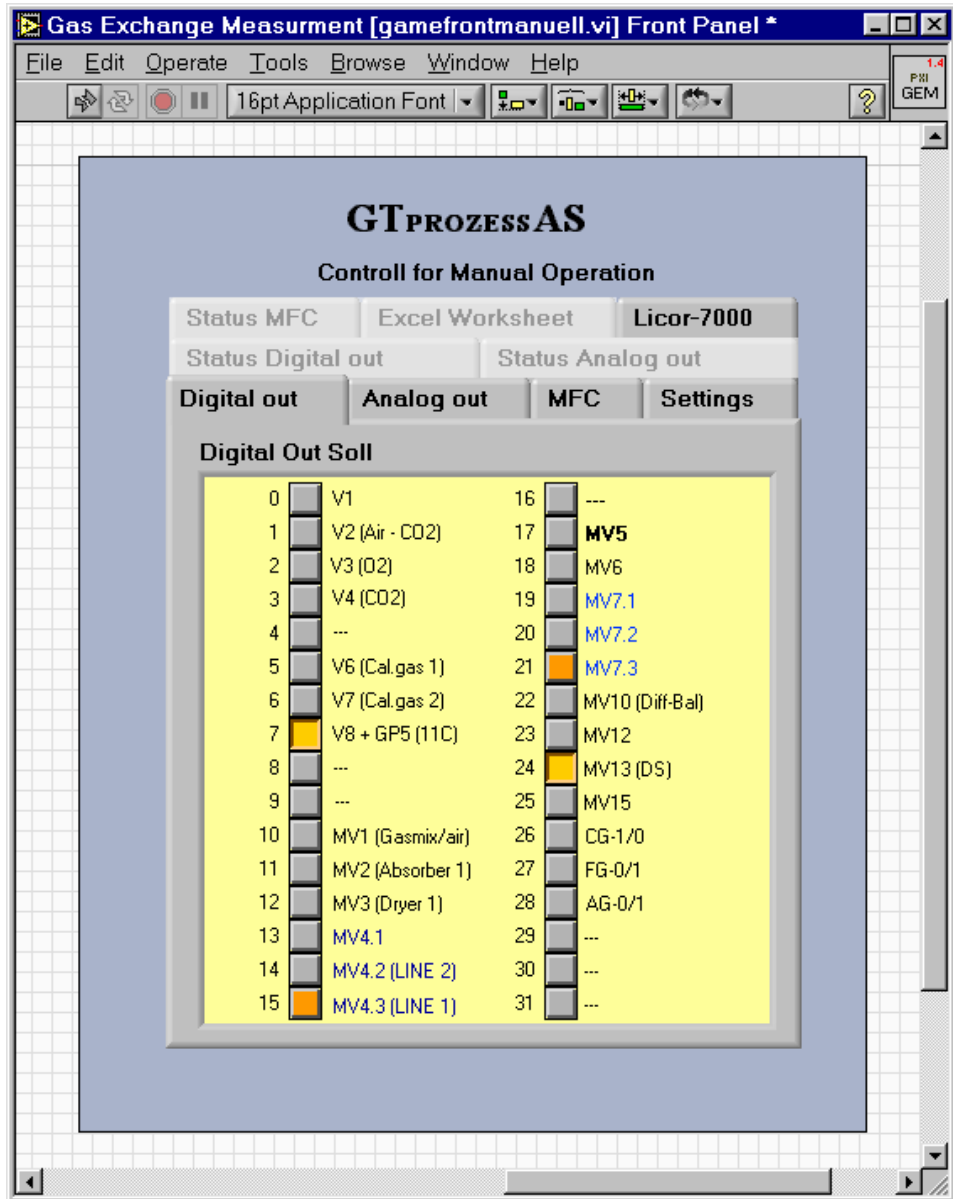
10



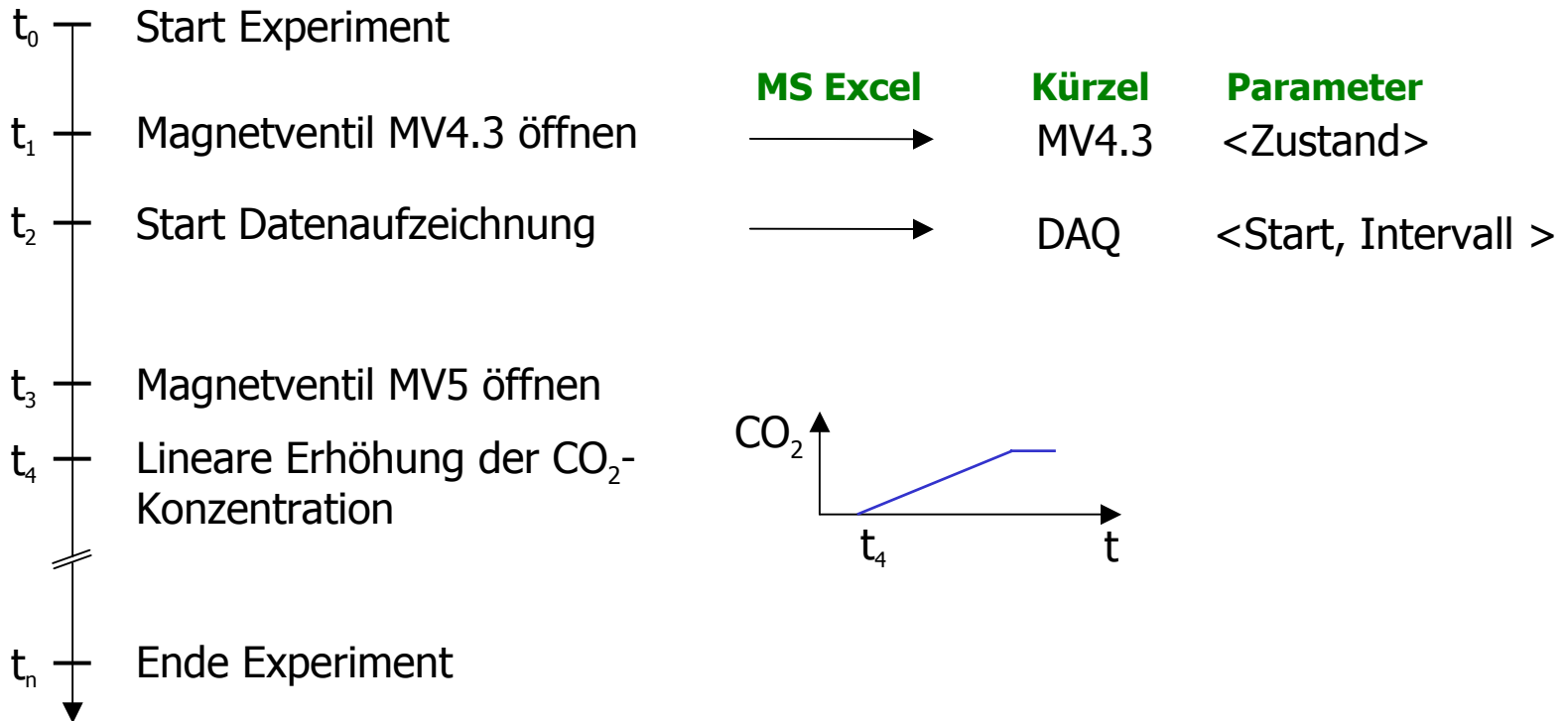
# Programm-Module der Prozess-Steuerung

	<b>Manuelle Steuerung</b>	<b>Programmierbare Steuerung</b>
Steuerung des Experiments	Intuitive Benutzeroberfläche	Excel-Steuerdatei
Einsatz	Fehlerdiagnose, Grundeinstellung des Systems, Kalibrierung, Durchführung von Versuchsabläufen mit gezielter Eingriffsmöglichkeit	Komplizierte Versuchsabläufe von wenigen Minuten bis mehreren Tagen, mit exakt reproduzierbaren Versuchsbedingungen

# Manuelle



# Typischer Versuchsablauf für Gaswechselexperimente



N3		= Analog out																		
1	A	B	C	DE	F	G	H	I	JK	L	N	O	P	Q	R	T	U	V		
2	Pos.	Funktion / Kommentar	Kürzel	Versuchsablauf						Parameter										
3				Datum - Uhrzeit	Rel. Zeit	Bedingungen	Digital	Analog out		Rampen-	Messdaten	Gerät								
4				TT.MM.JJ. -	H:MM:SS	MUX/RS232	Wert	Wert 1	Wert 2	dauer	Start	Intervall	Wert1	Wert2						
5		Formate/Bereiche ->		HH:MM:SS	H:MM:SS		0/1	[V]	[V]	MM	1/0	s								
OPEN SYSTEM: LC 350/350 ppm eLC LC 350/350 ppm																				
<b>100 Startbedingungen</b>																				
101	CO2-freie Luft ext. LC	MFC-01			0:00:00			5,000												
102	CO2 ext. LC	MFC-02			0:00:00			0,020												
103	Line 2: OFF	MV4.2			0:00:00		0													
104	Line 1: ON	MV4.3			0:00:00		0													
105	CO2-freie Luf LINE1	MFC-11			0:00:00															
106	CO2 LINE1	MFC-12			0:00:00															
107	CO2-freie Luf LINE2	MFC-21			0:00:00															
108	CO2 LINE2	MFC-22			0:00:00															
109	System öffnen	MV5			0:00:00		0													
110	KK CO2-Dosierung: AUS	CG-0/1			0:00:00		0													
111	KK CO2: Niedrig	CG-set			0:00:00			0,000												
112	KK Flow: AUS	FG-0/1			0:00:00		0													
113	KK CO2-Absorber: AUS	AG-0/1			0:00:00		0													
114	Druckdifferenz = 0 mbar	Pd1-set			0:00:00			4,982												
115	H ref = H analysator	MV13			0:00:00		1													
116	Referenzkanal	V8+GP5			0:00:00		1													
<b>200 Versuch</b>																				
201	Start der Datenaufzeichnung	DAQ			0:00:00								1	60						
202																				
203	<b>Bezugszeit</b>				<b>06.03.03 - 19:00:00</b>									10						
204	Druck = 0 mbar	Pd1-set			06.03.03 - 19:00:00	0:00:00		4,982												
205	CO2 eLC-Rampe 350-2000	MFC-02			06.03.03 - 19:00:00	0:20:00		0,020	3,500	40										
206	CO2 eLC=350	MFC-02			06.03.03 - 20:01:00	1:01:00		0,020												
207	Druck = 1 mbar	Pd1-set			06.03.03 - 20:20:00	1:20:00		4,990												
208	CO2 eLC-Rampe 350-2000	MFC-02			06.03.03 - 20:40:00	1:40:00		0,020	3,500	40										
209	CO2 eLC=350	MFC-02			06.03.03 - 21:21:00	2:21:00		0,020												
210	Druck = 2 mbar	Pd1-set			06.03.03 - 21:40:00	2:40:00		4,998												
211	CO2 eLC-Rampe 350-2000	MFC-02			06.03.03 - 22:00:00	3:00:00		0,020	3,500	40										
212	CO2 eLC=350	MFC-02			06.03.03 - 22:41:00	3:41:00		0,020												
213	Druck = 0 mbar	Pd1-set			06.03.03 - 23:00:00	4:00:00		4,982												
<b>300 Ende</b>																				
301	KK CO2-Dosierung: AUS	CG-0/1			06.03.03 - 23:20:00	4:20:00		0												
302	KK CO2	CG-set			06.03.03 - 23:20:00	4:20:00		0,000												

- Excel Tabelle als Standard Software-Komponente
- Modular und leicht erweiterbar
- Transparente Darstellung der Versuchsdurchführung
- Importierbar in Win32 Applikationen

# Front Steuerung

The screenshot shows a software window titled "Gas Exchange Measurement [gamefrontauto.vi] Front Panel". The window has a menu bar with "File", "Edit", "Operate", "Tools", "Browse", "Window", and "Help". Below the menu bar is a toolbar with various icons and a font size dropdown set to "16pt.Application Font".

The main area of the window is titled "GTPROZESS AS" and "Automation Operating". It contains several input fields for configuration:

- Filename: G03 V##.gm6
- Type of experiment: (empty)
- Plant species: (empty)
- Leaf area [cm2]: 10
- Excel worksheet: G03 V## OS.xls
- Comments: open system

Below the input fields is a flowchart with the following steps:

- Start
- Stop (Manuell Mode)
- Time: 19:53:31, Date: 17.06.03 (Start Condition Excel Worksheet)
- Excel Worksheet
- Stop All

In the bottom right corner of the main area, the current time and date are displayed: 20:26:05, 17.06.03.



## Erzielte Ergebnisse

- Steuerung von wissenschaftlichen Experimenten ✓
- Integration der Messkomponenten ✓
- Korrelierte online Analyse der Messdaten ✓
- Filebasierte Datenbank ✓
- Integration eines bildgebenden Verfahrens ↻ *vorbereitet*
- Analyse der Bildinformationen ↻ *vorbereitet*
- Fernsteuerung und -überwachung des Experiments ✓



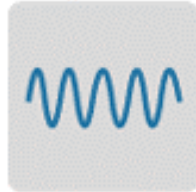
## Interdisziplinäre Zusammenarbeit

- Herrn Prof. Stracke und Herrn Prof. Tracht von der Universität Duisburg-Essen, Fachbereich 12, Maschinenwesen
- Herrn Prof. Schurr, Herrn Dr. Jahnke und Herrn Dipl.-Umweltwiss. Roland Pieruschka vom Forschungszentrum Jülich, Institut für Phytosphäre ICG-III

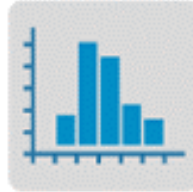
# Standardplattformen in der Mess- und Automatisierungstechnik

Axel Hoffmann, National Instruments GmbH

Erfassen



Analysieren



Darstellen



mit NI LabVIEW 7 Express

[ni.com](http://ni.com)

Ruhruniversität Bochum, 22.09.2003



## Agenda

- National Instruments – Firmenporträt
- Einführung in die Virtuelle Instrumentierung
- NI LabVIEW – was ist das?
- Informations- und Wissensquellen

[ni.com](http://ni.com)



# National Instruments – Firmenporträt

- Niederlassungen in mehr als 40 Ländern
- Mehr als 1000 Produkte, 3000 Mitarbeiter sowie 600 Alliance-Partner
- Firmensitz in Austin, Texas

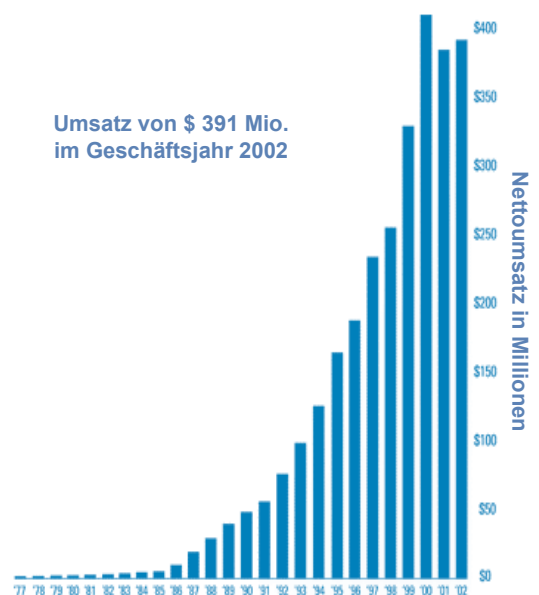


ni.com

**NATIONAL INSTRUMENTS**

# National Instruments – Marktstellung

- Führend im Bereich computergestützter Mess- und Automatisierungssysteme
- Seit vielen Jahren solides Wachstum und steigende Gewinne
- Umsatz von \$ 391 Mio. im Geschäftsjahr 2002
- Vier Jahre hintereinander von *Fortune* zu den 100 arbeitnehmerfreundlichsten Unternehmen in den USA gewählt



ni.com

**NATIONAL INSTRUMENTS**



# Messinstrumentierung im Wandel der Zeit



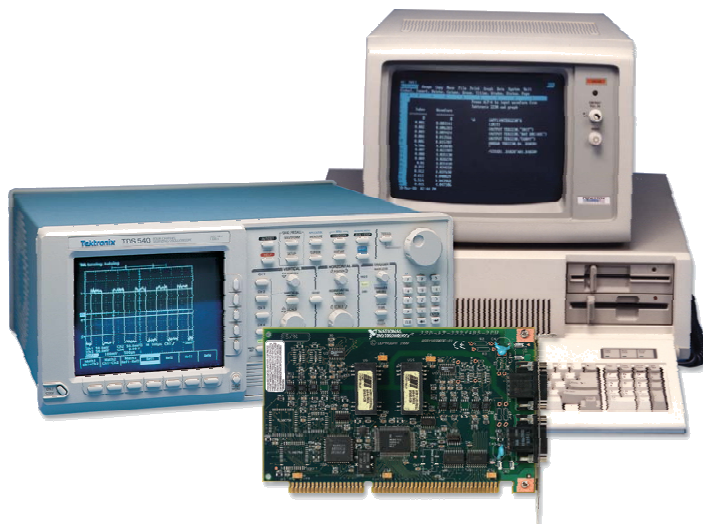
## Herkömmliche Instrumentierung

*Ablesen und Notieren der vom Stand-alone-Gerät gelieferten Daten*

ni.com

NATIONAL  
INSTRUMENTS

# Messinstrumentierung im Wandel der Zeit



## Debüt der Virtuellen Instrumentierung

*Anbindung von Messgeräten an den Computer über GPIB*



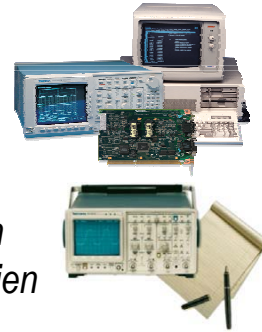
ni.com

NATIONAL  
INSTRUMENTS

# Messinstrumentierung im Wandel der Zeit



**Die Software wird zum Messinstrument**  
*Höhere Produktivität und niedrigere Entwicklungskosten  
dank der Verwendung kommerziell erhältlicher Technologien*



[ni.com](http://ni.com)

**NATIONAL  
INSTRUMENTS**

# Messinstrumentierung im Wandel der Zeit



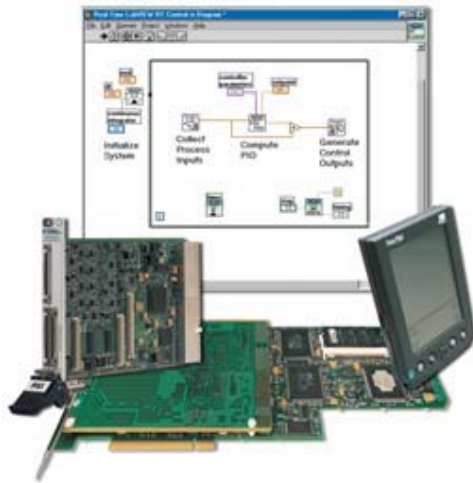
**Virtuelle Instrumentierung – der heutige Stand**  
*Embedded PCs, Echtzeit, modulare Instrumentierung*



[ni.com](http://ni.com)

**NATIONAL  
INSTRUMENTS**

# Messinstrumentierung im Wandel der Zeit



Ausblick auf die Virtuelle Instrumentierung der Zukunft  
*LabVIEW für FPGAs, PDAs und intelligente Sensoren*



[ni.com](http://ni.com)

 NATIONAL INSTRUMENTS

# Messinstrumentierung im Wandel der Zeit

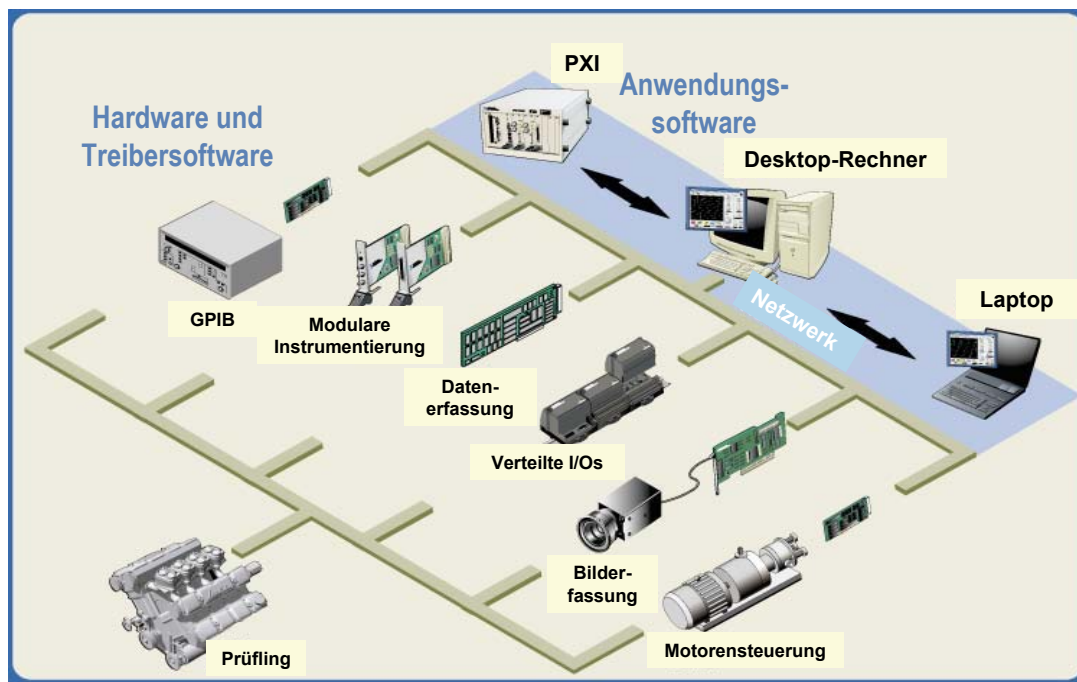
Virtuelle Instrumentierung steigert die Leistungsfähigkeit und Flexibilität Ihrer Mess- und Automatisierungsanwendungen und senkt zugleich die Entwicklungszeit sowie die Gesamtsystemkosten.



[ni.com](http://ni.com)

 NATIONAL INSTRUMENTS

# Virtuelle Instrumentierung

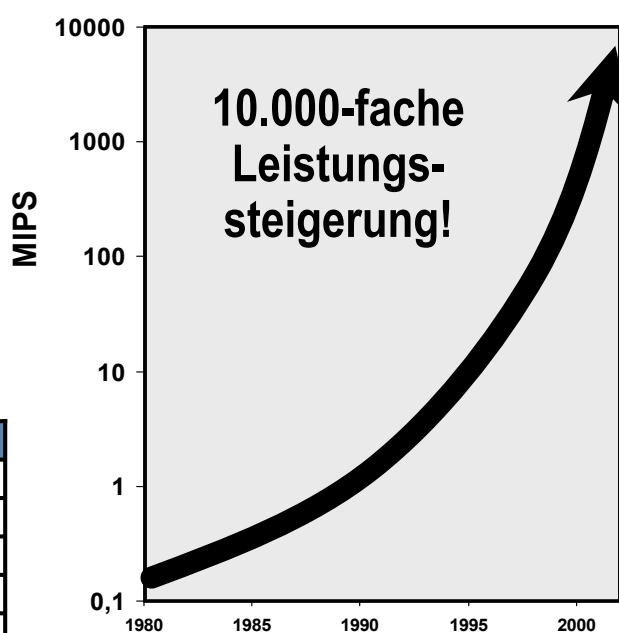


ni.com



# Technischer Fortschritt im PC-Bereich

1981
4,77 MHz
64 kB RAM
5,25" Floppy, 160 kB
Monochrom
\$ 3.000

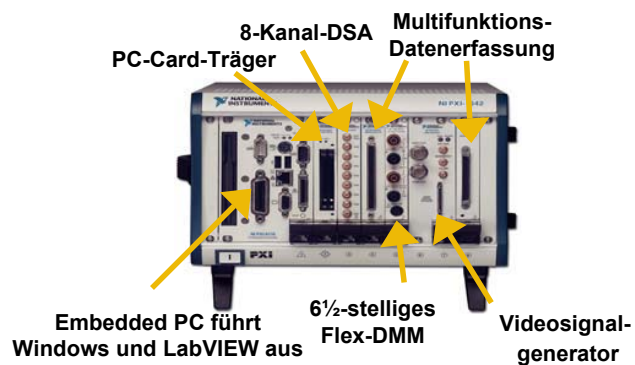


2003
2,2 GHz
512 MB RAM
80-GB-Festplatte
CD-ROM
100 MB Ethernet
Color VGA, 32 MB
\$ 2.100

ni.com



# Vorteile der Virtuellen Instrumentierung



## Herkömmliche Instrumentierung

- Herstellerdefiniert
- Nicht anpassbare Frontplatte
- Eingeschränkte Erweiterbarkeit
- Nicht erweiterbare Funktionalität

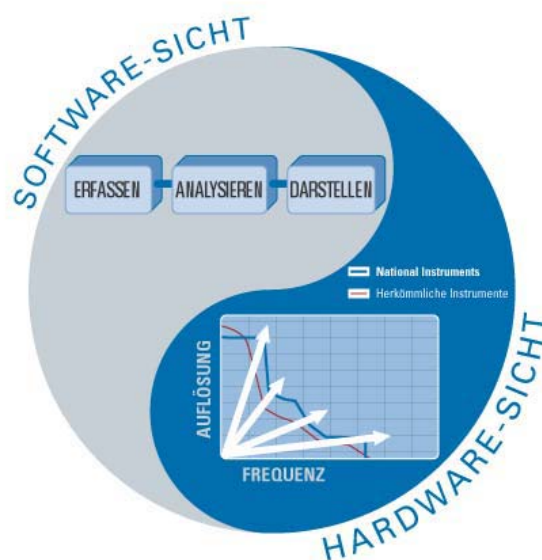
## Virtuelle Instrumentierung

- Anwenderdefiniert
- Softwaredefinierte Bedienoberfläche
- Anbindung an Netzwerk/Internet
- Anpassbare Funktionalität

ni.com



# Virtuelle Instrumentierung – Zusammenfassung



ni.com



# NIs Softwareplattform für die Mess- und Automatisierungstechnik

## Software zur Systemverwaltung Testmanagement, Datenverwaltung

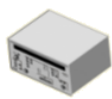
NI LabVIEW

LabWindows™ /  
CVI™

Measurement  
Studio

Sonstige  
Software

## Mess- und Steuerstrukturen



GPIB/Serielle  
Kommunikation  
und VXI



Datenerfassung  
Und Signal-  
konditionierung



Modulare  
Instrumentierung



PXI/CompactPCI



Motorensteuerung



Bildverarbeitung



Verteilte  
I/O-Systeme

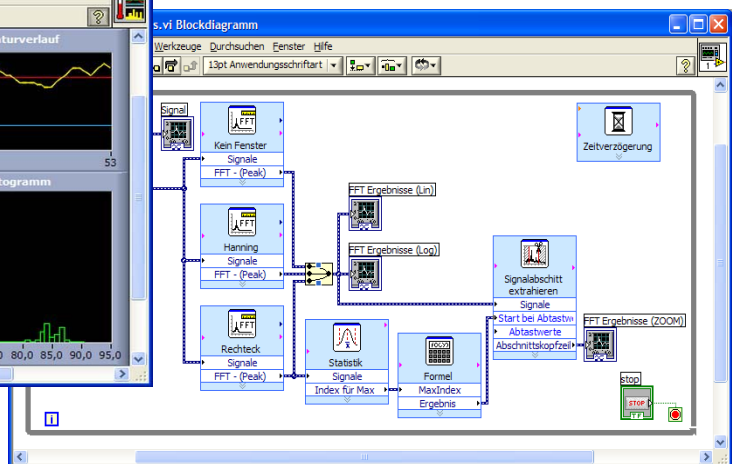
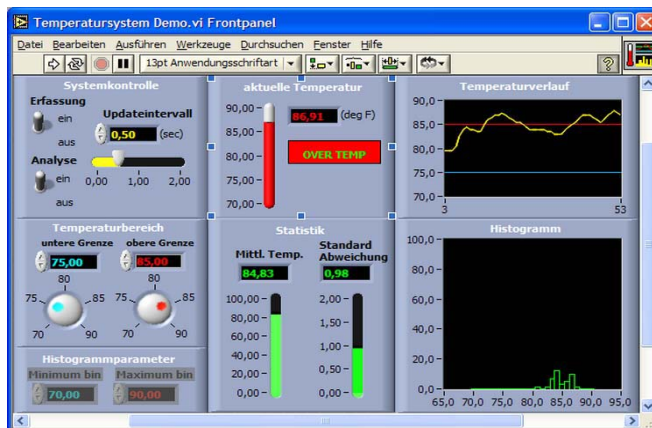


SPSen

ni.com



## LabVIEW – eine grafische Entwicklungsumgebung



Erfassen Analysieren Darstellen



Mit NI LabVIEW 7 Express

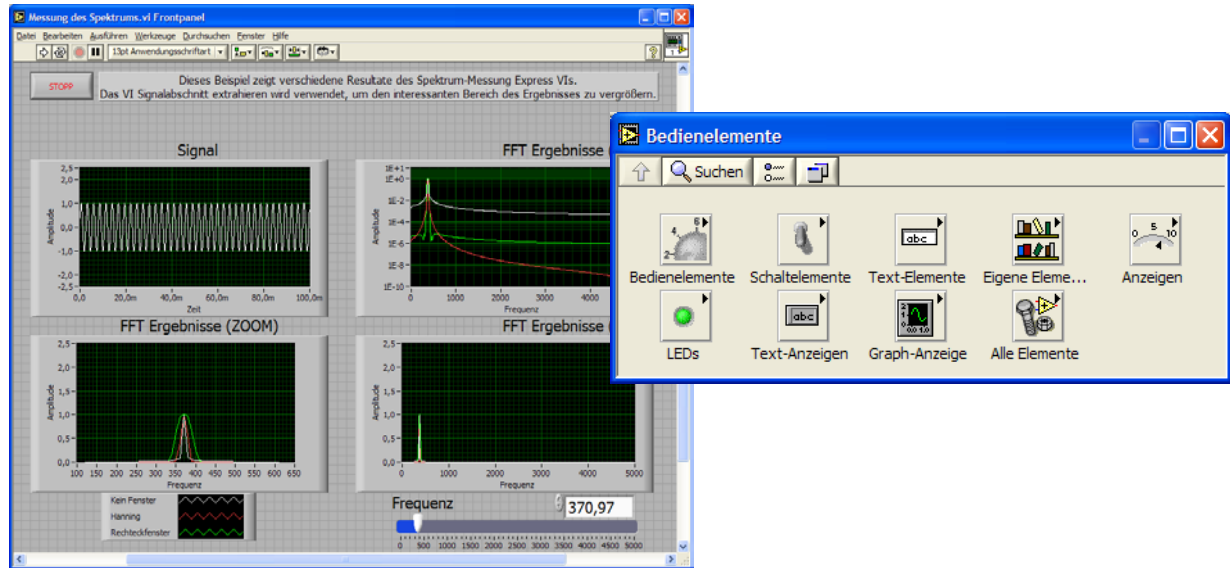
- Compiler-basierte grafische Entwicklungsumgebung
- Reduzierung der Entwicklungszeit um den Faktor 4 bis 10
- Werkzeuge zur Datenerfassung, -analyse und -darstellung

ni.com



# Entwicklungsumgebung LabVIEW – das Frontpanel

- Professionelle grafische Benutzeroberflächen
- Vorgefertigte, konfigurierbare Objekte für die Benutzeroberfläche
- Speziell auf den Bereich Messapplikationen zugeschnitten

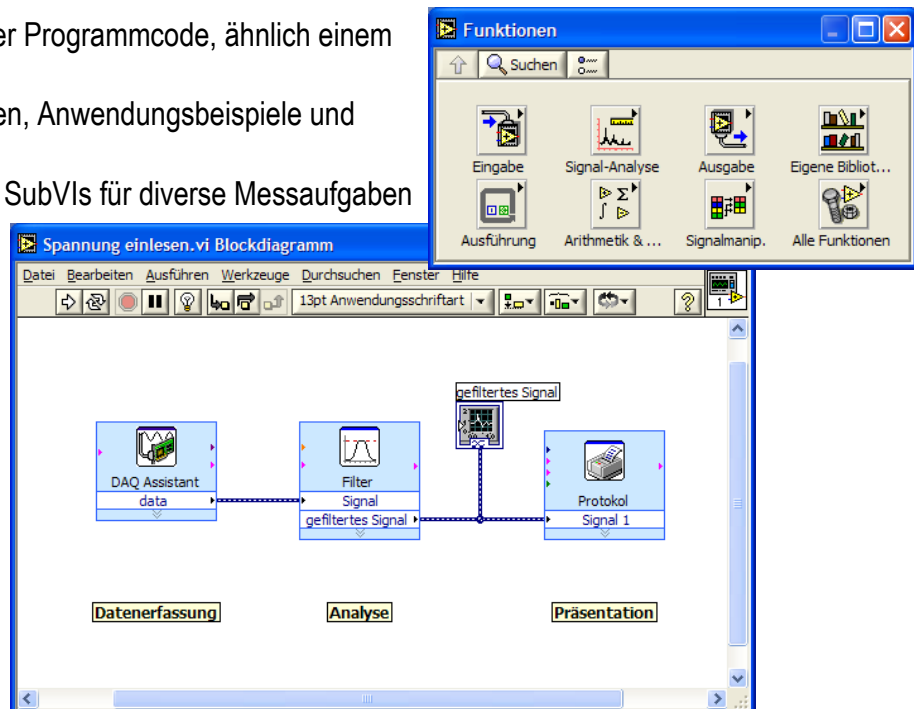


ni.com



# Entwicklungsumgebung LabVIEW – das Blockdiagramm

- Intuitiv nachvollziehbarer Programmcode, ähnlich einem Flussdiagramm
- Express-VIs, VI-Vorlagen, Anwendungsbeispiele und sonstige Hilfsmittel
- Hunderte vorgefertigter SubVIs für diverse Messaufgaben
- Selbstdokumentierend



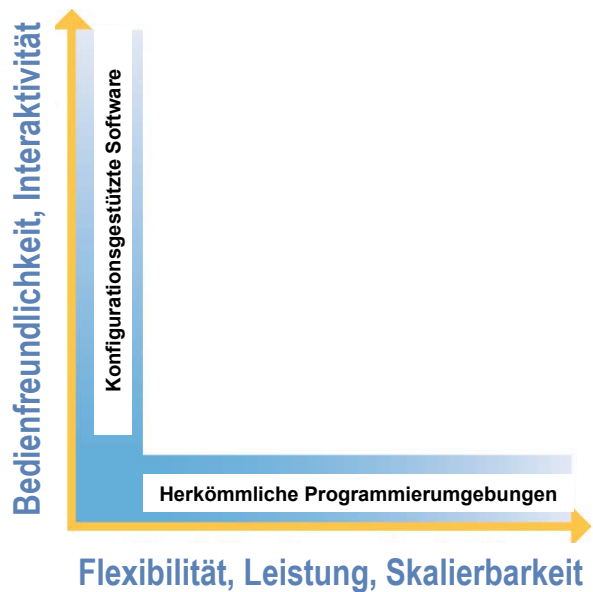
ni.com



## Benutzerfreundlichkeit oder Flexibilität?

"Vor der Einführung von LabVIEW musste der Ingenieur bzw. Wissenschaftler stets Abstriche in Kauf nehmen: Bei herkömmlichen Programmiersprachen kam er zwar in den Genuss hoher Leistungsfähigkeit, Flexibilität und Skalierbarkeit, musste jedoch auf die Bedienfreundlichkeit und Interaktivität konfigurationsgestützter Werkzeuge verzichten – und umgekehrt."

*Dr. James Truchard,  
President und CEO von NI*



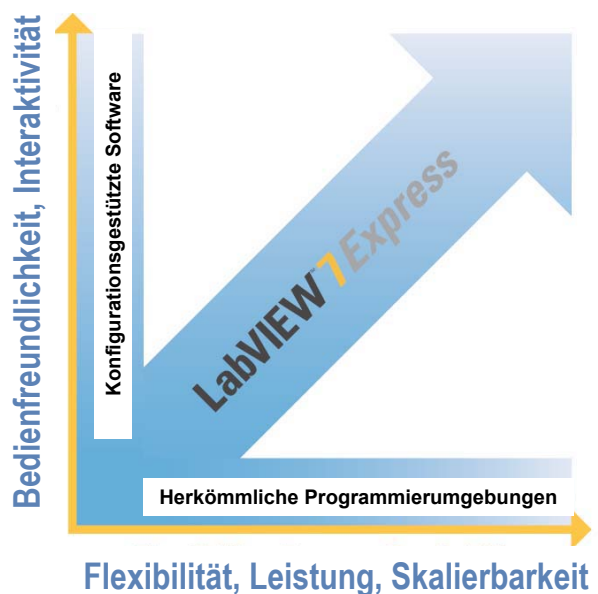
ni.com



## Erhöhte Benutzerfreundlichkeit ohne Abstriche bei der Flexibilität

"LabVIEW 7 Express schließt die Lücke zwischen komplexem Code für anspruchsvolle Lösungen und einfachem Code für eher elementare Anwendungen, denn LabVIEW 7 Express erlaubt die Erstellung professioneller Applikationen basierend auf kompaktem, leicht verständlichem Code."

*Nicola Chiari,  
Systementwickler  
SIDEA S.p.A.  
Italien*

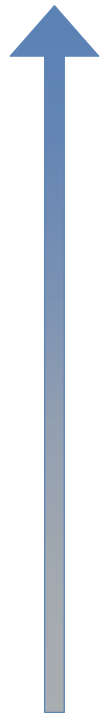


ni.com





# NI LabVIEW – Innovation aus Tradition



- Juni 2003 • LabVIEW 7 Express: Express-VIs, interaktive Assistenten, für FPGAs und PDA
- Januar 2002 • LabVIEW 6.1: Erweiterte Netzwerkfähigkeiten und Analysefunktionen
- August 2000 • LabVIEW 6i: Intelligente, internetoptimierte Messanwendungen
- Februar 1999 • LabVIEW 5.1: 3D-Grafen, Internetwerkzeuge, Linux, verbesserte Leistungsfähigkeit
- März 1998 • LabVIEW 5.0: ActiveX, Multithreading
- Juni 1997 • LabVIEW 4.1: Datenerfassungs-Assistent (DAQ Wizard) für Windows-Plattformen
- Februar 1996 • LabVIEW 4.0: Neue professionelle Werkzeuge, verbesserte Fehlerbehebung
- August 1993 • LabVIEW 3.0: Multiplattformversion für diverse Betriebssysteme
- Oktober 1992 • LabVIEW für Sun
- September 1992 • LabVIEW für Windows
- Januar 1990 • LabVIEW 2.0 für Macintosh
- Oktober 1986 • LabVIEW 1.0 für Macintosh
- April 1983 • Beginn der Entwicklung der grafischen Programmierumgebung LabVIEW

ni.com



# LabVIEW und die Nutzung von Standard-Technologien

## Software von Drittanbietern:

- Mathematica® von Wolfram Research
- Excel® von Microsoft
- MathCAD® von MathSoft
- Multisim® von Electronics Workbench
- Code Composer Studio® von Texas Instruments
- MATLAB® und Simulink® von The MathWorks
- Software von Ansoft zur Entwicklung von HF-Schaltungen
- Access® von Microsoft
- SQL Server® von Microsoft
- Oracle®
- sonstige Softwarepakete

## Kommunikationsprotokolle:

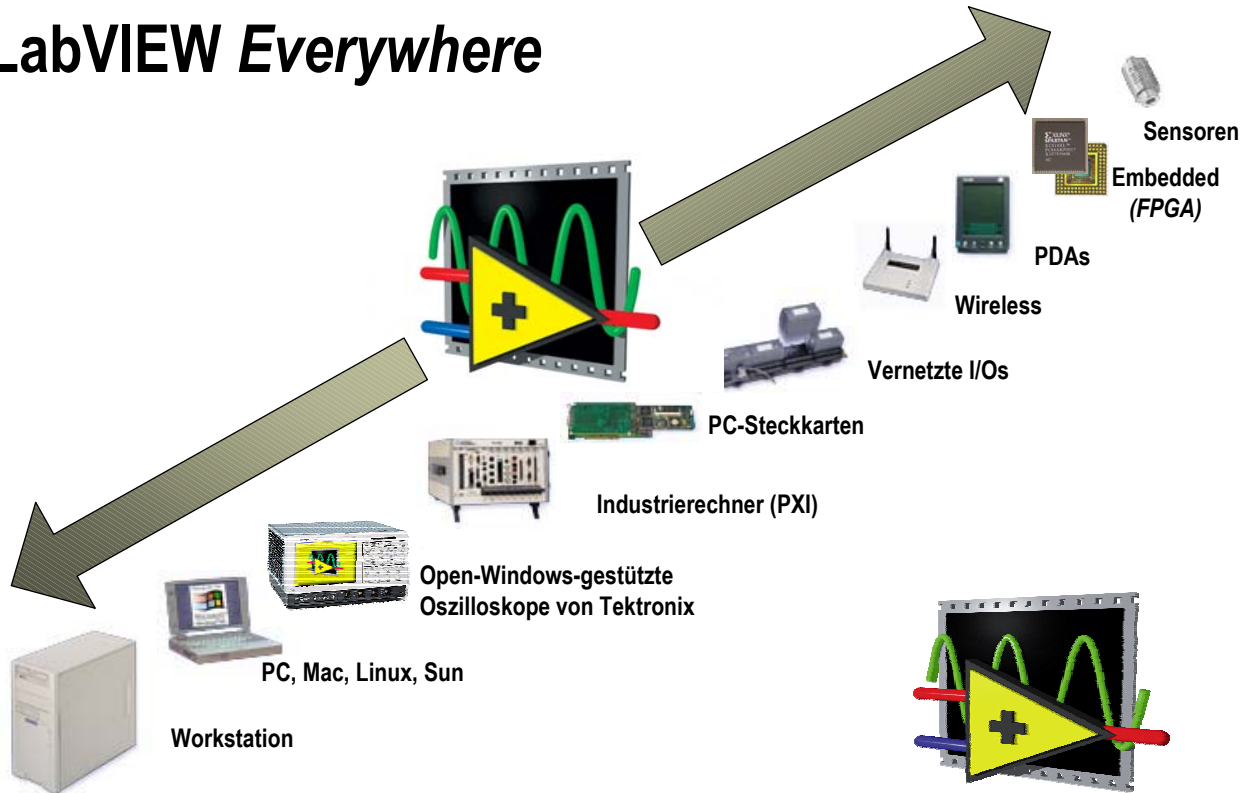
- Ethernet
- CAN
- TCP/IP
- DeviceNet
- USB
- IEEE 1394
- RS-232
- GPIB
- RS-485
- sonstige Protokolle



ni.com



# LabVIEW Everywhere

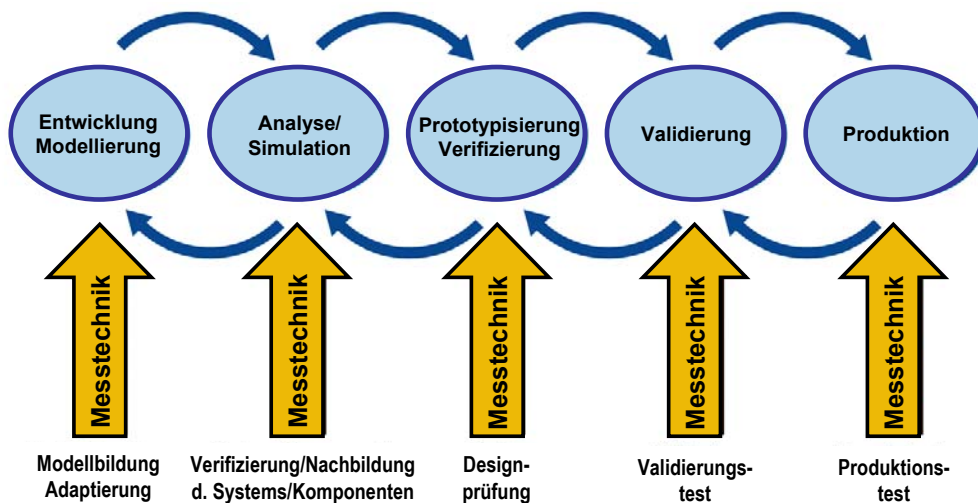


ni.com

NATIONAL INSTRUMENTS

# Virtuelle Instrumentierung im Produktentstehungsprozess

Die Rolle der virtuellen Instrumente in den diversen Phasen des Design-Flows



97 % aller Entwicklungsingenieure begleiten ihre Designs durch den gesamten Produktentstehungsprozess.

Quelle: Studie "Mind of the Engineer" von Cahners Research (2001)

ni.com

NATIONAL INSTRUMENTS

## Was spricht für den Einsatz von LabVIEW?

- Verkürzte Entwicklungszeiten
- Anbindungsmöglichkeiten und Gerätesteuerung
- Analyse- und Darstellungsmöglichkeiten
- Erstklassiger Support, umfangreiches Schulungsangebot
- Weltweites Netzwerk von Anwendern
- Flexibilität und Skalierbarkeit



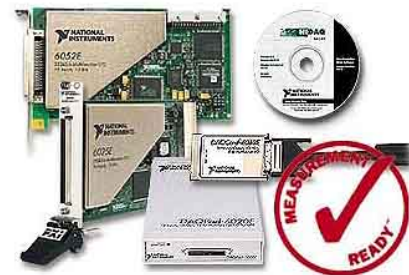
NATIONAL INSTRUMENTS™  
**LabVIEW™**

[ni.com](http://ni.com)



## Datenerfassung mit NI LabVIEW

- Die Treibersoftware NI-DAQ ermöglicht die Integration von LabVIEW mit sämtlichen Datenerfassungsgeräten von NI, als da wären:
  - Analog-I/Os
  - Digital-I/Os
  - Counter/Timer-I/Os
  - Signalkonditionierungsmodule
- Automatische Konfigurierung; Test-Panels
- Integrierte Konfigurierung und Skalierung von Kanälen

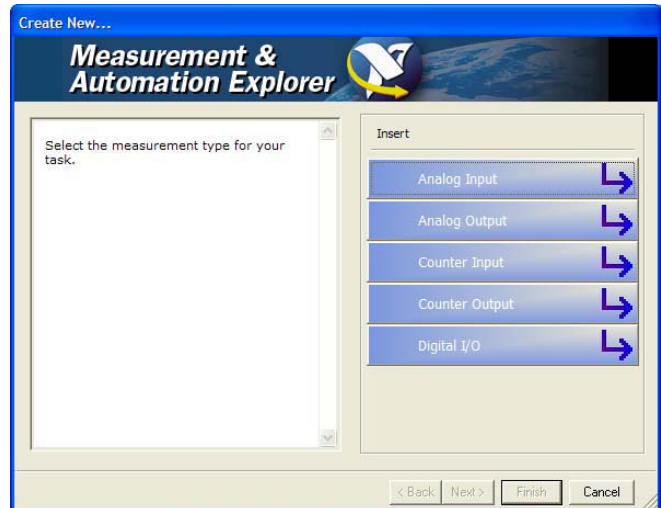


[ni.com](http://ni.com)



## DAQ-Assistent

- Beschleunigte Anwendungsentwicklung
- Kanalkonfigurierung direkt in LabVIEW
- Code-Erzeugung
- Vermeidung zeitraubender Programmierfehler

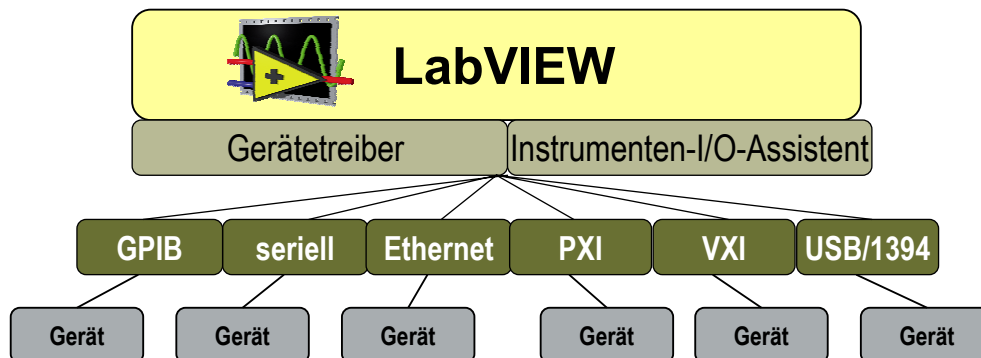


ni.com



## Gerätesteuerung mit NI LabVIEW

- LabVIEW kann mit fast jedem Messinstrument kommunizieren
  - Gerätetreiber
  - Instrumenten-I/O-Assistent
- Tools zum Analysieren und Anzeigen der vom Gerät gelieferten Daten

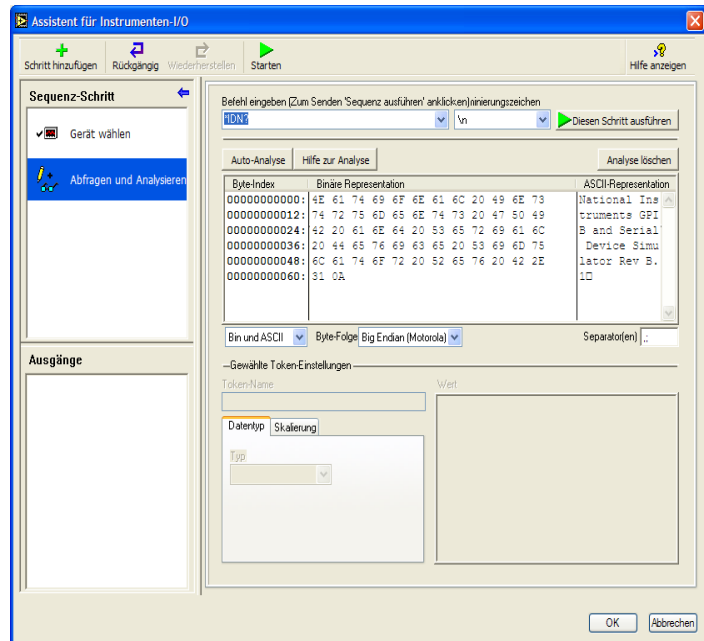


ni.com



# Instrumenten-I/O-Assistent

- I/O-Kommunikation mit seriellen, GPIB-, Ethernet-, PXI-, VXI- und USB-Geräten
- Beschleunigte Entwicklung von Applikationen zur Gerätesteuerung
  - Verkürzte Entwicklungszeiten
  - Minimale, z. T. gänzlich ohne Programmierung
  - Automatische Syntaxanalyse (Parsing)



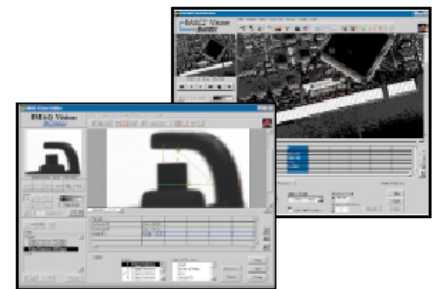
ni.com



# Bilderfassung und Motorensteuerung

## Bilderfassung

- Zügig vom Prototyp zum fertigen Programm
- Echtzeitfähige embedded Bildverarbeitungssysteme
- Hunderte anspruchsvoller Bildverarbeitungsfunktionen
- Nahtlose Integration mit NIs Datenerfassungs- und Motorensteuerungshardware
- NI Vision Builder zur schnellen Prototypenstellung und automatischen Erzeugung von LabVIEW-VIs



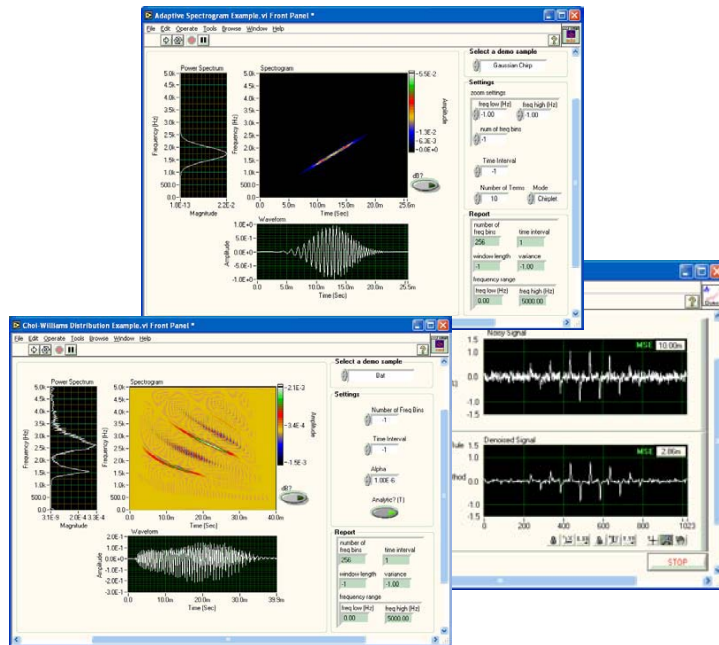
## Motorensteuerung

- Verkürzte Entwicklungszeiten
- Umfangreiche Anbindungsmöglichkeiten
- Nahtlose Integration mit weiteren Systemkomponenten
- Anbindung von mehr als 140 verschiedenen Linearverstellern
- Mehr Produktivität dank automatischer Erzeugung von LabVIEW-Code im NI Motion Assistant
- Müheloses Konfigurieren

ni.com



# NI LabVIEW Signal Processing Toolset



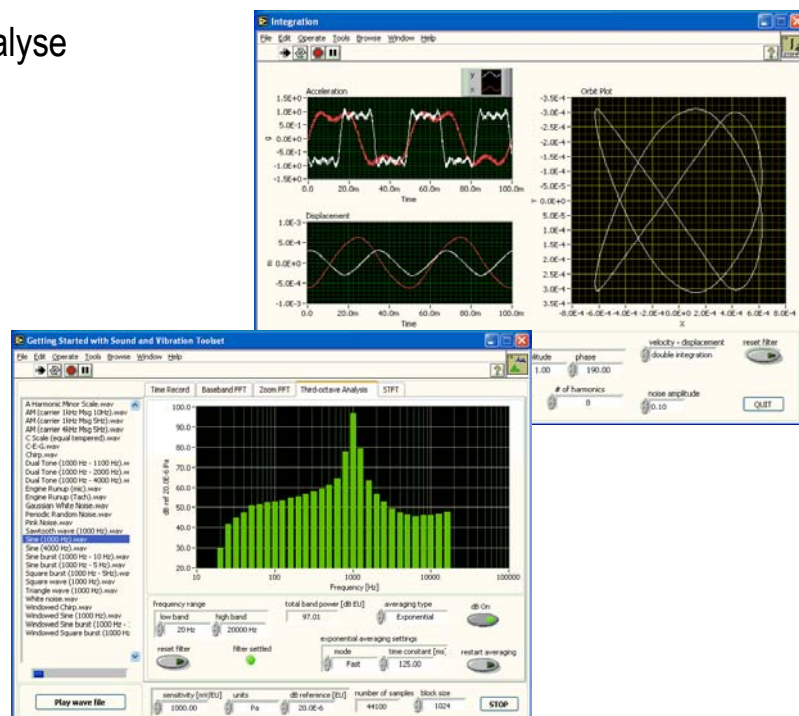
- Kombinierte Zeit- und Frequenzbereichsanalyse ("JTFA")
- Superauflösende Spektrumanalyse
- Design von Wavelets und Filterbanken
- Design digitaler Filter
- Anwendungsbereiche:
  - Automotive
  - Biomedizin
  - Seismologie
  - Radar/Sonar

ni.com



# NI LabVIEW Sound and Vibration Toolset

- Gemittelte Frequenzanalyse
- Transientenanalyse
- Schallpegelmessung
- Gewichtung von Filtern
- Kalibrierung
- Oktavanalyse
- Darstellungswerkzeuge

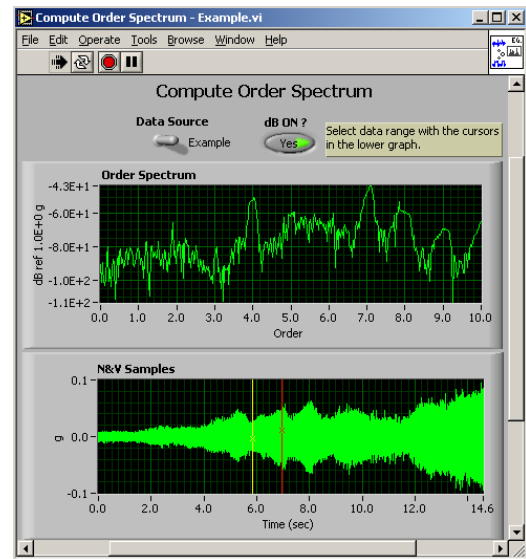


ni.com



# NI LabVIEW Order Analysis Toolset

- Hoch entwickelter Algorithmus "Gabor Order Tracking" zur Analyse von Schall-, Vibrations- sowie anderen dynamischen Signalen bei mechanischen Systemen mit rotierenden Bauteilen
- Flexible Auswahl der Ordnungsenergie im kombinierten Zeit- und Frequenzbereich
- Grafische Darstellung der Ordnung(en) in Abhängigkeit von Zeit oder Drehzahl
- Werkzeuge für die Ordnungsextraktion zur Abtrennung ordnungsspezifischer Signalkomponenten
- Werkzeuge zur automatischen Suche nach den wichtigsten Ordnungen und deren Extraktion
- Verarbeitung von Tachometersignalen

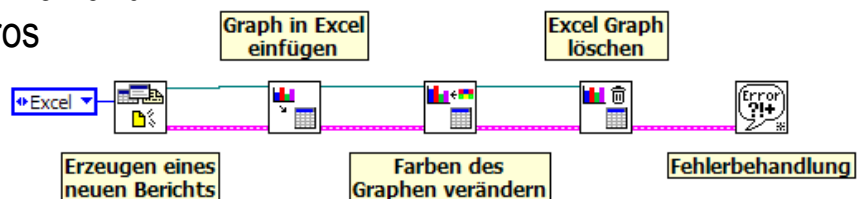
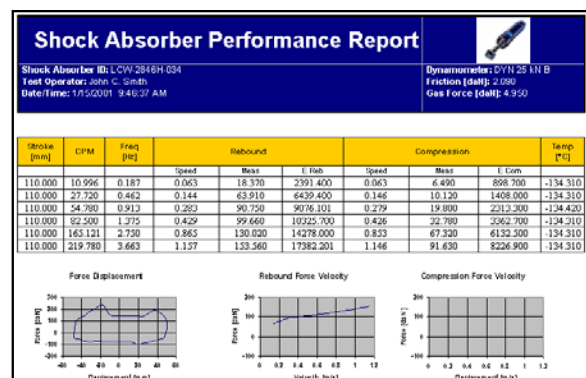


ni.com



# Report Generation Toolkit for Microsoft Office

- Programmatisches Erstellen und Bearbeiten von Berichten in Microsoft Word und Excel
- Berichtvorlagen (Templates) als Basis für eigene Berichte
- Layout, Format und Erscheinungsbild von Berichten anpassbar
- Berichtversand per E-Mail und Ausführung von Makros



ni.com



# NI LabVIEW Datalogging & Supervisory Control Module

- Grafisches Entwickeln verteilter Überwachungs-, Steuer- und Regelanwendungen
- Ermittlung von Trends in Echtzeit- und historischen Daten
- Protokollieren von Daten beliebiger vernetzter I/Os in historischer Datenbank
- Überwachung und Protokollierung von Alarmen und Ereignissen
- Anbindung von LabVIEW-Real-Time-Zielgeräten und OPC-Hardware
- Benutzerverwaltung für LabVIEW-Frontpanels

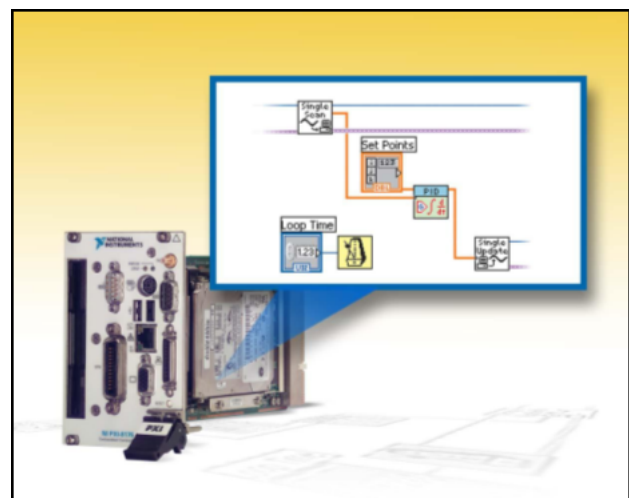


[ni.com](http://ni.com)

 NATIONAL INSTRUMENTS

# NI LabVIEW Real-Time Module

- Grafische Entwicklung von deterministischen Echtzeitanwendungen
- Zuverlässige embedded Ausführung
- Enge Integration von Hard- and Software
- Integration mit PXI-Produkten von Drittanbietern
- Beschleunigte Entwicklung dank Communications Wizard und Applikationsvorlagen



[ni.com](http://ni.com)

 NATIONAL INSTRUMENTS



## NI LabVIEW PDA Module

- Grafische Erstellung individueller Applikationen für PDAs (Pocket PC und Palm OS)
- Ausführbare Applikationen bzgl. Größe und Performanz für PDAs optimiert
- Integrierte Emulations- und Fehlerbehebungswerkzeuge zur Applikationsverifizierung
- PDA-gestützte Datenerfassung dank NI Measurement Hardware DDK
- Kommunikation mit externen Geräten über Wireless-Ethernet- (IEEE-802.11b-), IrDA- und serielle RS-232-Schnittstellen

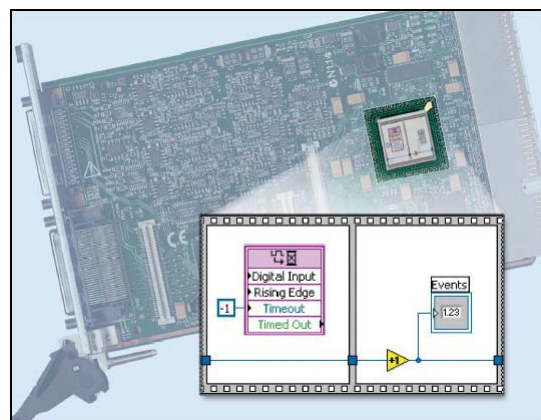


[ni.com](http://ni.com)

 **NATIONAL  
INSTRUMENTS**

## NI LabVIEW FPGA Module

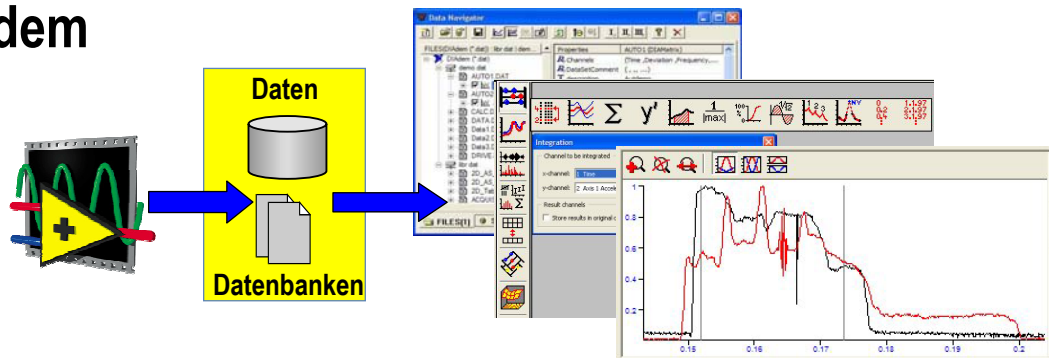
- Grafische Entwicklung von Anwendungen für FPGAs auf rekonfigurierbaren I/O-Modulen
- Präzise, anwenderdefinierte Timing- und Synchronisationsmöglichkeiten für sämtliche I/O-Kanäle
- Benutzerdefinierbare Digitalsignale für Counter-Operationen, PWM-Kanäle und Kommunikationsprotokolle
- Deterministischer Betrieb und hardwaregestützte Entscheidungsfindung
- Zügige Entwicklung dank integrierter Emulations- und Fehlerbehebungswerkzeuge



[ni.com](http://ni.com)

 **NATIONAL  
INSTRUMENTS**

# NI DIAdem



- Interaktive, nahtlos mit LabVIEW integrierte Softwareumgebung zur Datenverwaltung, -visualisierung und -analyse, Berichterstellung sowie Aufgabenautomatisierung
- Auf den Ingenieur zugeschnittene Berichterstellungswerkzeuge
- Handhabung umfangreicher Datensätze von mehr als 1 Milliarde Datenpunkten
- Benutzerfreundliche, flexible Bedienoberfläche für die Datenverwaltung
- Interaktive visuelle sowie anspruchsvolle mathematische Analysen

ni.com



## LabVIEW Zone Welcome to LabVIEW Zone

This is your online community to share ideas and code, to network with your peers and user groups, and to learn how to improve your LabVIEW development skills.

This site is for LabVIEW users of all levels, and its success depends on your participation and involvement. Please provide your [suggestions and feedback](#) for expanding LabVIEW Zone's content, features, and value.



Friendly banter or passionate debate? Discuss your questions, ideas, and information with your peers here. >>



Find the code you need. Share what you've created. Compete with others in the Coding Challenge. It's definitely all about code! >>



See what your peers are up to. Join or start a local user group. Share presentations and speaking points. We are all over the world. >>



Jeff Kodosky speaks in his article, The VIEW. Ask Dr. VI your in-depth questions and read other interesting words on LabVIEW. >>



Expand your LabVIEW knowledge with unique resources, events and documents, whether you're a beginner or a seasoned wireworker. >>



Explore the creativity of the Community through games and songs ... just plain fun! Submit your own creation. And who are those VIPs? >>



Take your development to the next level with additional resources, sites, and tools from all across the Community. >>

ni.com/labviewzone

ni.com



# Support und Serviceleistungen für NI LabVIEW

- Serviceleistungen für jede Phase des Anwendungslebenszyklus
- Technischer Support
  - Internetgestützter Support
  - Weltumspannendes Netz von Anwendungingenieuren
- Serviceleistungen im Bereich Softwarewartung
  - LabVIEW Software Subscription Program
  - NI Developer Suite
- Professionelle Serviceleistungen
  - Machbarkeitsprüfung
  - Beratung
  - Systemintegration durch Mitgliedsfirmen im NI Alliance Program



The Year's Ten Best Web Support Sites



[ni.com/services](http://ni.com/services)

[ni.com](http://ni.com)



# Web-Events

<http://www.ni.com/germany/veranstaltungen>

**National Instruments WEB-EVENT**  
*Einfach Messen mit LabVIEW 7 Express*  
**Kostengünstiges Erstellen skalierbarer Messsysteme**

Präsentiert von:  
*Ingo Knoblich, Technical Marketing Engineer*  
*Philipp Krauss, Marketing & Communications Manager*

**Ihre Werkzeuge zur interaktiven Kommunikation**

<input checked="" type="checkbox"/> Zustimmung bekunden durch Klicken auf das grüne OK/JA-Symbol	<input type="checkbox"/> Ablehnung bekunden durch Klicken auf das rote NEIN-Symbol	<input type="checkbox"/> Stellen Sie uns Ihre Fragen durch Klicken auf das CHAT-Symbol
--	--	--

ni.com NATIONAL INSTRUMENTS

[ni.com](http://ni.com)



# LabVIEW-Kursangebot und -Zertifizierungsprogramme

- **Kurse mit Anleitung**
  - LabVIEW Basics I: Einführung
  - LabVIEW Basics II: für Fortgeschrittene
  - LabVIEW Advanced: Leistungsaspekte und Kommunikation
  - LabVIEW Advanced: Anwendungsentwicklung für Fortgeschrittene
- **Vor-Ort-Schulungen**
- **Selbstlernprogramme**
- **LabVIEW-Zertifizierungsprogramme**

[ni.com/training](http://ni.com/training)

[ni.com](http://ni.com)



## Was spricht für den Einsatz von LabVIEW?

- **Kurze Entwicklungszeit** dank der einfach zu handhabenden, intuitiv bedienbaren Entwicklungsumgebung, interaktiven Express-VIs, leistungsfähigen Anwendungsvorlagen, mehr als 500 mitgelieferten Beispielprogramme und Hunderter von integrierten Messwertanalysefunktionen
- **Interaktive Messdurchführung und automatische Codeerzeugung** mithilfe von konfigurationsgestützten Assistenten für Datenerfassung, Gerätesteuerung, Bildverarbeitung und Motorensteuerung; nahtlose Integration mit Tausenden von Datenerfassungs- und sonstigen I/O-Modulen sowie SPSen
- **Gesenkte Gesamtkosten** dank der hohen Priorität der Skalierbarkeit, ob von kompakten auf komplexe Applikationen, von Desktop- auf embedded und/oder Echtzeitsysteme oder von lokalen auf verteilte Lösungen



NATIONAL INSTRUMENTS™  
**LabVIEW™**

[ni.com](http://ni.com)



# Fragen oder Anregungen?



**NATIONAL INSTRUMENTS™**  
**LabVIEW™**

[ni.com/labviewzone](http://ni.com/labviewzone)

[ni.com](http://ni.com)



# Die CIP-Insel im Rahmen der rechnergestützten Ausbildung

CIP-Insel Elektrotechnik & Angewandte Informatik  
Ruhr-Universität Bochum

Marc Schober, schober@et.rub.de

## **CIP-Insel - Das „CIP“**

Im Rahmen des 1984 ins Leben gerufenen *Computer-Investitionsprogramms* soll es Hochschulen ermöglicht werden „Mikrorechnerräume“ für die Lehre in allen Fächern zur Verfügung zu stellen. Dabei werden die Kosten anteilig von Bund und Ländern sowie der Hochschule selbst getragen.

In Anlehnung an das Förderprogramm werden diese Rechnerräume auch als *CIP-Inseln* oder *CIP-Pools* bezeichnet.

## **Übersicht - CIP-Inseln an der Ruhr-Universität Bochum**

An der Ruhr Universität Bochum stehen derzeit für Lehre, Ausbildung und freies Arbeiten 22 dieser Rechnerräume, verteilt über den 4,5km<sup>2</sup> großen Campus, zur Verfügung.

Diese werden von Fakultäten, Lehrstühlen oder anderen Universitätseinrichtungen betrieben bzw. finanziert und stehen daher zum Teil nur Studierenden der jeweiligen Fakultäten, bzw. nur für bestimmte Lehrveranstaltungen zur Verfügung.

Zusätzlich hierzu betreibt das Hochschulrechenzentrum in zentraler Lage eine Hauptrechnerinsel mit 50 für alle Studierenden frei zugänglichen Arbeitsplätzen.

Insgesamt stehen somit zurzeit für die durchschnittlich 35.000 Studierenden etwa 600 Rechnerarbeitsplätze zur Verfügung. Diese Zahl wird jedoch durch Öffnungszeiten, Kursgebundene Plätze und die jeweiligen Fakultäten reduziert.

Die Nutzung der CIP-Inseln für die Lehre erfolgt - bedingt durch Gruppengrößen und Platzangebot - im Allgemeinen im Rahmen von Praktika oder Übungen bzw. Kolloquien. Vorlesungen eignen sich hierfür bedingt durch die Studierendenzahl und/oder Vorlesungsinhalte nur selten.

Die Gestaltung dieser Veranstaltungen unterscheidet sich selbstverständlich je nach Studienrichtung.

## **Im Detail – Die CIP-Insel ET/AI**

Die bereits 1987 gegründete Einrichtung, damals noch als CIP-Insel Elektrotechnik bzw. Elektrotechnik & Maschinenbau, wurde 2002/2003 als CIP-Insel der Fakultäten Elektrotechnik & Angewandte Informatik neu eingerichtet.

Bis Herbst 2002 standen lediglich 22 Arbeitsplätze mit jeweils 11 Rechnern der Pentium-Klasse (P1 (133MHz) bzw. AMD K5 (300MHz)) mit Windows NT4 als Betriebssystem zur Verfügung.

Seit Abschluss der Umorganisation stehen in zwei neu ausgerüsteten Räumen, nebst angeschlossenem Serverraum, 35 aktuelle Pentium 4 Arbeitsplatzrechner (1,8GHz) mit Windows 2000, sowie 10 der verbliebenen Pentium 1 Rechner zur Verfügung.

Verwaltung, Mailverkehr und Datenhaltung werden jeweils von getrennten Servern mit aktueller Hardware unter Linux eingesetzt.

Alle Stationen sind über ein 100MBit switched-Ethernet vernetzt, die Außenanbindung an das Hochschulrechenzentrum wurde über eine LWL Anbindung realisiert.

Zuständig für den Betrieb der CIP-Insel sind derzeit 5 studentische Hilfskräfte, die Benutzerbetreuung, Hard- und Softwarewartung sowie Softwareentwicklung übernehmen. Für Beschaffung und Organisation wurde von jeder Fakultät je ein Projektbetreuer bzw. eine Projektbetreuerin ernannt.

Die CIP-Insel steht werktags von 9-18 Uhr allen Studierenden und Lehrenden der beiden Fakultäten frei zur Verfügung.

Zurzeit werden über 2200 aktive Benutzerkonten geführt und mehr als 45.000 E-Mails / Monat verarbeitet. Die Auslastung der Arbeitsplätze reicht je nach Tageszeit bzw. laufenden Vorlesungen von 1-2 Benutzern bis zur Überbelegung, liegt aber im Schnitt bei etwa 15-20 Benutzern.

## **Lehre – Die CIP-Insel in der Lehre**

Das Grundkonzept des Computer-Investitionsprogramms sieht einer Nutzung der CIP-Inseln für die Lehre vor, welches vor allem in Ingenieurwissenschaftlichen Studiengängen einleuchtend und sinnvoll erscheint.

Die Fakultät Elektrotechnik bietet derzeit die drei Studiengänge Elektrotechnik, Elektrotechnik & Informationstechnik sowie Sicherheit in der Informationstechnik an. Die Angewandte Informatik bietet den gleichnamigen Bachelor/Master-Studiengang; ist allerdings nicht der Fakultät Elektrotechnik zugehörig.

Alle vier Studiengänge enthalten jeweils, wenn auch in unterschiedlicher Gewichtung, Lehrveranstaltungen aus den Bereichen der Computertechnik, Softwareentwicklung/Programmierung, Netzwerktechnik und der Informationssicherheit. Viele der möglichen Berufsbilder für Absolventen dieser Studiengänge sehen Tätigkeiten in diesen Bereichen vor, fast alle verlangen zumindest einen sicheren Umgang mit Standardsoftware.

Leider wird die Erwartung bei Studienanfängern zumindest grundlegende Vorkenntnisse im Umgang mit PCs oder anderen Rechnersystemen vorzufinden jedes Jahr aufs Neue widerlegt. Zwar liegen keine konkreten Zahlen vor, jedoch ist davon auszugehen, dass neben einem kleinen Teil von motivierten und entsprechend Vorgebildeten sowie einem recht großen Teil von „normalen“ Studienanfängern mit ausreichenden Kenntnissen immer noch ein unerwartet hoher Anteil von Studienanfängern mit leider unzureichenden bzw. gar keinen Vorkenntnissen.

Die Gründe hierfür sind vielfältig und reichen von fehlenden Angeboten in den Schulen über das Fehlen von Zugangsmöglichkeiten zu PCs Zuhause bis hin zu fehlender Motivation bei den Studienanfängern selbst.

Dabei muss angemerkt werden, dass es durchaus möglich ist mit minimalem Aufwand durch gezieltes Lernen und entsprechende Studienverlaufsplanung einen Abschluss zu erhalten. Dabei bleibt es natürlich den Studierenden selbst überlassen wie sie dabei verfahren, je nach Berufswunsch kann dies natürlich zu Problemen führen.

Eine Lösung des Problems liegt im Angebot von Kursen, Praktika und Übungen, in denen Anfängern grundlegende Kenntnisse vermittelt und Fortgeschrittenen Vorlesungsinhalte in praktischer Form näher gebracht werden.

Für die Studierenden der beiden Fakultäten werden in der CIP-Insel zur Zeit leider nur eine vorlesungsbegleitende wöchentliche Übung zur Vorlesung Programmiersprachen (Einführung in C), sowie ein vorlesungsbegleitendes Praktikum zur Vorlesung Grundlagen der Informatik (JAVA) mit nur 4 Terminen im Jahr und ein wöchentliches Tutorium angeboten.

Durch die im Wintersemester 03/04 neu hinzugekommene Übung zur Vorlesung Programmiersprachen können erstmals 2 regelmäßig stattfindende Veranstaltungen angeboten werden (da das Praktikum wie oben erwähnt nur 4x Jährlich stattfindet).

Gemessen am entsprechenden Lehrangebot erscheint dies wenig, jedoch muss berücksichtigt werden dass einige Vorlesungen sich durch die Themenbereiche und andere sich durch die große Teilnehmerzahl leider nicht für praktische Lehr-Elemente eignen.

Neben diesen „offiziellen“ Veranstaltungen werden noch verschiedene andere Kurse wie z.B. eine einmalige zweistündige Einführung in die Arbeit mit dem PC für Studienanfänger oder ein wöchentliches Computer-Tutorium durch das „Science Help Project“ angeboten.

In der kursfreien Zeit wird die CIP-Insel von den Studierenden zum freien Arbeiten benutzt, d.h. neben dem zweckfreien Surfen im Internet natürlich auch zur selbstständigen Fortbildung oder Recherche, was durchaus einen wichtigen Beitrag zur Unterstützung der Lehre leisten kann.

### **CIP-Inseln – Noch notwendig?**

Insgesamt kann gesagt werden, dass die CIP-Inseln ihrer Bestimmung weitgehend gerecht werden - wenn auch sicherlich oftmals Verbesserungen im Umfang des Lehrangebots und in der Ausstattung möglich sind.

Durch die langsam aufkommende Aufnahme von entsprechenden Lehrangeboten bereits in die frühen Stufen der Schulbildung und die sinkenden Preise für private PCs wird sich die Zielsetzung sicher verändern. Die Bereitstellung von Arbeitsplätzen für Studierende wird immer mehr an Gewicht verlieren wohingegen Vorlesungsunterstützende Angebote entsprechend der Themengebiete immer wichtiger werden.





Vortrag SEI, Herbst 2003

## Die CIP-Insel im Rahmen der Rechnergestützten Ausbildung

CIP-Insel Elektrotechnik & Angewandte Informatik  
Ruhr-Universität Bochum

<http://et-cip.rub.de>

Marc Schober, [marc@fx-webworks.de](mailto:marc@fx-webworks.de)



## CIP-Insel ≠ Chip-Insel ???

„CIP“ für „Computer-Investitions-Programm“.

Programm zur Errichtung von Rechnerpools für die Lehre an Hochschulen.  
Finanzierung durch Bund, Länder und die Hochschule selbst.

„Insel“ inoffiziell aber gebräuchlich (offiziell: Pool, Rechnerraum)

## CIP-Inseln an der Ruhr-Universität Bochum

- 22 offiziell gemeldete Rechnerpools, durchschnittlich 20 Rechnerarbeitsplätze
- 500 - 550 Arbeitsplätze auf dem gesamten Campus, davon ~ 150 in Zentralen Einrichtungen (Rechenzentrum, Universitätsbibliothek)
- Ca. 40 - 50% davon nur kursgebunden zugänglich, nicht öffentlich
- „Öffentliche“ Rechnerpools oft nur für Fakultätsangehörige zugänglich
- Kein durchgehender Betrieb, Gebäude ab 21 Uhr geschlossen
  
- Ausbildung findet allgemein in Form von Übungsgruppen, Praktika oder selbstständigem Arbeiten statt, je nach Fakultät/Studiengang natürlich große Unterschiede
- Ausnahme: Fortbildungskurse des Rechenzentrums für Administratoren und Netzbetreuer



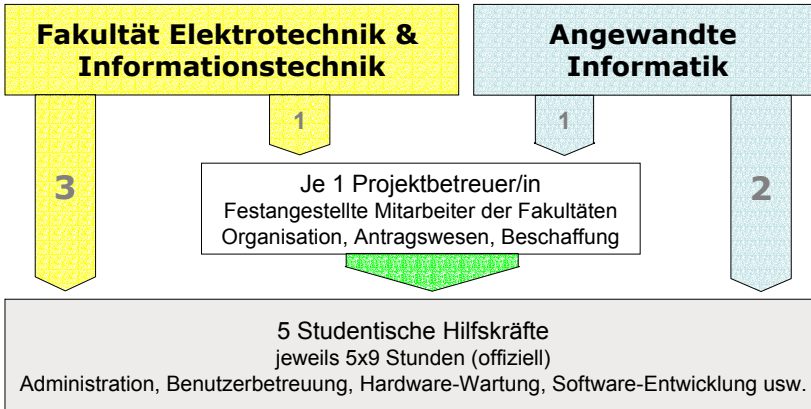
## Die CIP-Insel der Fakultät für Elektrotechnik & Informationstechnik im „historischen“ Rückblick

- Erstes bekanntes auftreten als „Rechnerpool“ 1987
- 1991 - 2002 Betrieb in Kooperation mit der benachbarten Fakultät für Maschinenbau, **CIP-ET/MB**
- 2002 Aufkündigung der Kooperation ET/MB, gleichzeitig Kooperation mit der Angewandten Informatik, **CIP-ET/AI**
- Bis Herbst 2002 Betrieb mit unzureichender Ausstattung:
  - 6 Arbeitsplatzrechner, 486-33MHz als Linux – Terminal
  - 11 Arbeitsplatzrechner, Pentium1-133MHz, WinNT4
  - 11 Arbeitsplatzrechner, AMD-K5-300MHz, WinNT4
  - 2 Server & 1 Router, jeweils unterdimensioniert
  - Netzwerkinstallation inoffiziell & provisorisch
- Herbst & Winter 2002: Anschaffung neuer Rechner
- Frühjahr 2003: Sanierung der Räume, Installation neuer Netzwerkkomponenten und Stromanschlüsse
- Bis Herbst 2003 noch nicht alle Bauvorhaben abgeschlossen

# Die CIP-Insel Elektrotechnik & Angewandte Informatik - Organisationsstruktur

## Rechenzentrum der Ruhr-Universität

Bereitstellung der für den Betrieb notwendigen Netzanbindung



CIP-Insel ET/AI



## Die CIP-Insel ET/AI – Heute

- Öffentlicher Betrieb Werktags 9 -18 Uhr, ca. 1900 Benutzer
- 2 komplett ausgestattete Rechnerräume & Server/Lageraum
  - 35 Arbeitsplatzrechner, Pentium4 -1,8GHz, Windows 2000
  - 4 Sonderarbeitsplätze mit DVD,CD Brenner, Scanner
  - 8 Arbeitsplatzrechner, Pentium1-133Mhz, Linux (i.V.)
  - 1 HP-Designjet Großformat-Farbdrucker (A0)
  - 1 Hauptserver, AthlonXP 1,8GHz, 1GB RAM, 360GB HD
  - 1 Mailserver, Pentium4 1,6GHz, 30-40.000 Mails/Monat
  - 1 Router, Dual-Pentium2, Firewall & Intrusion Detection
- Alle Räume mit moderner Netzwerk und Stromversorgung
- Netzwerkanbindung an das RZ über schnelle LWL Anbindung
- Serverbetrieb & Verwaltung ausschließlich über frei verfügbare Software (Open Source) . Teilweise durch Eigenentwicklungen der studentischen Hilfskräfte.

CIP-Insel ET/AI

## Die CIP-Insel in der Lehre

### Studiengänge an der Fakultät Elektrotechnik & Informationstechnik

- Elektrotechnik, Elektrotechnik und Informationstechnik
- Sicherheit in der Informationstechnik (IT-Security)
- Angewandte Informatik (kein Studiengang der Fakultät)

**Annahme:** Studenten sollten grundlegende IT bzw. PC (Vor)Kenntnisse mitbringen

**Falsch! Teilweise überhaupt kein oder unzureichendes Vorwissen oder Interesse**

**Grund:** Schlechte Situation an Schulen, Wahl des Studiengangs aus Alternativenmangel

**Auswirkungen:** Zuerst keine, Studium bzw. Abschluss mit verhältnismässig geringem Aufwand durch kreative Studienplanung und Aneignung von Grundkenntnissen möglich.

**Problem:** Nicht Sinn des Studiums, evtl. Probleme beim Berufseinstieg

### Lösung ?

- ✓ Vorlesungsbegleitende Kurse & Praktika (Praktische Anwendung > Lerneffekt)
- ✓ Angebot von Anfänger und Vertiefungskursen, Tutorengruppen usw.
- ✓ Freies (sinnvolles) Arbeiten der Studenten/innen



## Vorlesungsbegleitendes Kursangebot

### ▪ Praktikum – Grundlagen der Informatik

- 2 Veranstaltungen je 3-4 Stunden pro Semester
- Vorbereitetes Lösen von Programmieraufgaben in JAVA
- Betreuung durch Mitarbeiter des Lehrstuhls Softwaretechnik

Beispiele aus den Praktika 2002/2003

- Programmierung eines Zufallszahlengenerators auf Basis eines multiplikativ linearen Kongruenzgenerators  
 $[ x_i = (a * x_{i-1}) \bmod m \mid a, x_0, m \in \mathbb{N} ]$
- Programmierung eines Taschenrechners

Zur Vorbereitung der Aufgaben nutzen viele Studierende die Einrichtungen der CIP-Insel

Dies berücksichtigt ergibt sich eine Gesamtauslastung von nur ca. 2% im Jahr. ( sehr optimistisch gerechnet... )

### Warum nicht mehr?

- Problem der Gruppengröße
- Vorlesungen ohne praktischen Bezug bzw. „Fachfremd“



## Weitere Veranstaltungen

- **Computer-Vorkurs**  
Einführungsveranstaltung in das Arbeiten mit dem PC (1x2h)
- **Computertutorium**  
Tutorium als Prüfungsvorbereitung zur Klausur Grundlagen der Informatik, JAVA Programmierung. (3h wöchentlich)
- **Science Help Project (ASTA)**
  - Einführung in Rechnersysteme  
Grundlagen in Hard & Software moderner PCs (2h wöchentl.)
  - Einführung in JAVA  
Vermittlung programmiertechnischer Grundlagen (2h wöchentl.)

SHP ursprünglich als Projekt für ausländische studierende, Teilnahme aber für alle möglich
- **Schülerinnenprojektwoche**  
Angebot von Kursen im Rahmen der SPW für Schülerinnen der Oberstufe. (1x jährlich)
- **Einstellungstest der Zentralen Ausbildung**  
Durchführung der computergestützten Einstellungstests für Auszubildende der RUB, Eligo Personalsoftware



## Freies Arbeiten ?

- 95% der Öffnungszeit für freies Arbeiten zur Verfügung
- Wie können Studierende diese Zeit im Studium nutzen?
  - Internetrecherche, Lehrstuhlangebote im Internet
  - Vorbereitung von Übungsaufgaben
  - Selbst völlig zweckfreies Arbeiten kann das Verständnis im Umgang mit Computern verbessern, Betreuer leisten gerne Hilfe bei Problemen

## Ausblick

- Nutzung des Internet zu Lehrzwecken
  - Einrichtung eines zentralen Blackboard Systems im RZ zur Bereitstellung von Diensten für Kurse & Lehrstühle (Terminkalender, Unterlagendownload, Foren)
  - e-learning z.B. W3L
- Durch neue Studiengänge teilweise neue IT Vorlesungen  
=> evtl. hier neue vorlesungsbegleitende Kursangebote
- Erweiterung des Kursangebots in Eigenregie möglich, z.B. Linux für Anfänger oder Netzwerktechnik usw.

## Datenerfassung und --speicherung mit einem 1 GHz-ADC

Vortrag auf der SEI-Herbsttagung 22. - 24.09.2003 in Bochum

### 1. Aufgabe

Für die Datenerfassung mit Abstraten im GHz-Bereich steht eine Vielzahl von PC-Einsteckkarten und VXI-Einschüben am Markt zur Verfügung. Wenn eine Meßaufgabe mit diesen Geräten lösbar und das nötige Budget vorhanden ist, sind sie ohne Zweifel die erste Wahl.

Wenn dies nicht der Fall ist, wird eine Spezialentwicklung sinnvoll. Hier stellt sich die Aufgabe, die hohe Datenrate durch Demultiplexing soweit zu reduzieren, daß die Daten über eine Standard-Schnittstelle (z.B.PCI-Bus oder FPDP) übertragen oder in SRAMs abgespeichert werden können. Der Demultiplexing-Faktor muß in der Größenordnung 16 liegen, damit werden die ADC- Daten von 8 bit, 1 GHz umgesetzt in 128 bit, 62,5 MHz.

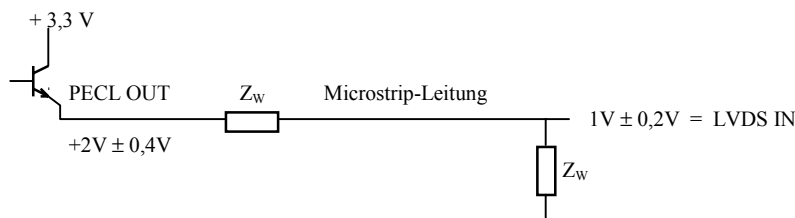
### 2. Lösungsansatz

Die zur Zeit wohl schnellste am Markt verfügbare ADC-Familie sind die pinkompatiblen MAX 104, MAX 106, MAX 108 mit Abstraten bis 1,5 GHz ([www.maxim-ic.com](http://www.maxim-ic.com)). Sie haben einen eingebauten 2:1-Demultiplexer und liefern an zwei Ausgangsports jeweils 8 bit parallele Daten und einen gemeinsamen DATA READY-Takt, alle als Differential PECL.

Für die Weiterverarbeitung wird ein neuer Weg beschriften: Es wird der Receiver der LVDS-Serial-Link-Technik (hierzu z. B. [www.national.com/appinfo/lvds](http://www.national.com/appinfo/lvds)) für das Demultiplexing herangezogen.

Vorteile:

- Die Umsetzung PECL  $\Rightarrow$  LVDS ist sehr einfach und bietet zugleich den Vorteil, daß die impedanzkontrollierte (Microstrip-)Leitung beiderseits angepaßt wird:



- Die LVDS-Deserializer sind hochintegrierte Bausteine mit geringer Leistung, alternativ erfordert der Aufbau mit ECL-Bausteinen (z. B. MC10Exxx) mindestens 16 ICs, ein kompliziertes Layout und ca. 1W/bit Leistung.
- An den Ausgängen des Deserializers treten nur noch niederfrequente Signale auf.

An den n parallelen Ausgängen eines k:1-Deserializers liegen jeweils die Bits gleicher Wertigkeit von k aufeinanderfolgenden Worten, z. B. für n = 8, k = 6:

Ausgang 7: MSB<sub>5</sub>, MSB<sub>4</sub>, MSB<sub>3</sub>, MSB<sub>2</sub>, MSB<sub>1</sub>, MSB<sub>0</sub>  
 Ausgang 6: 2<sup>nd</sup>SB<sub>5</sub>, 2<sup>nd</sup>SB<sub>4</sub>, 2<sup>nd</sup>SB<sub>3</sub>, 2<sup>nd</sup>SB<sub>2</sub>, 2<sup>nd</sup>SB<sub>1</sub>, 2<sup>nd</sup>SB<sub>0</sub>  
 .  
 Ausgang 0: LSB<sub>5</sub>, LSB<sub>4</sub>, LSB<sub>3</sub>, LSB<sub>2</sub>, LSB<sub>1</sub>, LSB<sub>0</sub>

Diese Daten müssen umsortiert und zu den 6 ADC-Ausgangsworten 5...0 zusammengesetzt werden. Etwas problematisch bleibt das Platinenlayout für sehr breite Busse.

## 3. Ausgeführte Schaltung

Der gewählte Lösungsansatz wird besonders interessant, wenn an Stelle der Deserializer-ICs FPGAs eingesetzt werden können. Das schwierige Handling der breiten Busse und die weitere Datenverarbeitung zur Anpassung an eine vorgegebene Schnittstelle erfolgen dann innerhalb des FPGA. FPGAs mit LVDS-Serializer/Deserializer-Eingängen ("SERDES"-Channels) gibt es von verschiedenen Herstellern, z. B.: LATTICE ispFPGA, ALTERA Stratix, XILINX Virtex II. Bei der WMT-Elektronik GmbH wurde ein ADC für Messungen in der Funkausbreitungstechnik entwickelt. Der ADC digitalisiert das Ausgangssignal eines Meßempfängers (Tuners). Die Daten sollen kontinuierlich aufgezeichnet und zur späteren Offline-Auswertung in einem Großspeicher abgelegt werden. Die ADC-Baugruppe übernimmt gleichzeitig wesentliche Steuerungsaufgaben für den Meßablauf (Steuerung der Antennenumschaltung, AGC-Steuerung des Tuners), auf die hier nicht näher eingegangen wird. Für die Datenerfassung und --vorverarbeitung werden zwei QUICKLOGIC QL82SD ([www.quicklogic.com](http://www.quicklogic.com)) eingesetzt, je eines für jeden Port des ADC.

Eingangsschaltung:

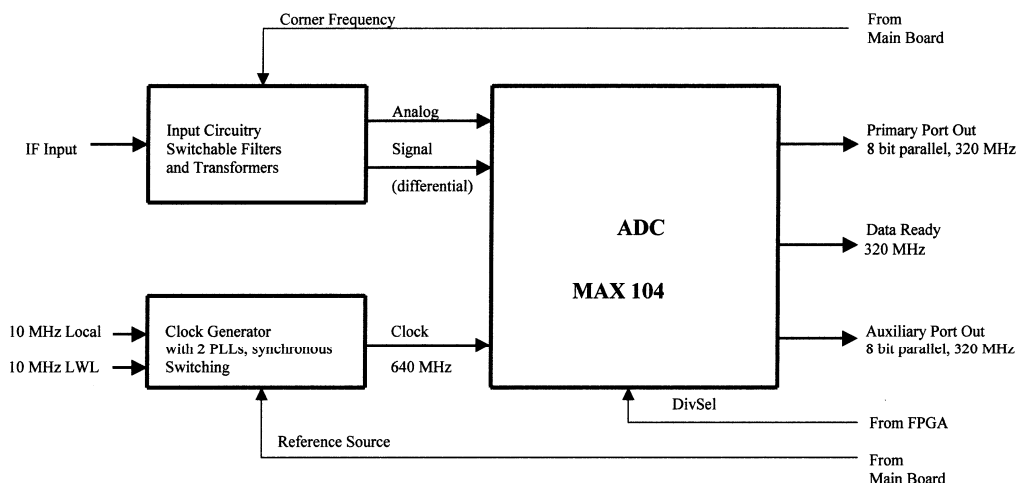


Fig. 1: Input Circuitry and ADC Block Diagram

Dank der hohen Eingangsempfindlichkeit und Analogbandbreite des MAX 104 kann auf Vorverstärker verzichtet und direkt das Tunerausgangssignal in Zwischenfrequenzlage digitalisiert werden. Die Eingangsschaltung besteht aus umschaltbaren Filtern und einem HF-Transformator, der das Eingangssignal in ein Differenzsignal umformt.

Die Taktaufbereitung erfolgt über zwei PLLs, die auf zwei Referenzquellen einrasten und wahlweise umgeschaltet werden können. Besonders vorteilhaft an der Anordnung ist, daß die ADC-Clock nur den ADC speist und keine Verbindung zum Digitalteil hat, wodurch ein Jitter entstehen könnte. Der Takt für die weitere Signalverarbeitung ist das DATA READY-Signal.

Mit DivSel = Hi/Lo kann der ADC auf die halbe Abtastrate umgeschaltet werden. Damit sind bei unveränderter Clock die volle, halbe oder viertel Datenrate möglich: Auswertung beider oder nur eines ADC-Ports, volle oder halbe Abtastrate.

Datenerfassung:

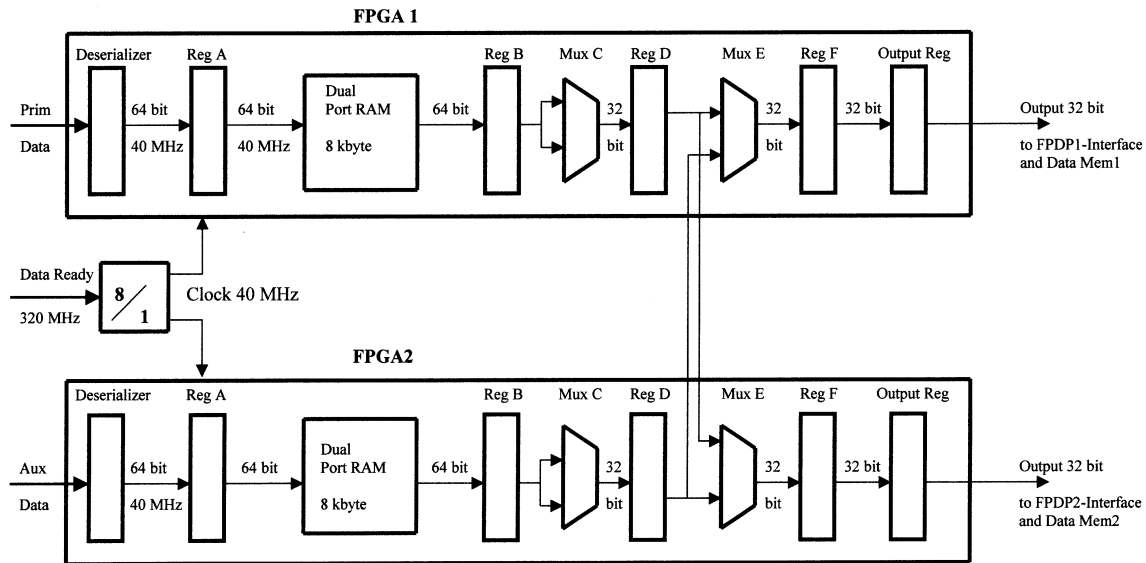


Fig.2: Data Flow

Die 8:1-Deserializer in den FPGAs werden mit der niederfrequenten Clock betrieben, Das DATA READY-Signal muß daher extern 8:1 heruntergeteilt werden. Nicht dargestellt sind zwei Laufzeitelemente in den Taktleitungen, mit denen die zeitliche Relation zwischen Eingangsdaten und Takt für jedes FPGA eingestellt wird. Der Abgleich erfolgt durch Leitungen passender Länge.

In der vorgegebenen Anwendung wird intermittierend mit Meßzeit-zu-Pausen-Verhältnissen 1:1 und 1:3 gemessen, in den Pausen werden die Antennen umgeschaltet und die AGC eingestellt. Mit den Dual Port Rams, die als FIFOs geschaltet sind, wird aus dem intermittierenden Datenstrom ein kontinuierlicher mit entsprechend niedrigerer Rate. An den Multiplexern C wird dann die Datenrate wieder verdoppelt und die Datenbreite halbiert.

Die Multiplexer E erlauben es, beide ADC-Ports auf einen Ausgang oder einen ADC-Port auf beide Ausgänge zu schalten.


#### 4. Zusammenfassung

Es wurde an einem Beispiel gezeigt, wie mit neueren FPGAs, die über konfigurierbare SERDES-Kanäle verfügen, in sehr effizienter Weise die hohe Datenrate eines GHz-ADC's durch Demultiplexing auf Raten reduziert werden kann, die mit üblichen SRAMs und mit Standard-Schnittstellen beherrscht werden.

Die besonderen Vorteile sind:

- Isolierte, nicht vom Digitalteil gestörte Clock für den ADC
- HF-Signale (und das damit verbundene aufwendige PCB-Layout) nur unmittelbar am Eingang und Ausgang des ADC
- Hoher Integrationsgrad der FPGAs, dadurch geringe Baugröße, geringe Leistungsaufnahme
- Durch die hohe Anzahl programmierbarer Logikeinheiten in den FPGAs ist eine Auslegung für beliebige Schnittstellen möglich.





# SEI Herbsttagung 2003: Effizientes Bestimmen von Jitter und dessen Ursachen



## Agenda

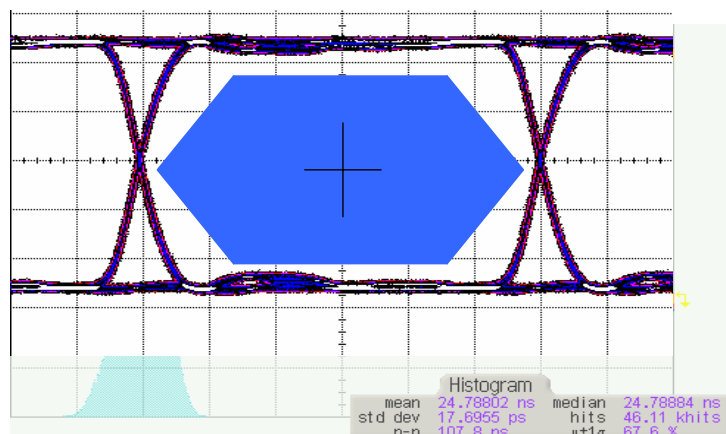
- **Eine kurze Einführung zu Jitter**
  - **Warum Jittermessungen?**
  - **Was ist Jitter?**
- **Tipps für effizientes Bestimmen von Jitter**
  - **Flexible Lösung für Jittermessungen**
  - **Jitter und dessen Ursachen bestimmen**

# Warum Jittermessungen?

- **Signalintegrität setzt sich aus Jitter, Amplitudenrauschen und dem Verhältnis zu BER zusammen**
- **Je höher die Frequenz, desto bedeutender wird Jitter**
- **Bei hohen Datenraten gibt es eine Beziehung zwischen Jitter und der Leistung des Gesamtsystems sowie der BER.**

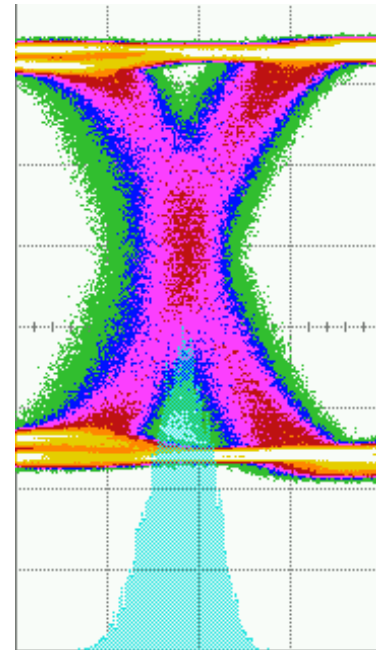
# Was ist Jitter?

- **Die Abweichung eines Signals vom idealen Zeitpunkt**
- **Total Jitter setzt sich aus deterministischen und zufälligen Komponenten zusammen**
  - **Einzelne, isolierte Jitterkomponenten können schnell identifiziert werden und zeigen die Jitterursachen auf**



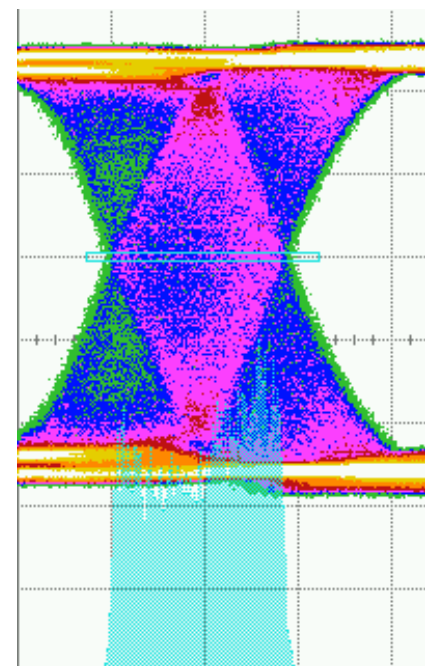
# Random Jitter

- **Random Jitter (RJ)** wird durch eine gaußsche Verteilung charakterisiert
- RJ kann durch Schrotrauschen, thermisches Rauschen und Flickerrauschen verursacht werden



# Deterministic Jitter

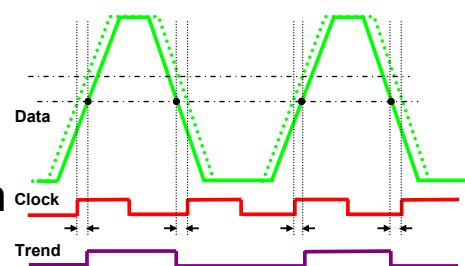
- **Deterministic Jitter (DJ)** besitzt eine nicht-gaußsche Verteilung und wird durch den maximalen Jitter charakterisiert
- DJ beinhaltet **Periodic Jitter (PJ)**, **Duty Cycle Distortion (DCD)** und **Inter Symbol Interference (ISI)**
- DJ kann durch **EMI**, **Crosstalk** und **Reflexionen**, **Geräte-** oder **Leitungseigenschaften** verursacht werden.



- **Verschiedene Lösungen für Jittermessungen erhältlich**
  - **Schwerpunkt auf eine flexible Lösung, welche schnelle Ergebnisse bei Jittermessungen ermöglicht:**
    - **Pulsgenerator und Oszilloskop mit speziellen Merkmalen für Jittermessungen**
    - **Ermöglicht auch das DUT mit bekannten Jitter unter Stress zu setzen!**
  - **Andere Lösungen können für andere Anwendungen besser geeignet sein**

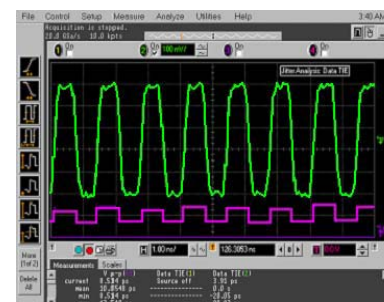
## DCD (Duty Cycle Distortion)

- **Ursachen für DCD:**
  - **Verschobener Schwellenwert**
  - **Asymmetrische rise / fall Zeiten**



Duty Cycle Distortion (DCD)

- **Vorgehensweise:**
  - **Wiederholt "0101" generieren**
  - **Die gemittelte TIE Trend Funktion zeigt den DCD**

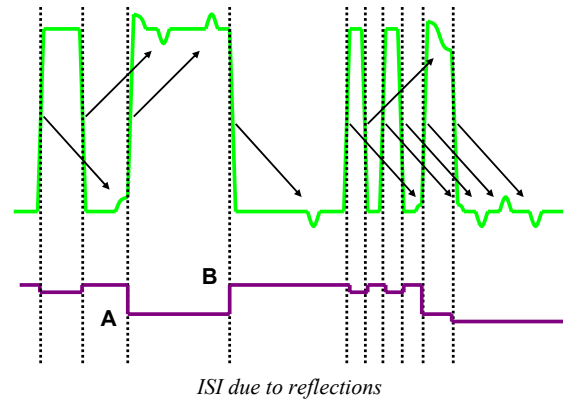
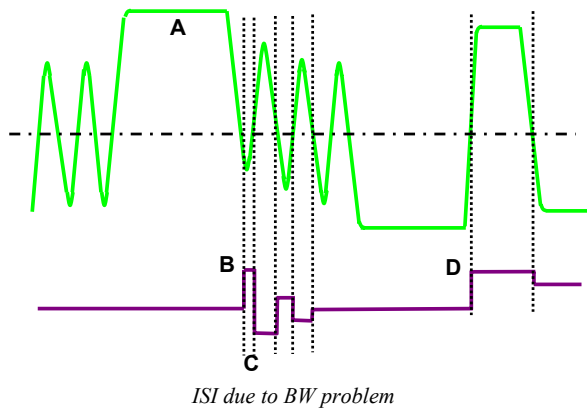


Isolating DCD

# ISI (Inter Symbol Interference)

1

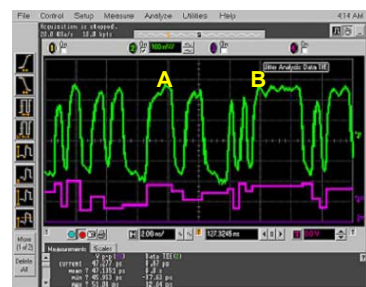
- Ursachen für ISI
  - Zu geringe Bandbreite
  - Signalreflexionen



# ISI (Inter Symbol Interference)

2

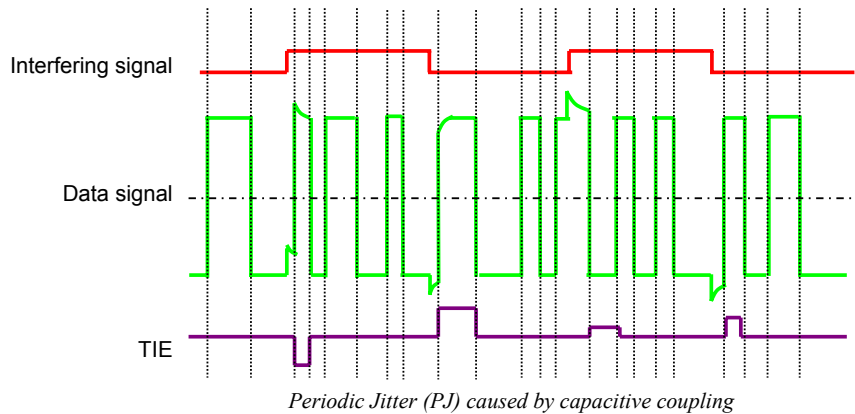
- Vorgehensweise:
  - Wiederholt PRBS bei maximaler Frequenz erzeugen
  - TIE Messung durchführen und mitteln
  - Mehrere Messungen für gleichmäßige TIE Funktion nötig
  - Spitzen nur bei bestimmten Signalfolgen
  - Maximaler Jitter enthält DCD + ISI
- Unterschiede zwischen Bandbreitenproblemen und Reflexionen
  - Bandbreite: Alle steigenden Flanken von ähnlichen Pulsen sehen gleich aus
  - Reflexion: Steigende Flanken können je nach vorhergehenden Pulsen unterschiedlich aussehen



# PJ (Periodic Jitter)

## • Ursachen für PJ

- Cross-coupling
- EMI
- Correlated oder uncorrelated PJ hängt von Quelle ab



# Uncorrelated PJ

## • Spectrum view

- Uncorrelated PJ zeigt spezielle Frequenzen
- Auffällige Frequenzen suchen
  - Die Frequenz deutet auf die Quelle hin

## • Auf das Rauschen der vermutlichen Quelle triggern

## • Trigger Trend Funktion glätten

- Bei der Jitterquelle ist diese synchron zum Trigger



*Isolating uncorrelated PJ with a jitter spectrum measurement*



*Verifying that switching power supply coupling causes periodic jitter*

# Correlated PJ

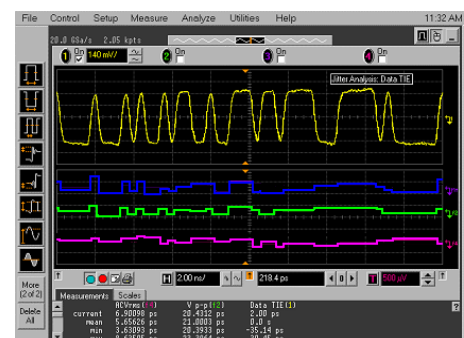
- Die am schwierigsten zu messende Jitterkomponente!
- Nur eine Datenleitung aktiv
- Spectrum view
  - Mehrere Frequenzen deuten auf ISI, DCD und uncorrelated PJ hin
  - Für spätere Referenz speichern
- Alle Datenleitungen aktiv
- Spectrum view
- Mit gespeicherten Daten vergleichen
  - Deutliche Unterschiede deuten auf correlated PJ hin



Detecting correlated Periodic Jitter (PJ).

# RJ (Random Jitter)

- Ursachen für RJ
  - Vorwiegend thermische Effekte
- Quellenbestimmung sehr schwer
- Vorgehensweise
  - Den schon bestimmten DJ von TJ subtrahieren



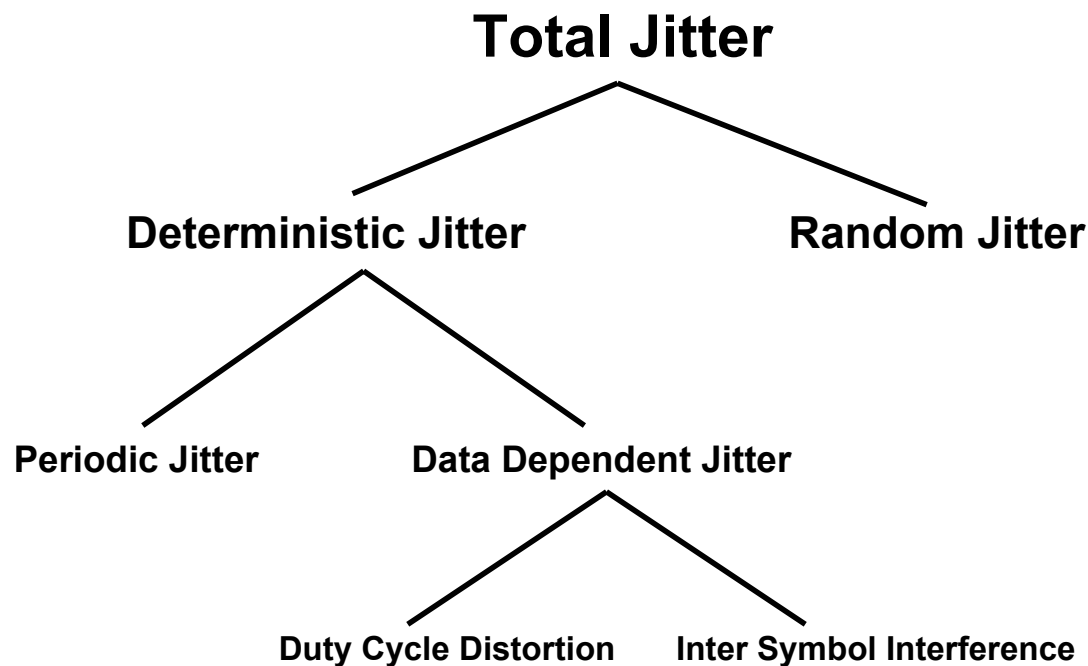
Measure system Random Jitter (RJ).

## Weitere Informationen:

- **Agilent Application Central: Measuring Jitter**
  - Application notes
  - Tipps zu Jitter
  - [http://www.agilent.com/find/jitter\\_info](http://www.agilent.com/find/jitter_info)
  
- **Agilent Pulse / Pattern Generators**
  - [http://www.agilent.com/find/pulse\\_generator](http://www.agilent.com/find/pulse_generator)



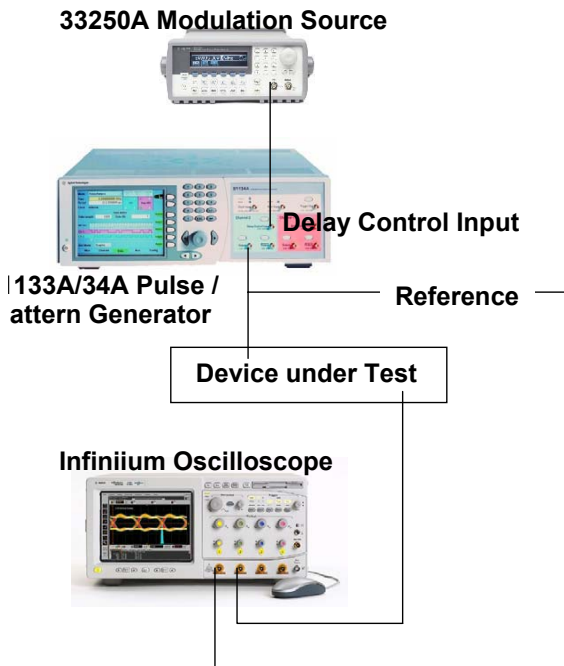




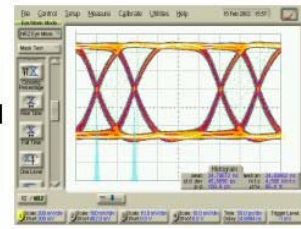
## Vorgehensweise bei Jittermessungen

- Einzelne, isolierte Jitterkomponenten können schnell identifiziert werden und zeigen die Jitterursachen auf
- Total Jitter setzt sich aus mehreren Komponenten zusammen
  - Um den TJ zu verringern müssen die einzelnen Komponenten bekannt sein, um die Jitterursachen identifizieren zu können
  - Es ist schwer TJ als eine Kombination verschiedener Jitter zu betrachten

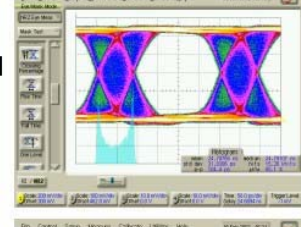
# A flexible Solution



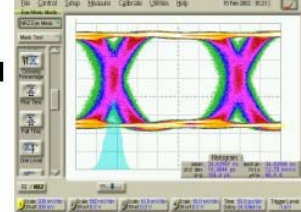
Jitter modulated with Rectangle-Wave



Jitter modulated with Sine-Wave



Jitter modulated with Noise-Generator



# Ansteuerungselektronik für die Tiefenhirnstimulation

Normen Hermes, FZ-Jülich, ZEL

Bei der Tiefenhirnstimulation handelt sich um eine elektrische Stimulation über im Gehirn implantierte Elektroden. Sie wird beispielsweise bei Parkinson Patienten eingesetzt. Diese Patienten haben einen Tremor (zittern des Extremitäten). Durch diese Stimulation erreicht man ein Ausschalten der synchron feuernenden Neuronenpopulationen. Die Tiefenhirnstimulation wird bereits seit 12 Jahren eingesetzt. Es handelt sich hierbei um eine dauerhafte Stimulation, die allerdings zu jeder Zeit, auch nach der Implantation, Ein- und Ausgeschaltet werden kann.

Um diese Stimulation mit Erfolg durchführen zu können ist es von größter Wichtigkeit die Elektrode(n) am richtigen Ort im Gehirn zu implantieren. Aus diesem Grund werden anatomische MR-Aufnahmen vom Patienten gemacht. Anhand der Aufnahmen wird der Zielort bestimmt, jedoch nicht genau genug um die Elektrode zu platzieren. Über einen Stereotaktischenrahmen, der fest am Kopf des Patienten befestigt wird, werden die zuvor aus den Bildern ermittelten Koordinaten eingestellt und die Elektrode platziert. Um nun den genauen Ort zu ermitteln wird der Tremor des Patienten während der OP bei Stimulation, durch einen Neurologen beobachtet. Dafür muss der Patient wach sein. Allerdings tritt schon bei der Implantation der Elektrode ein Setzeffekt auf. Der Setzeffekt beschreibt die temporäre Unterdrückung des Tremors durch mechanische Reizung der Zellen. Dieser Setzeffekt kann einige Tage andauern.

Um nun die Platzierung der Elektrode(n) besser bewerten zu können, werden im ZEL, im Auftrag des Instituts für Medizin, Hard- und Software Komponenten entwickelt. Wichtige Messgrößen sind die lokalen Feldpotentiale (LFP's) deren Amplitude sich im  $\mu\text{V}$  Bereich bewegt, EMG Signale und die über Beschleunigungssensoren ermittelte Tremorfrequenz. Um die Platzierung der Elektrode bewerten zu können wird zuerst die Spontanaktivität analysiert. Anschließend wird über die Elektrode das Gehirn mit einer Frequenz stimuliert, die sich im Bereich der Tremorfrequenz befindet. Wird durch diese Stimulation der Tremor verstärkt, befindet sich die Elektrode an dem Ort im Gehirn an dem auch das Zittern erzeugt wird. Online wird die Phasensynchronisation der Stimulation zum Tremor des Patienten berechnet. Ist die Phasendifferenz konstant, befinden sich die Elektrode im Zielpunkt.

Es werden zwei verschiedene Elektroden Typen eingesetzt. Die Elektroden der Firma Inomed werden ausschließlich für diagnostische Zwecke eingesetzt, die Elektroden der Firma Medtronic werden sowohl für die Diagnostik als auch für die Therapie eingesetzt. Die Inomed Elektroden bestehen aus Zwei Teilen, dem Mikro- und dem Makrobereich. Der Mikrobereich dient zur Ableitung und Stimulation einzelner Zellen, mit dem Makrobereich erreicht man einige 1000 Zellen.

Die Elektroden der Firma Medtronic besitzen 4 Kontakte. Mit dieser Elektrodenart ist es möglich mit nur einer Elektrode zwischen den verschiedenen Kontakten zu messen bzw. zu stimulieren.

Es besteht die Möglichkeit die Stimulationssignale frei zu definieren. In der Regel wird mit negativen Rechtecksignalen stimuliert, die eine Amplitude zwischen 0 und 8 Volt haben. Diese Rechtecksignale werden in einem Burst mit einer Frequenz von ca. 120 Hz gesendet. Dieser Burst hat eine Wiederholrate von ca. 2-8 Hz. Es ist möglich, zwischen den verschiedenen Kontakten der Elektrode zu stimulieren.

Bei der Stimulation ist es notwendig gewisse Grenzen einzuhalten um das Gehirn des Patienten nicht zu schädigen. Das Gehirn hat zwischen den Kontakten einer Medtronic Elektrode einen durchschnittlichen Widerstand von ca. 1kOhm. Die Impulsdauer und Amplitude muss nun so gewählt werden, dass die Grenzen nicht überschritten werden.

Um gewährleisten zu können, dass selbst bei einem Softwarefehler das Gehirn nicht dauerhaft stimuliert wird, befindet sich in der Ansterelektronik ein Hochpass. Dieser Hochpass dient als passive Sicherheit für den Patienten. Nur kurze Impulse werden durchgelassen. Der Hochpass wurde vorher mit dem Programm PSpice® simuliert. Dadurch, dass sich vor dem Hochpass eine Gegentaktendstufe befindet, erscheint nach dem eigentlichen negativen Signal ein positives Signal. So werden die der einen Seite zugeführten Elektronen wieder abgezogen. Dadurch wird das Gehirn nicht elektrisch aufgeladen.

Die Platine gliedert sich grob in zwei Hälften. Die eine Seite ist mit dem PC verbunden, die andere Seite ist mehr oder weniger direkt mit dem Gehirn des Patienten verbunden.

Die Spannungsversorgung für die Seite, die direkt mit dem Patienten in Kontakt kommt wird durch Batterien erzeugt. Die Spannungsversorgung die für die PC-Seite notwendig ist wird durch einen DC-DC Wandler erzeugt. Somit sind beide Seiten von der Spannungsversorgung galvanisch getrennt. Für die PC-Seite muss die Spannung erzeugt werden, da die Isolationsverstärker auf der Eingangsseite eine sowohl negative als auch positive Spannung benötigen wie auch auf der Ausgangsseite. Die Isolationsverstärker trennen die Stimulationssignale galvanisch. Es werden ISO122 Isolationsverstärker eingesetzt, die eine Durchschlagspannung von 1,5 kV haben und eine Bandbreite von ca. 50 kHz, die für diese Anwendungen vollkommen ausreicht.

Durch die Elektrodenkontakt Matrix besteht die Möglichkeit die Stimulationsausgänge beliebig mit einem Kontakt der Elektrode über Kabel zu verbinden. Genauso wird auch die Masse, zu der stimuliert werden soll mit einem oder sogar mehreren Kontakten der Elektrode verbunden.

Beim Messen der LFP's gelangen die Signale nicht direkt zur Elektronik sondern werden vorher durch einen Bioverstärker verstärkt und galvanisch getrennt. Dieser Bioverstärker ist ein Differenzverstärker. Die Spannungen, die zum Bioverstärker gelangen bewegen sich im  $\mu\text{V}$  Bereich. Die Stimulation findet hingegen im Volt Bereich statt. So ist es nicht möglich gleichzeitig zu messen und zu stimulieren, sonst wird der Bioverstärker übersteuert und benötigt anschließend ca. 5 Sekunden um wieder betriebsbereit zu sein. Für die Analyse wäre aber die direkte Impulsantwort auf die Stimulation von Interesse. Aus diesem Grund wurde versucht den Bioverstärker kurz vor der Stimulation von der Elektrode zu trennen und anschließend wieder dazu zu schalten. Dennoch ging der Bioverstärker in die Sättigung. Es wurden 3 verschiedene Lösungsversuche unternommen. Unmittelbar nach dem Trennen des Bioverstärkers die Eingänge offen zu lassen, was

fehlgeschlagen ist, die Eingänge auf Masse zu legen was auch fehlgeschlagen ist und die beiden Eingänge, die im Differenzbetrieb benutzt werden, aufeinander zu schalten. Leider sind alle drei Versuche fehlgeschlagen.

Mit den Erfahrungen die, die aus der ersten Platine gesammelt wurden, wurde eine zweite Platine entwickelt. Da sich die erste Platine im klinischen Einsatz bewährt hat ist nicht viel geändert worden.

Die Elektrodenkontaktmatrix ist durch Relais ausgetauscht worden. Die Relais werden über digitale Signale angesteuert. Über diese Relais ist es möglich jeden Kontakt der Elektrode nach belieben auf Masse zu legen. Die Stimulationsausgänge sind nun fest verbunden mit den einzelnen Kontakten der Elektrode. Stimulationsausgang und Kontakt sind zwar nun festgelegt, aber in der Praxis hindert es nicht.

Hinzugekommen ist eine Impedanzmessung. Sie wird auch über zwei Relais realisiert. Dazu wird eine bestimmte Anzahl an Impulsen auf das Gehirn gegeben. Über das Gehirn und die Kontakte der Elektrode lädt sich nun ein Kondensator auf. Die Spannung, die am Kondensator gemessen wird, ist ein Maß für die Impedanz. Das zweite Relais in dieser Anordnung dient zum anschließenden Entladen des Kondensators.

Als letzte Änderung wäre die verbesserte Spannungsversorgung zu erwähnen. Wo vorher einen linearen Spannungsregler eingesetzt wurde, wird jetzt einen getakteten Spannungsregler eingesetzt. Dieser hat einen wesentlich höheren Wirkungsgrad. Somit ist auch die Verlustleistung wesentlich geringer. Da die Geräte aus Sicherheitsgründen und Flexibilität mit Batterien betrieben werden ist damit auch eine längere Messzeit möglich. Die Batterien müssen nicht nach bzw. vor jeder OP neu geladen werden. Denn die OP's können unter Umständen 6 Stunden dauern.

Als Vorteile ergeben sich durch die neue Platine:

Durch den Austausch der Elektrodenkontakt Matrix durch Relais ist man während der OP viel flexibler. Wo die Mediziner sich früher vor der OP Gedanken machen mussten wie in der OP stimuliert wird kann nun ganz spontan entschieden werden zwischen welchen Kontakten stimuliert werden soll. Außerdem ist durch die digitale Ansteuerung der Relais die Dokumentation der Stimulation viel einfacher geworden. Es kann direkt erfasst und abgespeichert werden zwischen welchen Kontakten stimuliert wurde. Durch die Relais hat sich auch eine bessere Störsicherheit ergeben. Alle Kabel, die gesteckt werden mussten können Kontaktprobleme verursachen. Auch das ist durch den Einsatz der Relais verbessert worden. Was auch ein großer Vorteil ist, ist die geringere Stromaufnahme, die den Einsatz der Stimulationsgerätes erleichtert.

Zusammenfassend kann man sagen, dass ein System entwickelt worden ist, welches es ermöglicht eine Beurteilung über die Platzierung der Elektrode zu geben. Bisher war es nicht möglich mit einem System zu Messen und zu Stimulieren. Durch die Weiterentwicklung der ersten Platine ist jetzt eine Platine welche den aktuellen Anforderungen genügt entstanden. Es handelt sich hierbei zwar noch um Prototypen aber es wird mit medizinischen Firmen zusammen gearbeitet, die sich später um die Serienreife und die medizinischen Zulassungen kümmern werden.

Ein Ziel wäre die Verbesserung der Signalqualität. Im klinischen Einsatz kommt es häufig zu vielen Störsignalen. Die Verbindung der Elektrode mit der Stimulationseinheit geschieht durch ein relativ langes Kabel. Genauso lang sind die Verbindungswege zwischen den Beschleunigungssensoren und der Anlage. Beide

Signale haben eine sehr geringe Amplitude und der Signal zu Rauschabstand ist ziemlich klein. Ein weiteres Ziel wäre das Problem mit dem Bioverstärker zu lösen, so dass es möglich ist die Zeitnahe Stimulationsantwort messen zu können.

Das wichtigste Ziel ist jedoch die klinische Evaluierung und Etablierung der intraoperativen Zielpunktdiagnostik.

Information:

Normen Hermes  
FZ-Jülich, ZEL  
52425 Jülich

Email: [N.Hermes@fz-juelich.de](mailto:N.Hermes@fz-juelich.de)



# Technik und Zukunft des **CompactPCI** und **VMEbus**

Dipl.-Ing. Stephan Hering

Dipl.-Ing. Raimund Storck

**powerBridge**  
Computer

## powerBridge Computer

Gegründet 1993, Sitz in Burgwedel/Hannover

Vermarktung von Computerprodukten und Systemintegration für Applikationen in  
Industrieautomation, Luft- und Raumfahrttechnik, Telekommunikation und  
Verkehrsleittechnik

Produkte: Boards, Systeme, Systemintegration, OEM-Lösungen,  
Treiber, Protokolle, Betriebssysteme

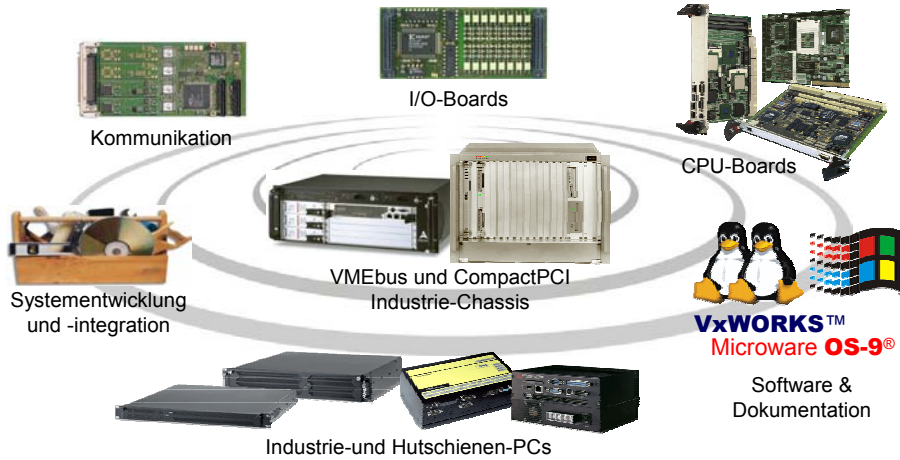
Standards: VMEbus, cPCI, cTCA, ATCA, PMC, IndustryPack, EBC, PCI



Technik und Zukunft  
des cPCI und VMEbus

**powerBridge**  
Computer

## Boards & Systeme für die Industrieautomation



Technik und Zukunft  
des cPCI und VMEbus

**powerBridge**  
Computer



## Industriestandards für Embedded Computer

Technik und Zukunft  
des cPCI und VMEbus

**powerBridge**  
Computer



## Industrie-Busstandards für Computersysteme

### PCI-Bus (Peripheral Component Interconnect Bus)

- Normung: Durch PICMG (PCI Industrial Manufacturers Group)
- Busarchitektur: Parallel 1 bis 8 Slots, 32-bit/64-bit, 33/66 MHz
- Standards: PCI, cPCI, PICMG 2.16 / CompactTCA, PXI Meßgeräte-Bus
- Mezzanien: PMC, PrPMC, PTMC, PC104+, MiniPCI
- Brutto Datenrate: 132 .. 528 MB/s



### VME-Bus (VERSAmodule Eurocard Bus)

- Normung: VITA (VMEbus International Trade Association)
- Busarchitektur: Parallel, 1 bis 21 Slots, 8/16/32/64-bit
- Standards: VMEbus, VME64
- Brutto Datenrate: 10 .. 80 MB/s



### AdvancedTCA (Advanced Telecommunication Computing Architecture)

- Normung: Durch PICMG
- Busarchitektur: Serielle Kommunikation über Ethernet, Infiniband, ATM, FC, .. 1 bis 24 Slots
- Brutto Datenrate: bis 40 Gbit/s pro Steckplatz



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer



## Aufbau aktueller Compact PCI Boards

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

# cPCI-6860 PICMG 2.16 Xeon CPU Board



## Key Features

- 6HE/8TE PICMG 2.16 CompactPCI Board
- Dual 2.0 GHz LV Xeon oder Single 2.4 GHz Xeon
- Bis 4 GB reg. DDR-RAM mit ECC
- 64-bit/66 MHz CompactPCI Bus
- 4-fach 10/100/1000Mbps Gigabit Ethernet
- 10/100Mbps Fast Ethernet Port für Management
- ATI RageXL 2D/3D VGA/LCD Grafikkontroller
- Ultra-160 SCSI-Interface, Dual-IDE, cFlash Socket
- Intel PXE Support für Remote-Boot
- Serial Console Support
- IPMI PICMG 2.9 System Management



Dual Xeon  
Hyper-Threading



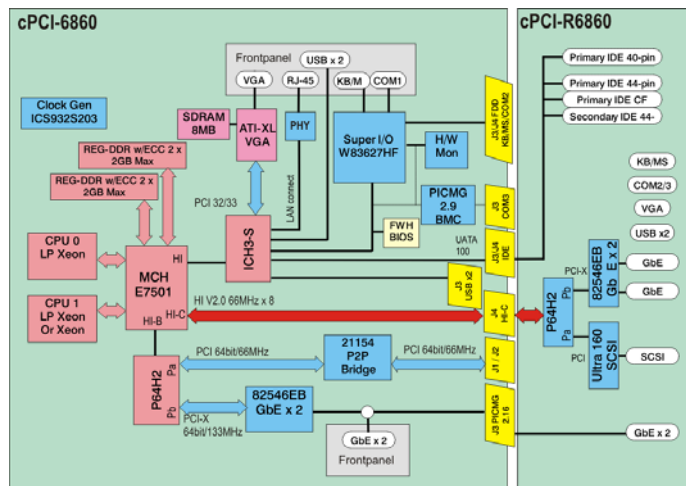
## Software Support

- Symmetrisches Multiprozessing mit Hyper-Threading
- Linux (Suse, Knoppix, RedHat, ...),
- WindowsNT/2000/XP

Technik und Zukunft  
des cPCI und VMEbus



# cPCI-6860 Blockschaltbild



Technik und Zukunft  
des cPCI und VMEbus



# MCIP805 2.16 PowerPC CPU Board



## Key Features

- 6HE/4TE PICMG 2.16 CompactPCI Board
- 500 MHz MPC7410 CPU
- 32K/32K L1-Cache, 2 MB L2-Cache
- 256 MB .. 2.5 GB ECC SDRAM
- Zwei Gigabit Ethernet Ports
- Vier RS232 Ports
- EIDE, CompactFlash™ Socket über Trans.-Modul
- Zwei PMC-Steckplätze
- PPCbug Debugger On-Board
- Remote-Boot Support
- IPMI PICMG 2.9 System Management



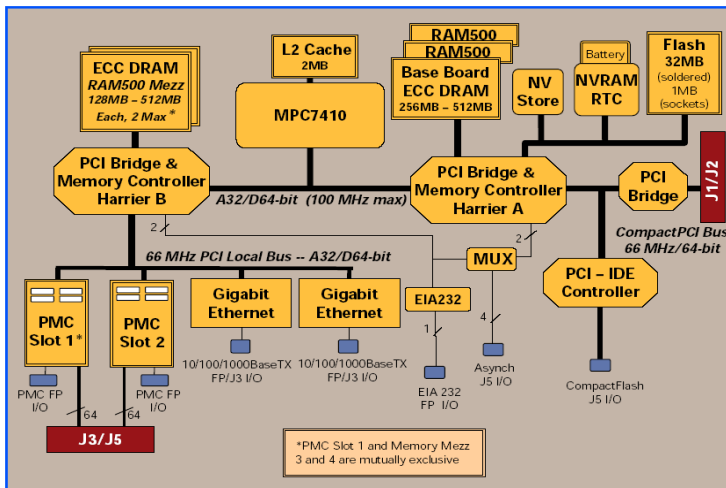
## Software Support

- Linux, Motorola HA-Linux
- VxWorks

Technik und Zukunft  
des cPCI und VMEbus



# MCIP805 Blockschahtbild



Technik und Zukunft  
des cPCI und VMEbus





## Aufbau aktueller VMEbus Boards

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

### TVME8240/8300 VMEbus IP-Träger CPUs

TEWS  
TECHNOLOGIES

#### Key Features

- 6HE/4TE VMEbus I/O-Controller
- 250 MHz MPC8240 / 266 MHz MPC8245 Prozessor
- 16 KB/16 KB L1-Cache (PowerPC 603e)
- 32/64 MB 64-bit SDRAM
- vier 8/32 MHz IndustryPack-Steckplätze mit Frontpanel-I/O (TVME8240) oder Rear-I/O (TVME8300)
- EIA-232/422, Fast Ethernet, UW-SCSI
- 8 KB NVRAM und Uhr
- Vier 32-bit Timer, ein 16-bit Timer und ein Watchdog Timer
- Motorola MVME162-kompatibles I/O
- MVME162/IOP162 Transition Module verwendbar
- Motorola PMC-Span kompatibler PCI-Erweiterungsstecker

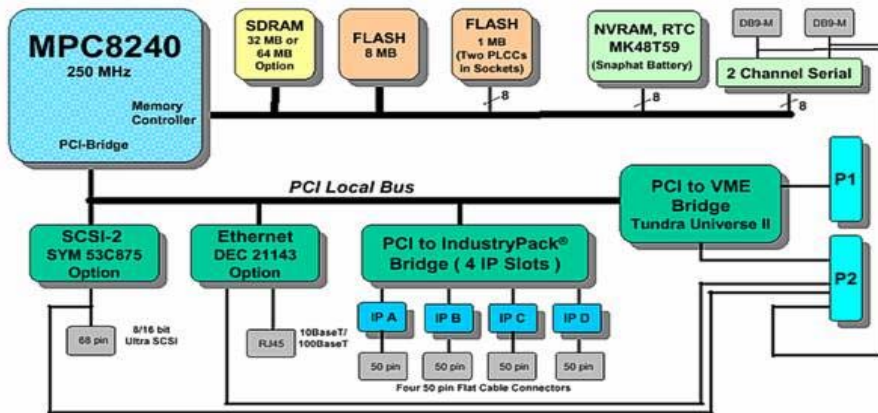
#### Software Support

- Linux
- Microware OS-9
- VxWorks ...



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer



Technik und Zukunft  
des cPCI und VMEbus

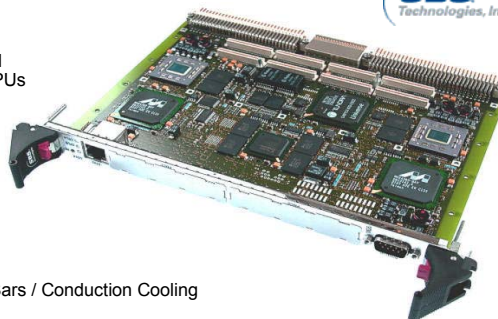
powerBridge  
Computer

## VG5 Dual PowerPC VMEbus CPU



### Key Features

- 6HE/4TE High-End VMEbus Dual CPU-Board mit 800..1300MHz MPC7455/57 PowerPC CPUs
- Je CPU bis 1GB SDRAM, 128MB Flash
- Asymmetrisches Multiprozessing = zwei Betriebssysteme auf einem Board
- 2 PMC-Steckplätze
- PCI over P0 (optional)
- Gigabit und Fast Ethernet
- Serial-ATA
- 4 High-speed UARTs (bis 10 Mbit/s)
- optional Ausführung mit -40..+80°C, Stiffner Bars / Conduction Cooling



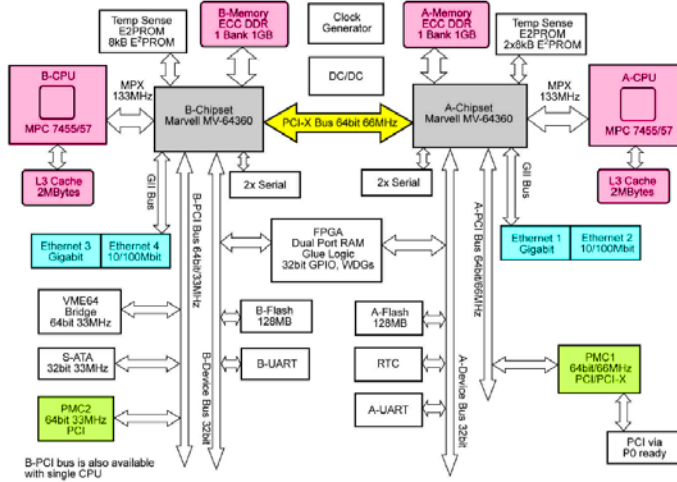
### Software Support

- Linux
- VxWorks

Technik und Zukunft  
des cPCI und VMEbus

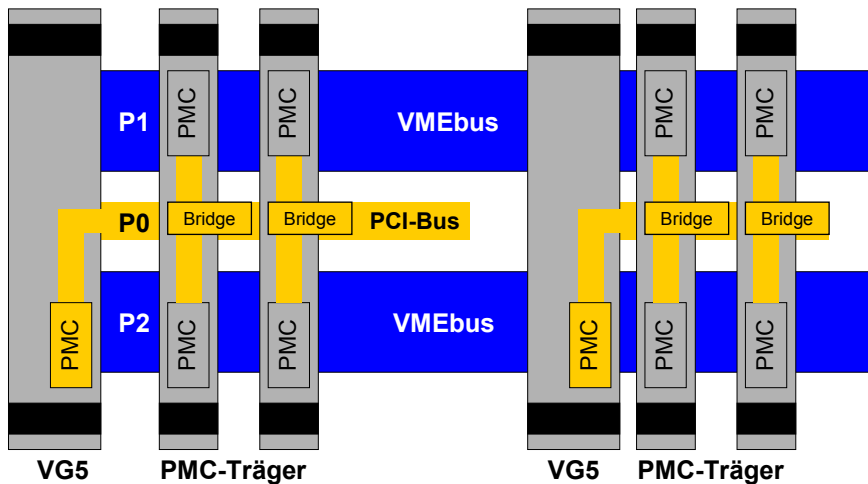
powerBridge  
Computer

# VG5 Blockschaltbild



Technik und Zukunft  
des cPCI und VMEbus

# PCI over P0 Prinzip



Technik und Zukunft  
des cPCI und VMEbus

# MVME5500 High-Performance VMEbus CPU



## Key Features

- 6HE/4TE High-Performance CPU-Board
- 800..1200 MHz MPC7455/57 PowerPC Prozessor
- 32K/32K L1-Cache, 256K/256K L2-Cache, 2 MB L3-Cache
- Bis 1 GB ECC SDRAM
- Zwei serielle Ports
- Gigabit Ethernet und Fast Ethernet Port
- Zwei 64-bit/66 MHz PMC-Steckplätze



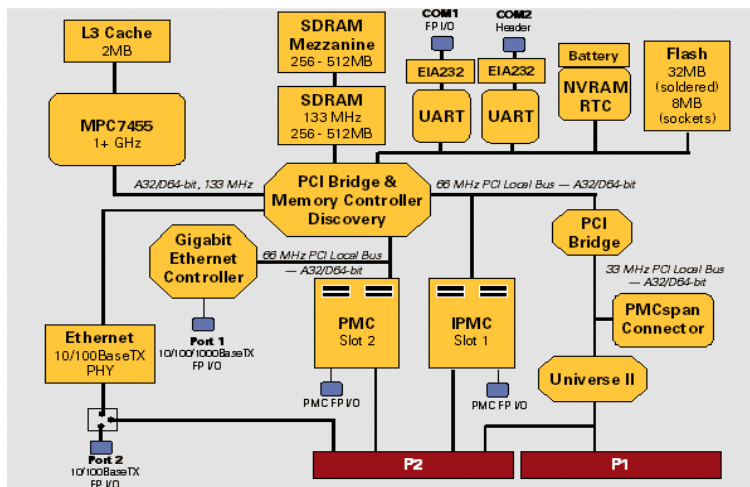
## Software Support

- Linux
- VxWorks
- OS-9

Technik und Zukunft  
des cPCI und VMEbus



# MVME5500 Blockschahtbild



Technik und Zukunft  
des cPCI und VMEbus





## PCI-Express die Weiterentwicklung des PCI-Bus

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

### PCI-X PCI-Express Standard



Spezifikation durch PCI Special Interest Group

PCI-X ermöglicht 33 bis 133 MHz Bustakt bei 64-bit Busbreite

Zukünftig auch 266, 533, ... MHz Bustakt möglich

PCI-X 133 entspricht 1 GB/s Brutto-Übertragungsrate

PCI-X wird bei neuen Embedded-Boards Designs als On-Board Bus verwendet

PMCX-Steckplätze (PMC-Modul + PCI-X) bringen hohe I/O-Performance

Neue Bausteine für GbE, Infiniband, 2D/3D-Grafik, U320-SCSI, .. nutzen PCI-X

Neben Bridging ist bei PCI-X auch Switching möglich

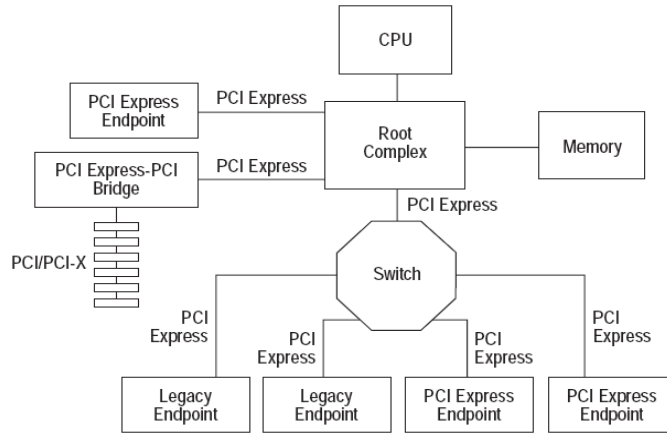
Nachteil: Eine „alte“ PCI-Karte bremst das zugehörige Bussegment und alle dahinterliegenden Boards aus

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer



# PCI-X Topologie-Beispiel

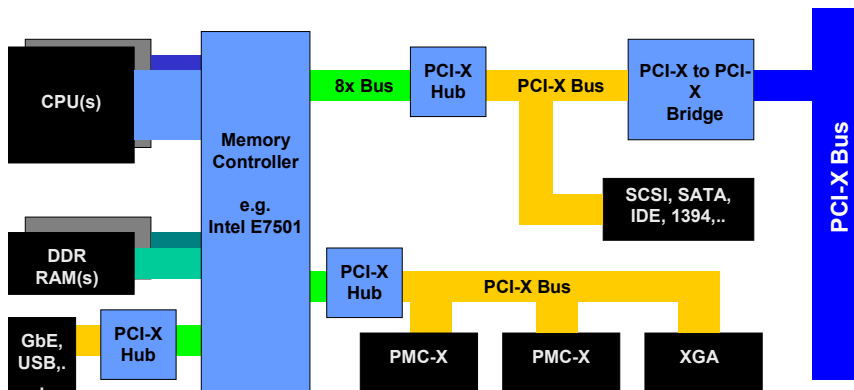


Quelle: PCI-Express Base Specification Rev 1.0a vom 15.04.2003

Technik und Zukunft  
des cPCI und VMEbus



# Typischer Aufbau eines (c)PCI-X Boards



Technik und Zukunft  
des cPCI und VMEbus



# VXS + 2eSST die Zukunft des VMEbus

Technik und Zukunft des cPCI und VMEbus

## 2eSST und VXS



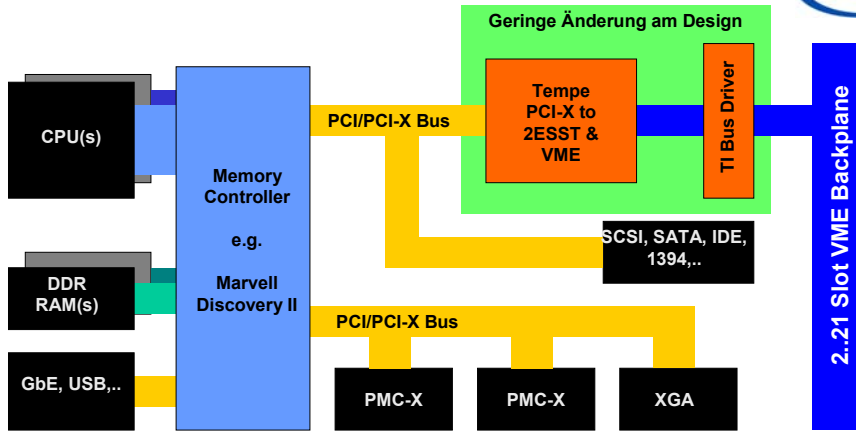
### VMEbus 2eSST (Two edge Source Synchronous Transfer)

- Bis zu 320 MB/s über bestehende Busplatinen
- Mit angepassten Busplatinen werden höhere Datenraten möglich sein
- 2eSST ist kompatibel zu existierenden VMEbus CPU und I/O-Boards
- 2eSST ist multimasterfähig und erlaubt weiterhin 21 VMEbus Steckplätze (ohne Bridges)
- 2eSST Technologie und Chipsätze sind für alle Hersteller frei verfügbar

### VXS VMEbus Switched Serial (VITA 41)

- Serielle Kopplung aller Boards im Chassis über ein Mesh-Fabric
- Zur Zeit Infiniband Übertragungsverfahren angedacht, andere möglich
- Neue Backplane mit dediziertem Steckplätzen für Switch-Karten erforderlich
- Die VMEbus Steckplätze unterstützen existierende VMEbus Karten mit P1/P2 Anschluss
- Die serielle High-Speed Kommunikation erfolgt über den (modifizierten) P0-Stecker
- Es können ein/zwei Switch-Steckplätze vorgesehen werden (opt. Redundanz)

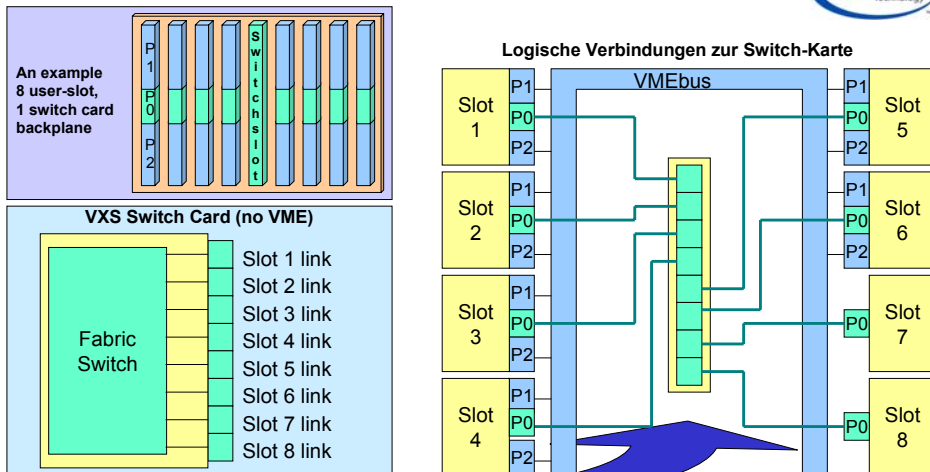
# Typischer Aufbau eines 2eSST VMEbus Boards



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

# VXS Switch-Backplane Beispiel



Technik und Zukunft  
des cPCI und VMEbus

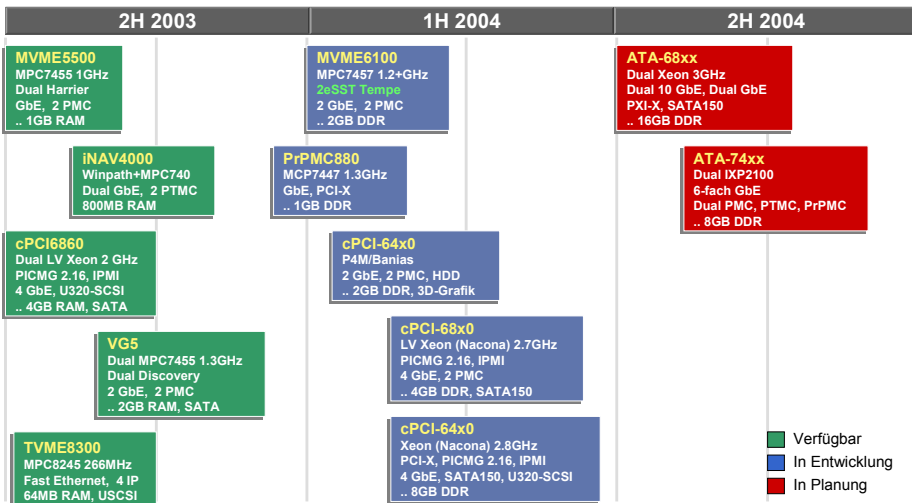
powerBridge  
Computer

# Kommende Produkte

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## cPCI & VMEbus Roadmap



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

# Anhang

## Quellen und Links

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## Quellen und Links

[www.powerbridge.de](http://www.powerbridge.de)

[www.adlinktechnology.com](http://www.adlinktechnology.com)

[www.interphase.com](http://www.interphase.com)

[e-www.motorola.com](http://e-www.motorola.com)

[www.marvell.com](http://www.marvell.com)

[www.mcq.mot.com](http://www.mcq.mot.com)

[www.pcisig.com](http://www.pcisig.com)

[www.picmg.com](http://www.picmg.com)

[www.schroff.de](http://www.schroff.de)

[www.sbs.com](http://www.sbs.com)

[www.tews.com](http://www.tews.com)

[www.vita.com](http://www.vita.com)

Datenblätter & Manuals zu cPCI und VMEbus Produkten

ADLINK CompactPCI und PCI CPUs, I/O-Boards und Chassis

Interphase Inc., PMC-Module, PCI und cPCI I/O-Boards,  
cPCI Netzwerk Prozessor Boards

Motorola Semiconductors, powerPC CPUs

powerPC Memory Controller Chipsätze

Motorola Embedded Computer Homepage

PCI Special Interest Group, PCI-Bus Weiterentwicklung

PCI Industrial Computer Manufacturers Group, PCI-Bus Standards

VMEbus und cPCI Chassis und Backplanes, Spezifikationen

SBS Technologies VMEbus und cPCI CPUs und I/O-Boards

TEWS Technologies, VMEbus CPUs, PMC und IP-Module,  
VMEbus, cPCI und PCI Trägerkarten und I/O-Boards

VMEbus International Trade Association, VMEbus Standards

Dipl.-Ing. Stephan Hering  
Marketing & Business Development  
[shering@powerbridge.de](mailto:shering@powerbridge.de)

Dipl.-Ing. Raimund Storck  
Vertriebsleiter  
[rstorck@powerbridge.de](mailto:rstorck@powerbridge.de)

powerBridge Computer  
Ehlbeek 15a • 30938 Burgwedel  
Tel: 05139 9980-0 • Fax: 05139 9980-49

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

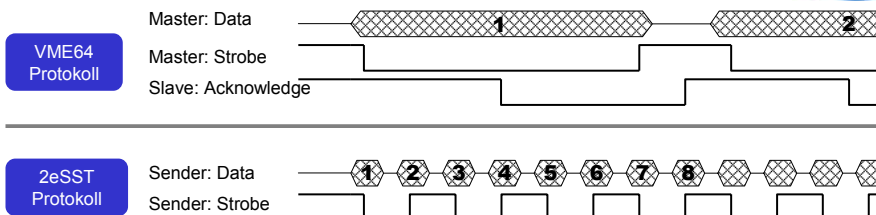
# Anhang

## 2eSST und Tempe ASIC Details

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

### 2eSST Übertragung und Bus-Performance



Feature	PCI	VME64	2eSST VME	VXS
Topologie	Shared Bus	Shared Bus	Shared Bus	Switched Serial
Theoretische Bandbreite	264 MBps	80 MBps	320+ MBps	2,000 MBps
Simultane Transaktionen	1	1	1	Viele
Rel. Transaktions-Bandbreite	1X	0.4X	3.2X	20X
Reale Bandbreite bei 21-Slots	~100 MBps	~40 MBps	320 MBps	36,000 MBps
Relative Gesamt-Bandbreite	1X	0.4X	3.2X	360X

Quelle: VME Renaissance Whitepaper, Motorola Computer Group

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

# Tempe ASIC Spezifikationen und Features



Investitionsschutz für bestehende System Designs

## Spezifikation

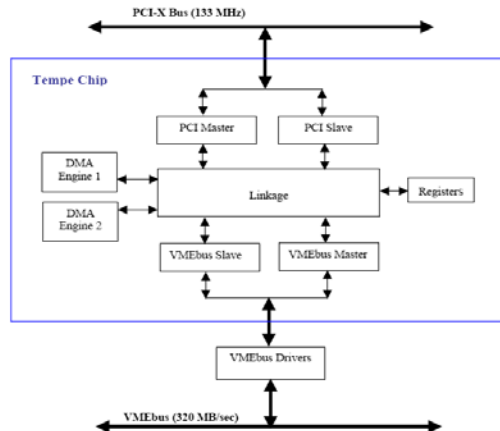
- 33, 66, 100, 133 MHz PCI-X Bus
- SCT, BLT, MBLT, 2eVME, 2eSST VMEbus-Support
- Zwei DMA-Engines
- Datendurchsatz 320+MB/s
- Standard PCI und VMEbus Funktionen

## Kompatibilität

- Tempe ist abwärtskompatibel zu bestehenden VMEbus Boards
- Bis zu 21 VME64-Steckplätze ohne Bridge möglich

## Verfügbarkeit

- Der Tempe ASIC ist für alle Hersteller über einen unabhängigen Distributor verfügbar



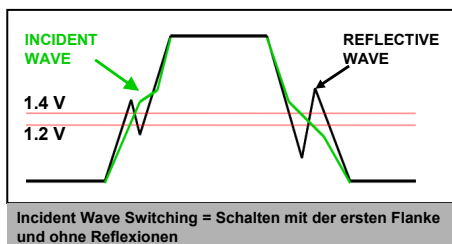
Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

# Texas Instruments SN74VMEH22501 Treiber für Tempe

## Key Features

- Der 2eSST Betrieb auf bestehenden VME64 Busplatinen erfordert neue VMEbus-Transceiver
- Texas Instruments hat mit dem SN74VMEH22501 einen speziell auf den Tempe ASIC abgestimmten Treiberbaustein entwickelt
- Der neue Transceiver ist zu bestehenden VMEbus Bridges abwärtskompatibel und verwendet **Incident Wave Switching** Technik
- „Alte“ Boards bemerken den 2eSST Datentransfer auf dem Bus nicht



Bestehende VME64-Backplanes sind mit 2eSST weiter verwendbar

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer



# Anhang powerBridge Computer Übersicht

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## Chassis

### Standard Chassis

- RackPak VMEbus Chassis mit 5..20 Steckplätzen und Rear-I/O
- CompactPCI Chassis mit 2..21 Steckplätzen und Rear-I/O
- High-Available cPCI Chassis mit 12..16 Steckplätzen und Rear-I/O
- AC/DC Stromversorgungen 150..1500W



### Industrie-PCs

- Robuste Industriegehäuse mit PCI oder PCIX passive Backplanes mit 2..15 Steckplätzen
- AC/DC Stromversorgungen 200..400W, auch redundant

### Kundenspezifische Chassis

- VMEbus Chassis mit 2..21 Steckplätzen
- CompactPCI Chassis mit 2..42 Steckplätzen
- CompactTCA und AdvancedTCA Chassis
- OEM-Chassis mit Single-Board Controllern
- Für erhöhte Anforderungen bei Schock- und Vibrationsfestigkeit, Betriebstemperaturbereich, EMV, Schallemission



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

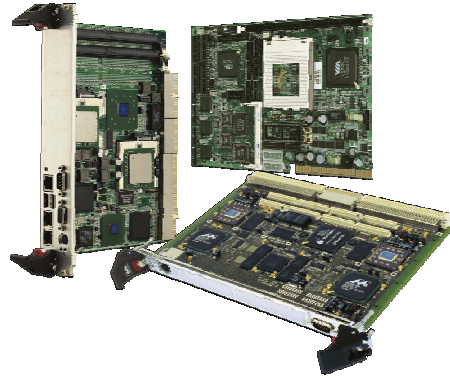


## CPU-Boards

Architekturen: Intel X86, VIA-C3, PowerPC, 68K, MIPS, StrongARM, TMS320, Shark, Winpath, C-5, ...

Standards: CompactPCI, CTCA, VMEbus, PCI-Bus, ProzessorPMC, EBC, ...

Ausführungen: Standard, industrieller oder erweiterter Temperaturbereich, Conformal Coating



Beispiel: **SBS VG5**: High-Performance 6HE VMEbus CPU, Dual 1GHz MPC745x PowerPC mit AltiVec, 2 PMC Slots, Gigabit Ethernet, serial ATA



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## I/O-Boards

Standards: VMEbus, CompactPCI, PCI, PMC- und IndustryPack-Module

Ausführungen: Commercial, Industrial, Ruggedized

I/O-Funktionen: Über 300 verschiedene Module

- Analog-I/O, Digital-I/O, DRAM, EIDE, Flashdisk, Flash-Speicher, IP-Trägerkarten, Grafik & Video, Motorcontroller, PC-Card, PCMCIA, PMC-Trägerkarten, Prozessor PMCs, Quadraturdecoder, RAID, SCSI, RS170, RS343, SERCOS, Signalprozessoren, SDRAM-Speicher, Synchro/Resolver, Test- und Display, Video Frame-Grabber, Zähler

Kundenspezifische I/O-Lösungen: Anpassung/Entwicklung



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## Kommunikations-Boards

Standards: VMEbus, CompactPCI, PCI, PMC- und IndustryPack-Module

Ausführungen: Commercial, Industrial, Ruggedized

Über 200 verschiedene Module:

- ARCNET, ARINC, ATM, CAN Bus, E1/T1, E3/T3, EIDE, Fibre Channel, FireWire, Fast und Gigabit Ethernet Adapter und Switches, GPIB IEEE488, Infiniband, Interbus, LON, MIL-STD-1553, Profibus-DP, Prozessor-PMCs, RAID, SCSI, SERCOS, serielle Ports, Switches

Kundenspezifische I/O-Lösungen: Anpassung/Entwicklung



INTERPHASE

ramix

SBS

TEWS

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## Industrie-PCs

Slot-CPU Karten mit VIA-C3, Pentium III, Pentium 4, Banias, Xeon CPUs ...

Einbaumöglichkeit für Floppy, CD/DVD und Festplatten

AC/DC Stromversorgungen 200..400W (optional redundant)

1HE, 2HE oder 4HE Chassis mit 2..15 Steckplätzen

Passive Backplane mit PCI- oder PCIX-Bus

Optimierte Luftführung



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## DIN-Rail PCs

Low-Power AMD Geode, VIA-C3 oder Pentium-III CPUs

Einbaumöglichkeit für Floppy, CD/DVD und Festplatten

AC/DC Stromversorgungen

PMC/PC104 Steckplätze



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## Software/Dokumentation

Unterstützte Betriebssysteme

- LINUX, embedded LINUX
- OSE
- Microware OS-9
- VxWorks
- Windows NT/2000/XP, Embedded NT/XP



Treiber/Support

- BSPs
- Treiber, Source Code



Dokumentation

- Datenblätter / Handbücher
- Literatur
- Schaltungs- und Wartungsunterlagen

VxWORKS™

Microware OS-9®

Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer

## Systementwicklung und -integration

### Consulting, Planungsunterstützung

- Technische Beratung und Unterstützung
- Konzepterstellung und Budgetangebote

### Entwicklung von kundenspezifischen Boards und Systemen

- Spezifikation/Dokumentation
- Musterbau und Serienfertigung
- EMV-Planung und Test
- Thermische Analyse
- Optimierung von Schock- und Vibrationsfestigkeit
- Gehäuse- und Frontplattengestaltung, Folien, Gravuren, Druck, Labels, ...

### Fertigung und Test

- Systemintegration/Montage
- Softwareinstallation/-konfiguration
- Kabel, Kabelbäume
- Prüfprotokolle/Testberichte
- Funktionstests



Technik und Zukunft  
des cPCI und VMEbus

powerBridge  
Computer



# „Multipixel-Elektronendetektor für das Neutrinoexperiment KATRIN“

S. Wüstling  
Forschungszentrum Karlsruhe  
Institut für Prozessdatenverarbeitung und Elektronik (IPE)  
Postfach 3640, 76021 Karlsruhe  
Tel. 07247 82-2159  
e-mail: wuestl@ipe.fzk.de

**(Bildmaterial: siehe die ebenfalls in diesem Band abgedruckten Vortragsfolien)**

## Zusammenfassung

Das in Bau befindliche Neutrino-Experiment KATRIN (Karlsruher Tritium-Neutrino-Experiment) dient zur Festlegung einer neuen Obergrenze für die Masse des Neutrinos. Das Experiment beruht auf einer sehr genauen Bestimmung der Energie von Elektronen, die beim sog. Tritium-Beta-Zerfall entstehen. Während die Energieauflösung im sog. Hauptspektrometer erzielt wird, dient der eigentliche Elektronendetektor primär dem Zählen einzelner Elektronen im Energiebereich um 18,6keV. Dennoch ist am Detektor eine gewisse Energie- und Ortsauflösung gewünscht. Im IPE wird die Elektronik für einen Multipixel-Elektronendetektor entwickelt, dessen Herzstück ein Si-PIN-Diodenarray ist. Eine Vorversion des Detektors wird 64 Pixel auf einer Fläche von 40 mm x 40 mm aufweisen, der endgültige Detektor wird 400 Pixel auf einer Fläche von 100 mm x 100 mm besitzen. Die Detektorelektronik zeichnet sich aus durch einen hohen Integrationsgrad, eine Lichtwellenleiterübertragung der Signale und durch eine neuartige digitale Signalvorverarbeitung (Shaping/Trigger).

## Überblick Neutrinoexperiment KATRIN

Das Neutrinoexperiment KATRIN ist ein physikalisches Großexperiment und wird von einer internationalen Kollaboration geplant, gebaut und betrieben (**Folie 3**). Ab 2007 soll mit der eigentlichen Messphase begonnen werden, die zur Erzielung der gewünschten Genauigkeit ca. drei Jahre dauern wird (**Folie 4**). Ziel ist es, die Ruhemasse des Neutrinos mit einer Sensitivität von ca. 0,2 eV einzugrenzen. Dazu wird die Energieverteilung der Elektronen, die beim sogenannten Tritium-Beta-Zerfall ( ${}^3\text{H} \rightarrow {}^3\text{He} + e^- + \bar{\nu}_e$ ) freiwerden, mittels eines hochgenauen elektrostatischen Spektrometers bestimmt. Die Hauptbaugruppen und die Größendimension des Experimentes sind in **Folie 5** dargestellt. Als Standort wurde wegen des dort bestehenden Tritium-Labores das *Forschungszentrum Karlsruhe* ausgewählt (**Folie 6**). **Folie 7** zeigt, wie die Elektronen aus der Tritiumquelle entlang von Magnetfeldlinien durch das elektrostatische Feld des Spektrometers geführt werden. Da einerseits an der Quelle ein sehr starkes Magnetfeld vorhanden sein soll (großer Öffnungswinkel!), andererseits in der Analysierebene des Spektrometers ein möglichst schwaches Magnetfeld (Impuls der zu vermessenden Elektronen senkrecht zu den Äquipotentialflächen!), ergibt sich die Notwendigkeit eines sehr großen Spektrometergefäßes (Durchmesser 10m). Dieses Gefäß stellt die aufwändigste Komponente des Experimentes dar, da bisher noch nie ein solch großes Bauteil auf Ultrahochvakuum (XUHV) gebracht wurde. Um Störungen durch größere Mengen angesammelter Elektronen, die im Hauptspektrometer die Analysierebene nicht überwinden, zu vermeiden, werden die ankommenden Elektronen in einem Vorspektrometer „vorsortiert“ (Tandem-Anordnung, **Folie 8**).

## Anforderungen an den Detektor

In **Folie 9** sind die Anforderungen an den Detektor aufgelistet. Für Vorstudien wird zunächst eine kleinere Version des Detektors gebaut, der anfangs direkt an einer Elektronenkanone und anschließend mit dem Vorspektrometer und der Elektronenkanone getestet werden soll. Diese erste Version des Detektors weist 64 Segmente („Pixel“) auf einer Fläche von 40 mm x 40 mm auf. Es handelt sich um ein Silizium-PIN-Diodenarray, das von der Firma Canberra, Belgien, hergestellt wurde (**Bild**). Die Kristallscheibe ist 0,2mm dick und somit sehr bruchempfindlich.

Eine wichtige Besonderheit dieses Halbleiterbauelementes ist die äusserst dünne Totschicht (Oxid +  $n^{++}$ -Kathodenschicht) von nur 100 nm, da die zu registrierenden Elektronen nur eine geringe Eindringtiefe haben.

## Elektronischer Signalpfad

**Folie 10** skizziert das Konzept für die elektronische Weiterverarbeitung der Detektorsignale. Während eine JFET-Impedanzwandlerstufe direkt beim Detektorkristall im Vakuum angeordnet ist, befindet sich der angeschlossene rauscharme Vorverstärker bereits ausserhalb des evakuierten Strahlrohres an normal temperierter Umgebungsluft. Abweichend von üblichen Detektorvorverstärkern handelt es sich nicht um Ladungs- sondern um Spannungsverstärker, wodurch Rückkopplungsleitungen vom Vorverstärker zurück an den Detektor eingespart werden. Diese hätten die Anzahl der Pins in der Vakuum-Durchführung nahezu verdoppelt, was aus aufbautechnischen Gründen vermieden werden sollte.

Das Signalverarbeitungskonzept sieht vor, die vorverstärkten Detektorsignale mit hoher Abtastrate (10 MHz) in ein pulsbreitenmoduliertes (PWM-) Signal umzuwandeln, um sie anschliessend über Kunststoff-Lichtwellenleiter optisch an das DAQ-(Datenakquisitions-)System zu übertragen. Dies hat den Vorteil, dass einerseits EMV-Probleme (Erdschleifen, etc.) vermieden werden und man ausserdem eine galvanische Trennung von Detektorelektronik und DAQ-System erreicht. Durch diese wird eine Nachbeschleunigung der am Detektor zu registrierenden Elektronen möglich, die den Betrieb des Detektors und des umgebenden Strahlrohres auf einem hohen elektrischen Nachbeschleunigungspotential (z.B. 30 kV) erfordert. Die Nachbeschleunigung dient der Erhöhung der Elektroneneffizienz des Detektors, da die Totschicht besser durchdrungen wird.

Als DAQ-System soll das am IPE für das *AUGER Cosmic Ray Experiment* entwickelte und gefertigte System verwendet werden. Es zeichnet sich durch eine unmittelbare Digitalisierung der Eingangssignale bei hoher Abtastrate (10 MHz) und eine mittels FPGAs (Field Programmable Gate Arrays) frei programmierbare Datenvorverarbeitung (z.B. Shaping und Trigger) aus.

Um die Zeit bis zum Bereitstehen eines entsprechend angepassten DAQ-Systems zu überbrücken, stellt die *University of Washington at Seattle* ein bereits erprobtes 64-Kanal-DAQ-System mit Standard-50 $\Omega$ -Eingängen zur Verfügung. Um dieses anzuschließen, werden vereinfachte Vorverstärkerbaugruppen mit 50 $\Omega$ -Ausgangstreibern ohne PWM/Optotreiber eingesetzt.

## Mechanisches Konzept

Für das Vorspektrometer-Experiment ist vorgesehen, den Detektor mittels einer Balgenanordnung beweglich zu montieren, damit er aus dem Hauptvakuumbereich herausgezogen und durch einen Vakuumschieber von diesem getrennt werden kann. Dies impliziert eine Unterbringung der Vorverstärker in einem Rohr von 100 mm Innendurchmesser. Die Vorverstärkerelektronik muss also auf recht geringem Bauraum realisiert werden.

**Folie 11** zeigt, wie die auf einem Keramiksubstrat montierte Detektorscheibe mechanisch befestigt und elektrisch kontaktiert wird. In einer besonderen Trägerplatte sitzen federnde Kontaktnadeln, die das Keramiksubstrat kontaktieren und mittels aufgesteckter Verlängerungshülsen mit den Stiften einer Glas-Metall-Vakuumdurchführung verbunden sind. Auf diesen Stiften sitzt ausserhalb des Vakuums eine runde Zentralplatine, auf die die Vorverstärkerplatinen aufgesteckt sind. Zur Veranschaulichung ist dieses Arrangement in **Folie 12** nochmals mit Blick von hinten senkrecht auf die Zentralplatine skizziert.

**Folie 13** zeigt den Keramikträger des Detektors, der ausserdem die JFET-Impedanzwandlerstufen, Temperaturfühler und Heizwiderstände trägt. Die Heizwiderstände erlauben eine Einstellung der Detektor- (und JFET-) Temperatur auf den optimalen Betriebspunkt von ca. -100 Grad C.

**Folie 14** zeigt ein erstes 1:1-Modell der im Vakuum sitzenden Detektormechanik. Wegen der XUV- und Hintergrundkompatibilität müssen für die funktionale Variante einige Komponenten aus anderen Materialien als dargestellt gefertigt werden.

**Forschungszentrum Karlsruhe**  
in der Helmholtz-Gemeinschaft



## **Multi-Pixel-Elektronendetektor für das Neutrino-Experiment KATRIN**

**Sascha Wüstling**

**Institut für Prozessdatenverarbeitung und Elektronik**



## Gliederung

- **Überblick Neutrinoexperiment KATRIN**
- **Anforderungen an den Detektor**
- **Elektronischer Signalpfad**
- **Mechanisches Konzept**



# KATRIN: **K**ARlsruhe **T**RItium **N**eutrinoexperiment

- **Ziel:** Messung der Neutrinomasse mit einer Sensitivität im 0.2 eV Bereich
- **Internationale Kollaboration:** 65 Mitglieder



University of Washington



Fachhochschule Fulda  
University of Applied Sciences



bmb+f - Förderschwerpunkt  
Astro-Teilchenphysik  
Großgeräte der physikalischen  
Grundlagenforschung

- **Meßprinzip:** elektrostatisches Spektrometer mit gasförmiger Tritiumquelle

## Ziele und Zeitplan von KATRIN

**KATRIN Sensitivität** nach 3 Jahren Messzeit:  $m(\nu) < 0.25 \text{ eV (90\%CL)}$

⇒ statistische Unsicherheit:  $\sigma_{\text{stat}} = 0.03 \text{ eV}^2$

⇒ 5 systematische Unsicherheiten à:  $\sigma_{\text{syst}} = 0.01 \text{ eV}^2$

energy loss/column density &  $T_2$ -purity/HV fluctuations/bg level/...

### KATRIN Zeitplan:

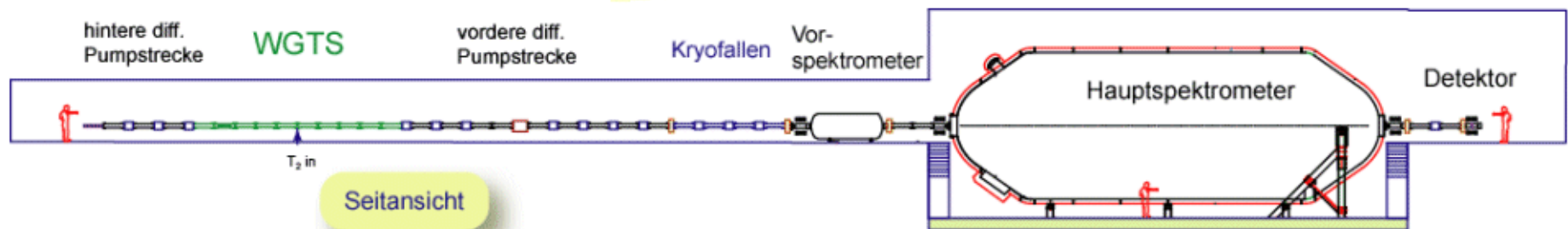
- seit 2001: Spezialmessungen Untergrund & Vakuum  
e-gun & Si-Drift-Detektoren
- Sommer 2003: proposal
- Herbst 2003: erste Vorspektrometer-Messungen
- 2005/2006: Aufbau des Hauptspektrometers
- ab 2007: Messphase mit Kalibrations-Runs



# Experimenteller Aufbau von KATRIN

- WGTS: fensterlose gasförmige Tritiumquelle
- differentielle Pumpstrecke und Kryostrecke
- Vorspektrometer mit Elektroden
- **Hauptspektrometer mit Elektroden**
- Si-Detektor

Supraleitende Magnete führen die Elektronen von der Quelle bis zum Detektor



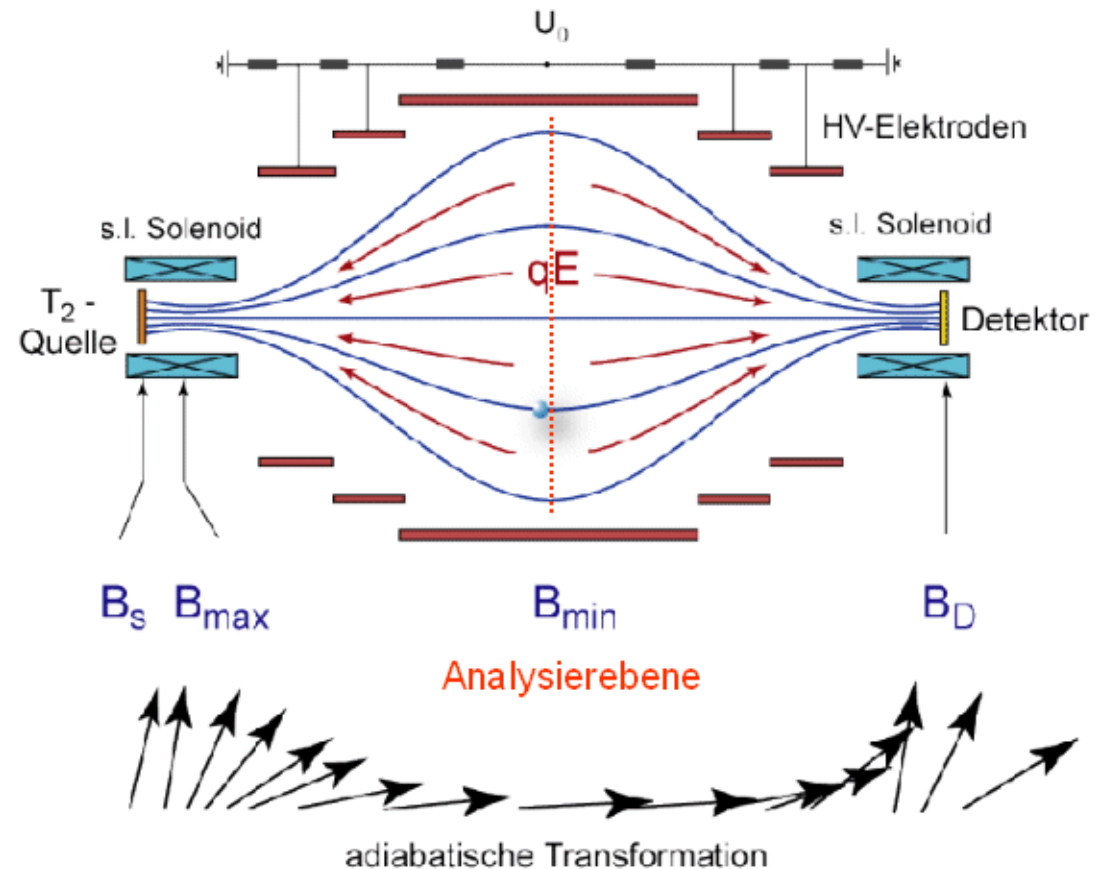
Gesamtlänge von KATRIN in linearer Anordnung ~ 70 m

# Forschungszentrum Karlsruhe in der Helmholtz-Gemeinschaft



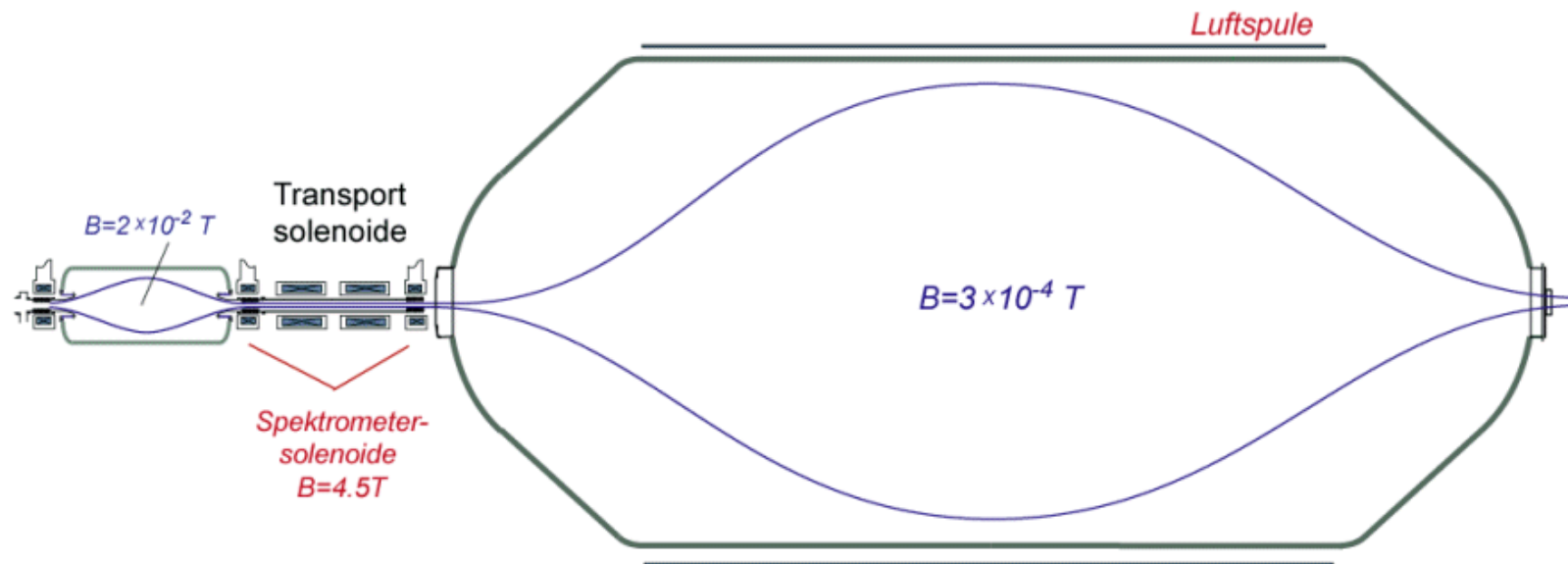
# Prinzip des elektrostatischen Spektrometers

- adiabatische Führung der Elektronen entlang der Magnetfeldlinien
- **elektrostatisches Filter:** Transmission oder Reflektion an der Analysierebene (integrales Energiespektrum)
- Energieauflösung: 1eV  
 $\Delta E/E = B_{\min}/B_{\max}$   
 $B_{\max} = 3-6 \text{ T} ; B_{\min} \leq 1 \text{ mT}$
- großer Öffnungswinkel



# Elektrostatische Spektrometer: Tandem Design

elektrostat. Vorfilter und Energie-Analyse der  $T_2$ -  $\beta$  Elektronen



## Vorspektrometer

festes Retardierungspotenzial 18.4 kV

$\varnothing = 1.7 \text{ m} / L = 3.5 \text{ m}$

$\Delta E = 70 \text{ eV}$

## Hauptspektrometer

variables Retardierungspotenzial 18.5-18.6 kV

$\varnothing = 10 \text{ m} / L = 22 \text{ m}$

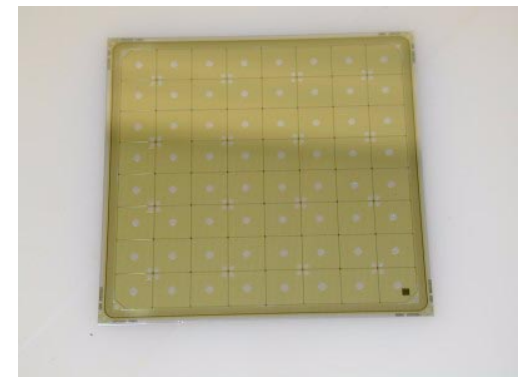
$\Delta E = 1 \text{ eV}$

## Anforderungen an den Detektor

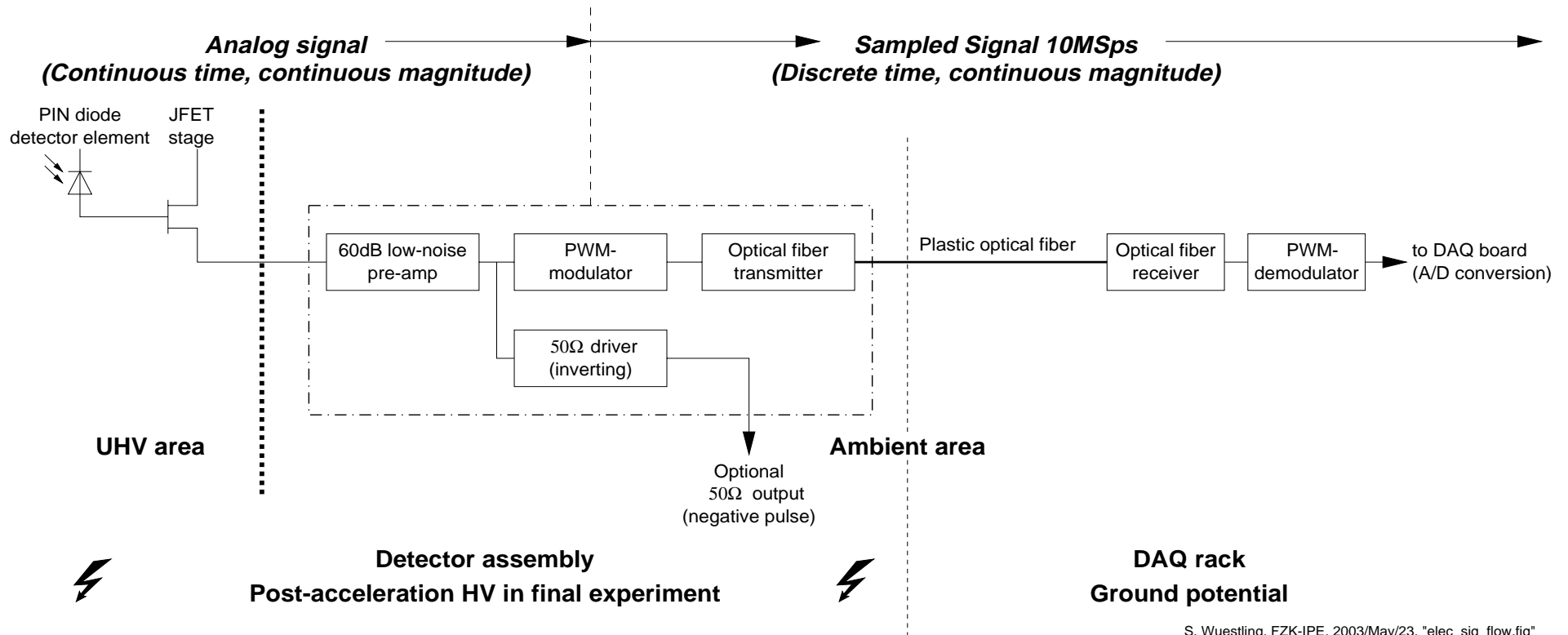
- Große **sensitive Fläche** (Durchmesser 100 mm, Vorspektrometer-Version ca. 50 mm)
- **Hohe Effizienz** für Elektronen  $< 20$  keV ( $\Rightarrow$  dünne Totschicht 50 nm)
- Ausreichende **Ortsauflösung** für Studium des Quellenprofils und des Hintergrundes (ca. 5 mm x 5 mm Elemente)
- Ausreichende **Zeitauflösung** für ToF-Untersuchungen ( $< 100$  ns)
- Ausreichende **Energieauflösung** ( $\Delta E < 600$  eV)
- **Niedrigen  $\gamma$ -Wirkungsquerschnitt** (Dicke  $< 0,3$  mm)
- Starke **Magnetfelder** (mehrere T) und **XUHV-Kompatibilität**
- **geringer eigener Hintergrund** ( $< 1$  mHz Hintergrundrate)
- Hohe **Integrationsdichte** der Vorverstärker (400 Kanäle, Vorspektrometer-Version 64 Kanäle in 100 mm Rohr)
- **HV-Isolation** (Nachbeschleunigungsspannung bis 30 kV)

*Bild rechts:*

Vorspektrometer-Detektor, **monolithisches Si-PIN-Diodenarray**,  
64 Elemente auf 40 mm x 40 mm (je 5 mm x 5 mm),  
Dicke 0,2 mm, 50 nm Totschicht  
(Blick auf Rückseite = Kontaktierungsseite)



## Elektronischer Signalpfad (jeder Kanal)



**Besonderheiten:** Geeignet für **Nachbeschleunigung**, gutes EMV-Verhalten (LWL-Verbindung), **abgleichfrei**

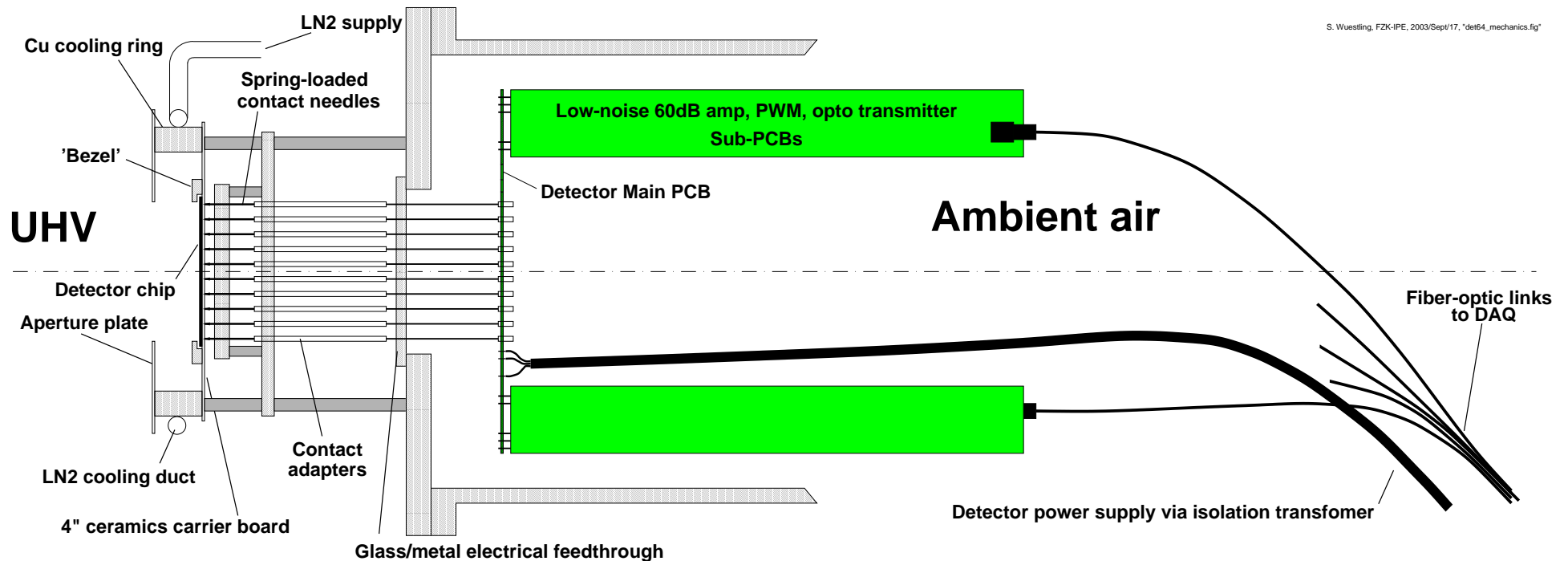
**'AUGER' DAQ-System:** **12bit / 10MSps ADCs**, **frei programmierbare** Signalverarbeitung (**Shaping, Trigger, etc.**)

**Aufbauoption:** Invertierende 50Ω-Kabeltreiber für alternatives DAQ-System der UW Seattle (keine HV-Isolation)

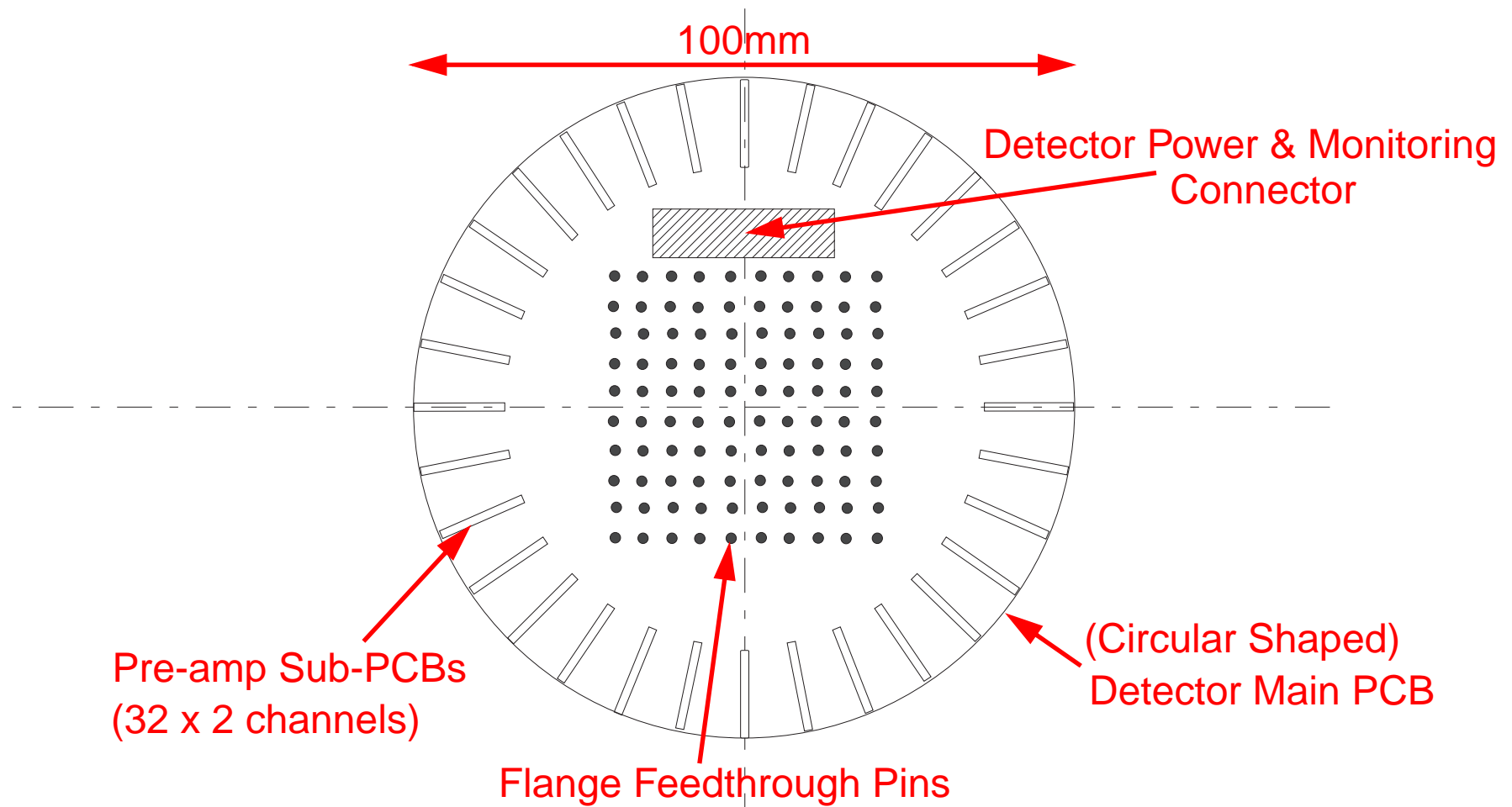


## Mechanisches Konzept

S. Wuestling, FZK-IPE, 2003/Sept/17, "det64\_mechanics.fig"



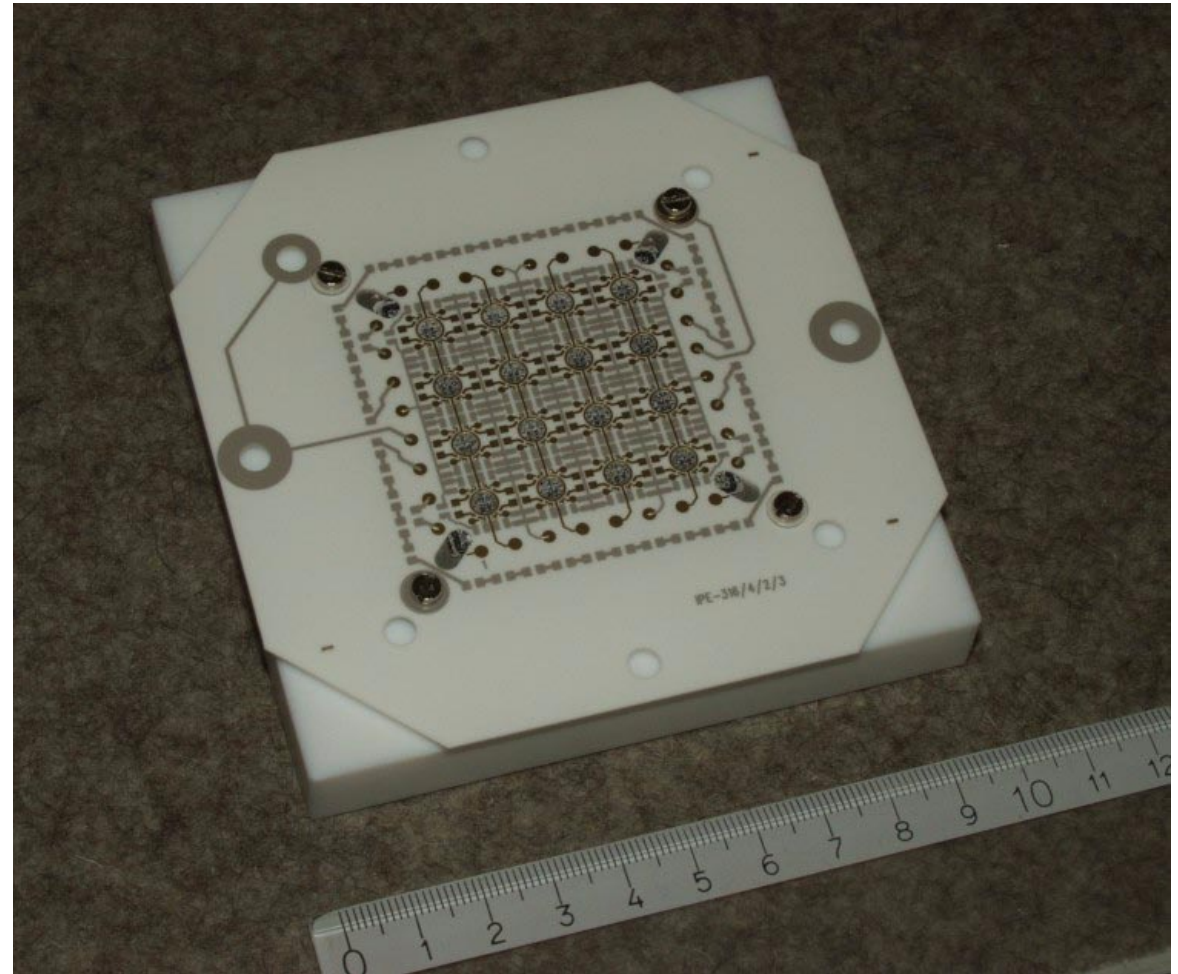
## Rückansicht der Detektor-PCBs



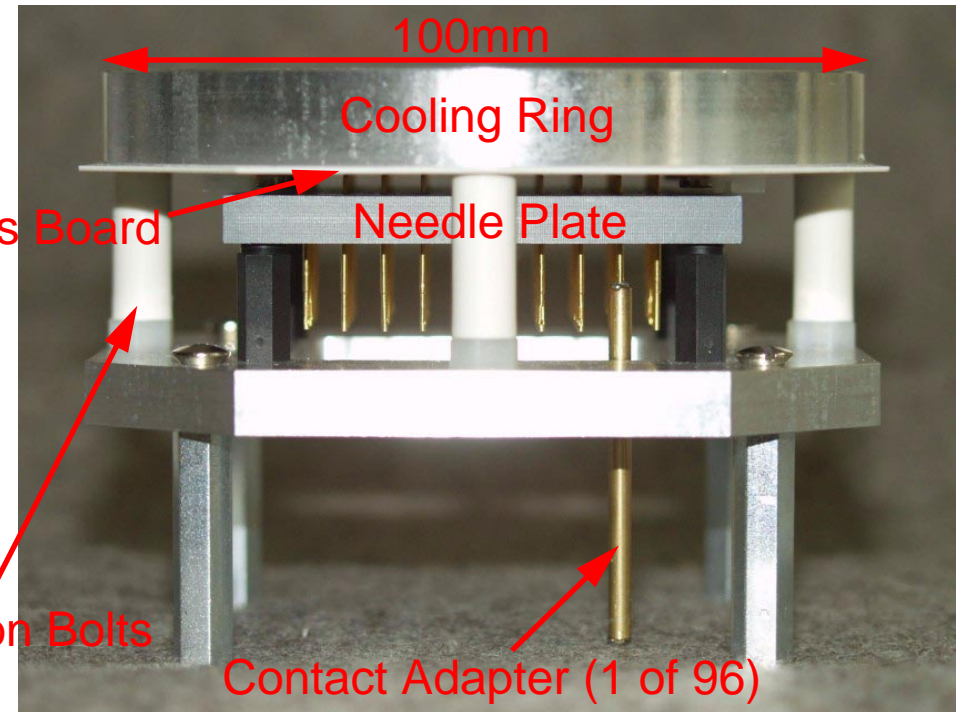
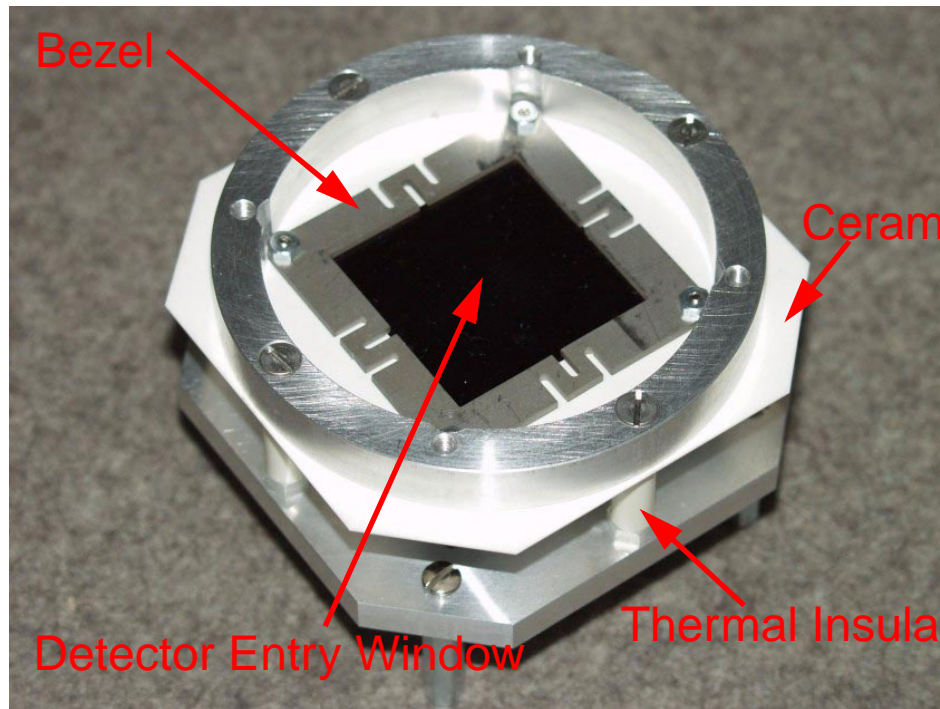
## 4" Keramikträger

- Trägt Detektor-Chip
- Drahtbonds zum Detektor-Chip
- JFET Sourcefolger-Vorstufen in Dickfilmtechnik
- 4 x PT1000 Temperaturfühler
- Heizwiderstände
- Kontaktflächen für Federnadeln
- LN<sub>2</sub>-gekühlt über Cu-Kühlring

*Bild rechts:*  
Keramikträger (Blick auf „Rückseite“)  
auf Bond-Vorrichtung



## 1:1-Modell des 64-Element-Vorspektrometer-Detektors



# Slow Control System für das Neutrino-Experiment KATRIN

Armen Beglarian  
Forschungszentrum Karlsruhe  
Institut für Prozessdatenverarbeitung und Elektronik (IPE)  
Postfach 3640  
76021 Karlsruhe  
e-mail: beglarm@ipe.fzk.de

(siehe auch die ebenfalls in diesem Band abgedruckten Vortragsfolien)

## **Zusammenfassung**

Das für das Neutrino-Großexperiment KATRIN entwickelte Slow Control System (SCS) erfasst alle Messdaten mit Ausnahme der Ereignisdaten des Detektors. Es besteht sowohl aus Hardware- als auch aus Softwarekomponenten. Hauptcharakteristik des SCS ist seine homogene Struktur, obwohl die Kontrolltasks dezentral über die unterschiedlichsten Subsysteme verteilt sind. Mit Hilfe dieser homogenen Struktur erreicht man Stabilität, Unabhängigkeit der Subsysteme und schnelle und komfortable Wartung. Diesen Zielen dient auch die Verwendung kommerzieller Komponenten. Dies gilt insbesondere für das Echtzeitsystem, das aufgebaut ist aus FieldPoint-Stationen von National Instruments (modulare verteilte I/O-Systeme) mit der Software LabView DSC mit ihrer modularen und grafischen Programmierung. Damit sind die Kontrolleinheiten für die völlig verschiedenen Subsysteme einheitlich und leicht zu entwickeln, testen und warten.

## **Überblick und SCS-Konzept**

Das Neutrinoexperiment KATRIN (Karlsruher Tritium Neutrino-Experiment), das eine genauere Eingrenzung der Neutrinomasse ermöglichen wird, spielt eine große Rolle in der modernen fundamentalen Physik und soll zahlreiche Fragen sowohl im Bereich der elementaren Physik als auch in der allgemeinen Astrophysik beantworten.

Grundlage des Experimentes ist die exakte Bestimmung der Energieverteilung der neben den Neutrinos beim zweifachen  $\beta$ -Zerfall entstandenen Elektronen. Dazu werden diese durch eine Differenzialpumpstrecke, die andere Zerfallskomponenten entfernt, über supraleitende Magnete und Hochspannungselektroden, die einen adiabatischen Filter (=Spektrometer, Potenzialdifferenz 18,6 kv) bilden, geführt. Die Elektronen werden anschließend mittels eines Multipixel-Detektors registriert, wo sie im Messbetrieb mit einer sehr geringen Ereignisrate (ca. 0,01-0,015 Hz) eintreffen.

Für die Sicherstellung der verlangten Genauigkeit wird ein Hauptspektrometer mit einer Länge von 22 m und einem Durchmesser von 10 m benötigt, dessen Bau für das Jahr 2005 geplant wurde. Die gesamte Anlage einschließlich der Tritium-Quelle, der Differenzialpumpstrecke und des Vor- und Hauptspektrometers wird ca. 70 m lang sein (Folie 2).

Aus der Sicht des Slow-Control-Systems (SCS) ist diese räumliche Ausdehnung wegen der Entfernungen der Experimentkomponenten untereinander von großer Bedeutung. Aufgrund der geringen Ereignisrate sind zur Erreichung einer zufrieden stellenden Statistik Betriebszeiten von 3-4 Monaten ohne Unterbrechung erforderlich, was erhöhte Anforderungen an die Betriebssicherheit des SCS stellt.

Unter diesen Betriebsbedingungen ist ein zentralisiertes System nicht in der Lage, das Funktionieren aller Messfühler und Datenerfassungssysteme zu gewährleisten. Ein dezentralisiertes System, das ein sicheres und schnelles Verbindungsprotokoll zur Informationsverteilung an unterschiedliche Subsysteme verwendet, ist zweckmäßiger. Als Netzwerkprotokoll eignet sich TCP/IP, das aufgrund seiner Sicherheit und Geschwindigkeit (100Mbit/s-Standard) immer weitere Verbreitung in Industrieautomatisierungssystemen findet.

Die Verwendung von Standardschnittstellen bei den einzelnen Geräten spielt eine erhebliche Rolle für die Auswahl des Datenerfassungssystems. Die Messfühler und Geräte, die im Experiment verwendet werden, unterscheiden sich stark sowohl durch ihre Parameter

als auch durch ihre Schnittstellen. Dies ergibt sich durch das breite Spektrum der Ein- und Ausgabegeräte, die vielfältige Daten sowohl elektrischer Natur (Spannung, Strom, Digitalsignale) als auch physikalischer Natur (Temperatur, Druck, Feuchtigkeit usw.) erfassen und eine Vielzahl von Steuerfunktionen ((Heizungen, Ventilen, Klappen) erfüllen müssen. Weiterhin müssen die Ausgaben der Messfühler parallel ausgelesen werden, um zeitsynchron mit den Detektorsignalen aufgezeichnet zu werden.

Mit Rücksicht auf alle o. g. Kriterien ist als Standard **compactFieldPoint** der Firma *National Instruments* ausgewählt worden (**Folie 7**). Entlang des ganzen Experimentverlaufes werden einige Grundstationen auf compactFieldPoint-Basis eingerichtet, die abhängig von der Art der zu erfassenden Werte und den Schnittstellen der Messgeräte konfiguriert werden können.

### **Testzylinder-SCS**

Die erste Erprobung dieses SCS-Konzeptes, die am Testzylinder-Versuchsstand in den Jahren 2002-2003 durchgeführt wurde, hat eine korrekte Funktion und sichere Steuerung der Experimentanlage nachgewiesen. Das Testzylinder-SCS beinhaltet eine 16-kanalige Temperatursteuerung, eine 8-kanalige Relaiseinheit, einen 16-kanaligen Digitaleingang und einen 8-kanaligen Zähler mit Steuerung. (**Folien 4/5**)

### **Vorspektrometer-SCS**

Die nächste Stufe des SCS-Ausbaus ist das Vorspektrometer-SCS, das ein breiteres Spektrum von Ein- und Ausgangs-Kanälen umfasst (**Folien 8-12**). Hier kommen schon vier separate Grundstationen zum Einsatz, von denen jede eine eigene Aufgabe zu erfüllen hat. Ihre Ausgangsdaten werden über das OPC-Protokoll vom Supervisor-Computer aufgenommen. Das Supervisorprogramm wird in der grafischen Programmiersprache Lab VIEW DSC (Datalogging and Supervisor Control) entwickelt. Die Besonderheit des Vorspektrometer-SCS ist die Tatsache, dass eine der Grundstationen auf einem Potential von bis zu 30 kv arbeitet. Deshalb wird die Datenübergabe von dieser Station über Glasfaserkabel stattfinden. (**Folie 3**)

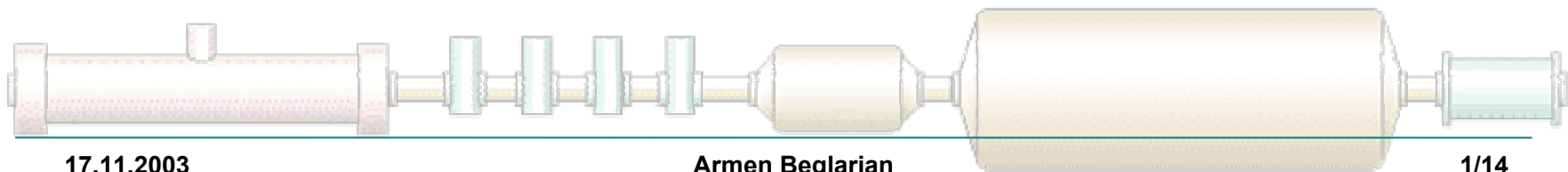
### **Sicherheit**

Mehrere Komponenten des Experiments KATRIN wurden in der vorgesehenen Form bisher noch nirgends auf der Welt realisiert. Dies gilt sowohl für die Erzeugung des Vakuums von  $10^{-12}$  mBar in einem so großen Volumen, als auch für die Systeme zum Erhitzen und Abkühlen beider Spektrometer im Bereich von +350°C bis -40°C. Außerdem ist zu beachten, dass eine der Experimentkomponenten, die Tritiumquelle, besondere Vorsichtsmaßnahmen erfordert, da das Eindringen von Tritium in die Zylinder von Haupt- und Vorspektrometer unter allen Umständen **ausgeschlossen** werden muss. Auch diesbezüglich gewährleistet die auf compactFieldPoint-Grundstationen basierende SCS-Architektur die sichere Verfolgung aller Anomalien (**Folie 13**).

Jede Station wird mit einer unterbrechungsfreien Spannungsversorgung mit bis zu 70 min Systemarbeitszeit bei Stromausfall ausgerüstet. Die installierten Watchdog-Systeme überwachen sowohl die Prozessor-Funktionen als auch den Zustand des Netzes. Dies ermöglicht bei Störungen eine rechtzeitige Benachrichtigung von Subsystem-Experten über SMS oder Kabelleitungen (**Folie 14**).

## Slow Control System für Neutrinoexperiment KATRIN

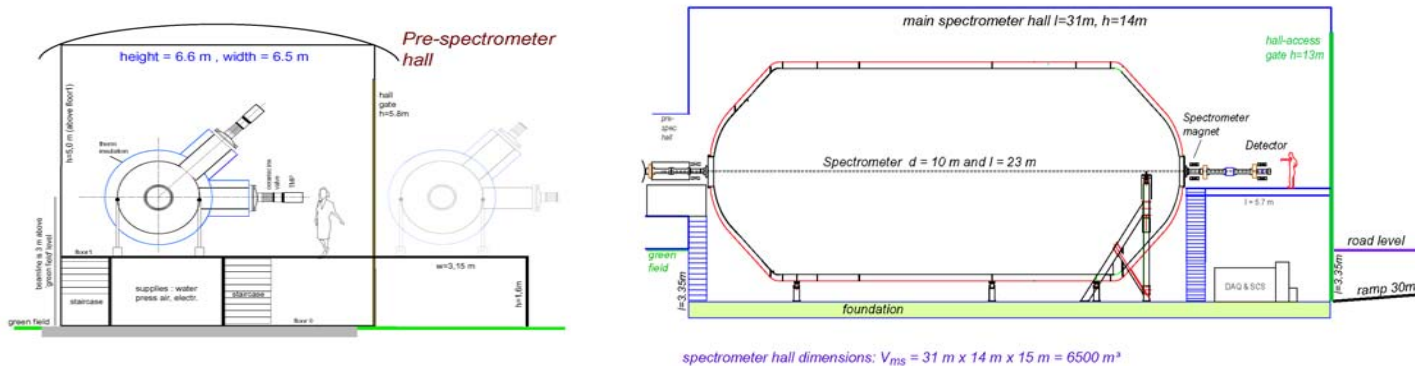
- **Wichtige Anforderungen**
- **Slow Control Übersicht**
- **Der erste Schritt – Ultrahochvakuum-Testzylinder Slow Control**
- **FieldPoint-Kontroller Spezifikationen**
- **Elektronenkanone und Detektor Slow Control**
- **Temperatur & UHV Slow Control System**
- **Magnet, Kryo und Hochspannung**
- **Zusammenwirken von Tritium Kontrollsystem und KATRIN Slow Control**
- **Sicherheit**



## Hauptanforderungen

- **Schnelle Reaktionszeiten bei der Hardware**
- **Protokollierung von Slow Control Ereignissen durch das eingebettete FieldPoint Programm**
- **Anzeigen von Langzeittrends und des Status aller Komponenten auf dem Supervisor-Rechner**
- **Speicherung aller relevanten Daten in der Datenbank**

## Besonderheiten des Experimentes

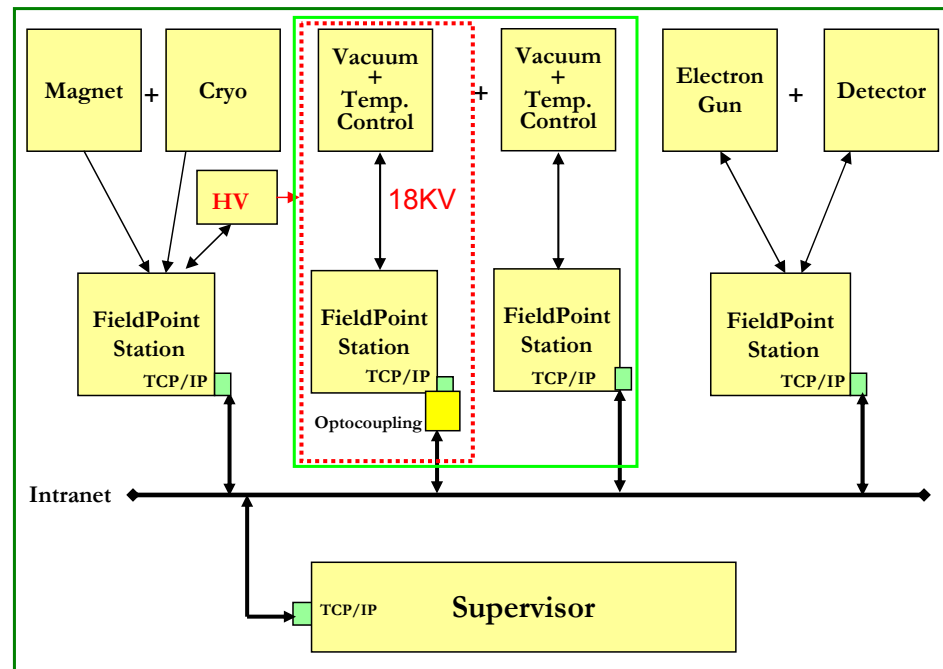


- **Große Ausmaße des Experimentes** → **verteilttes Slow Control System**
- **Arbeit mit Tritium** → **Hochsicherheit**
- **Langzeitbetrieb ohne Unterbrechung** → **Hohe Zuverlässigkeit**  
(Heizungs- und Kühlungsphasen)



## Übersicht des KATRIN Slow Control Systems

- Verteiltes System basiert auf FieldPoint Hardware => robust, zuverlässig, unabhängig vom Server bei Computer- bzw. Netzwerkabstürzen
- Eingebettete LabVIEW Echtzeit-Software => Genauigkeit der Zeit:  $\Delta t = 10 \text{ msec}$
- Große Auswahl an Ein- und Ausgabeschnittstellen
- Flexible Konfiguration für einzelne Stationen
- OPC Server: Übertragung der gemessenen Daten über TCP/IP zum PC unter LabVIEW DSC – GUI mit Webzugriffs-Unterstützung



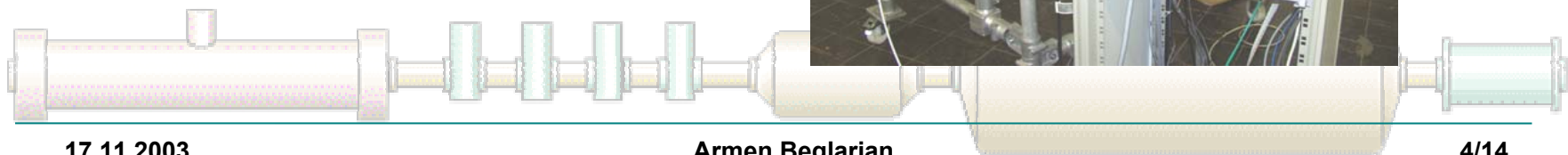
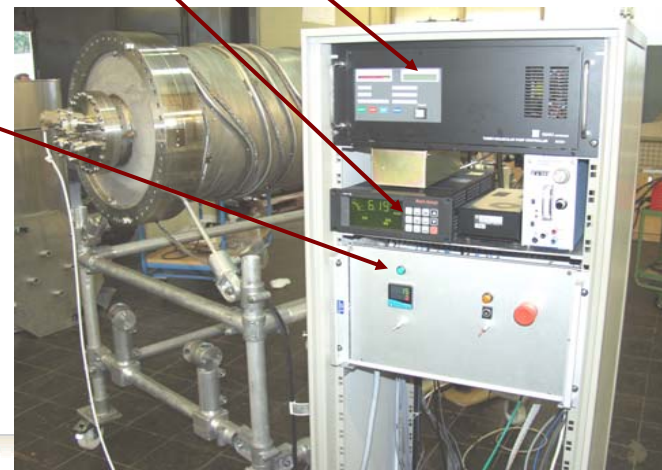
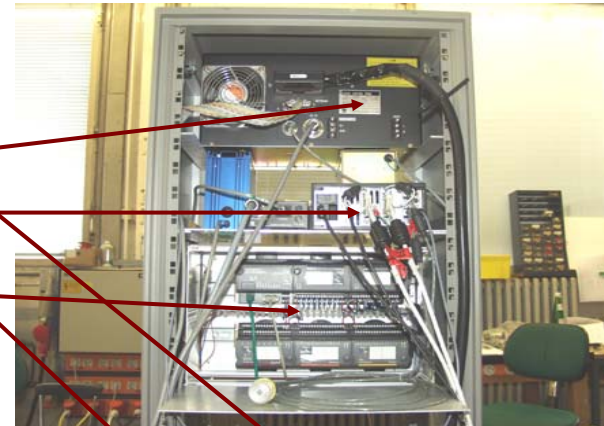
## Der erste Schritt – Ultrahochvakuum-Testzylinder Slow Control

Ansicht von hinten:

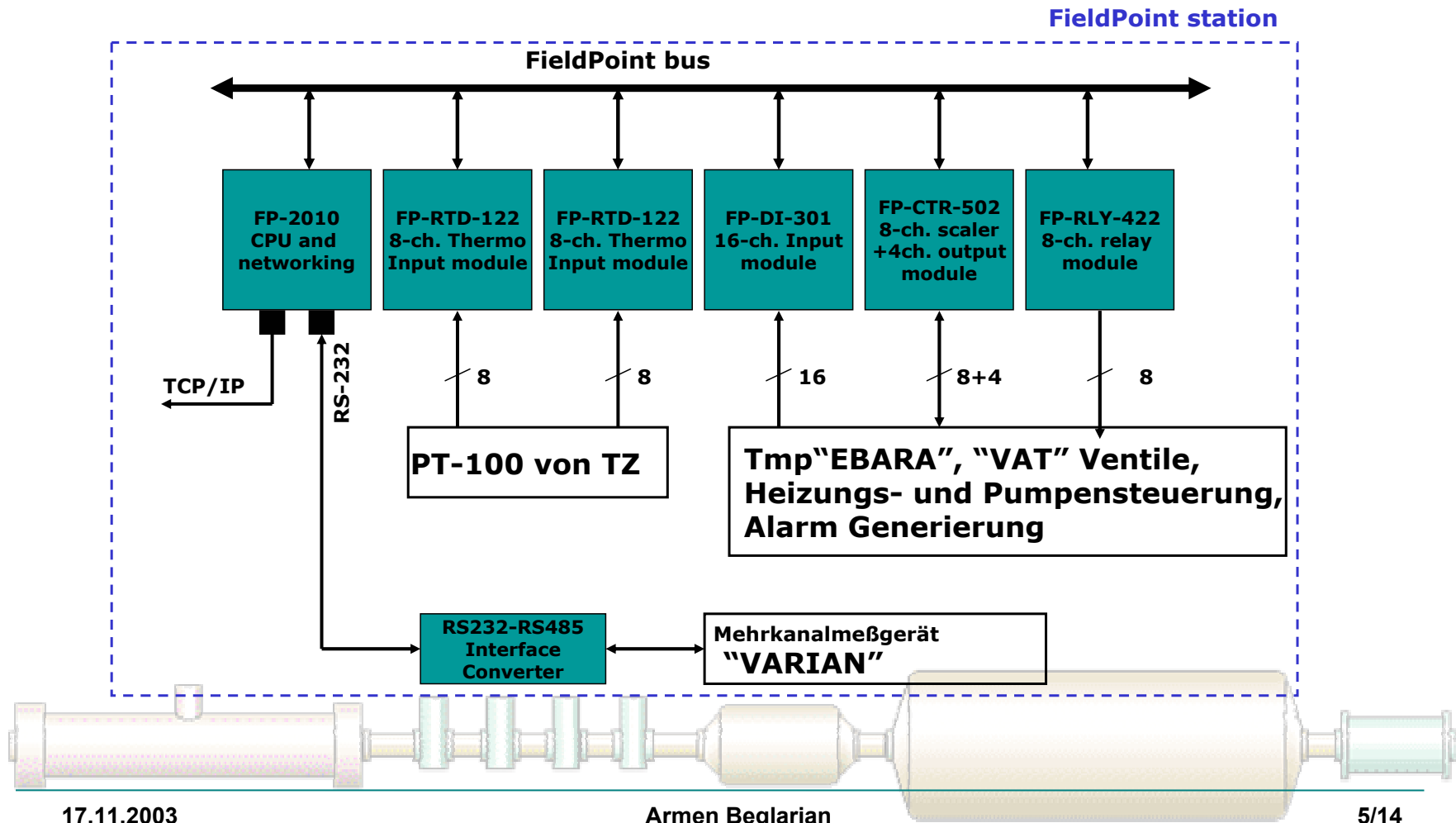
- Turbomolekularpumpe “Ebara”
- Mehrkanal-Vakuummeßgerät “Varian”
- FieldPoint-Station

Frontansicht:

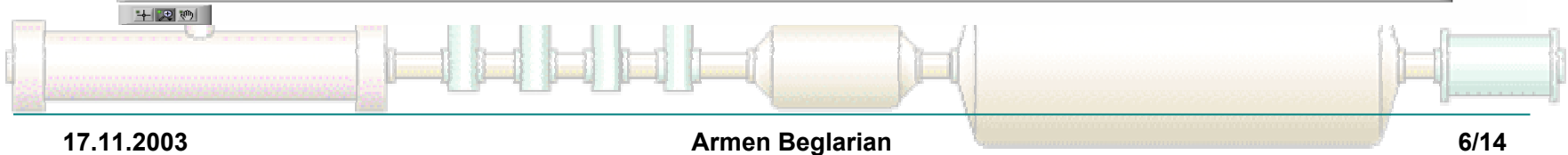
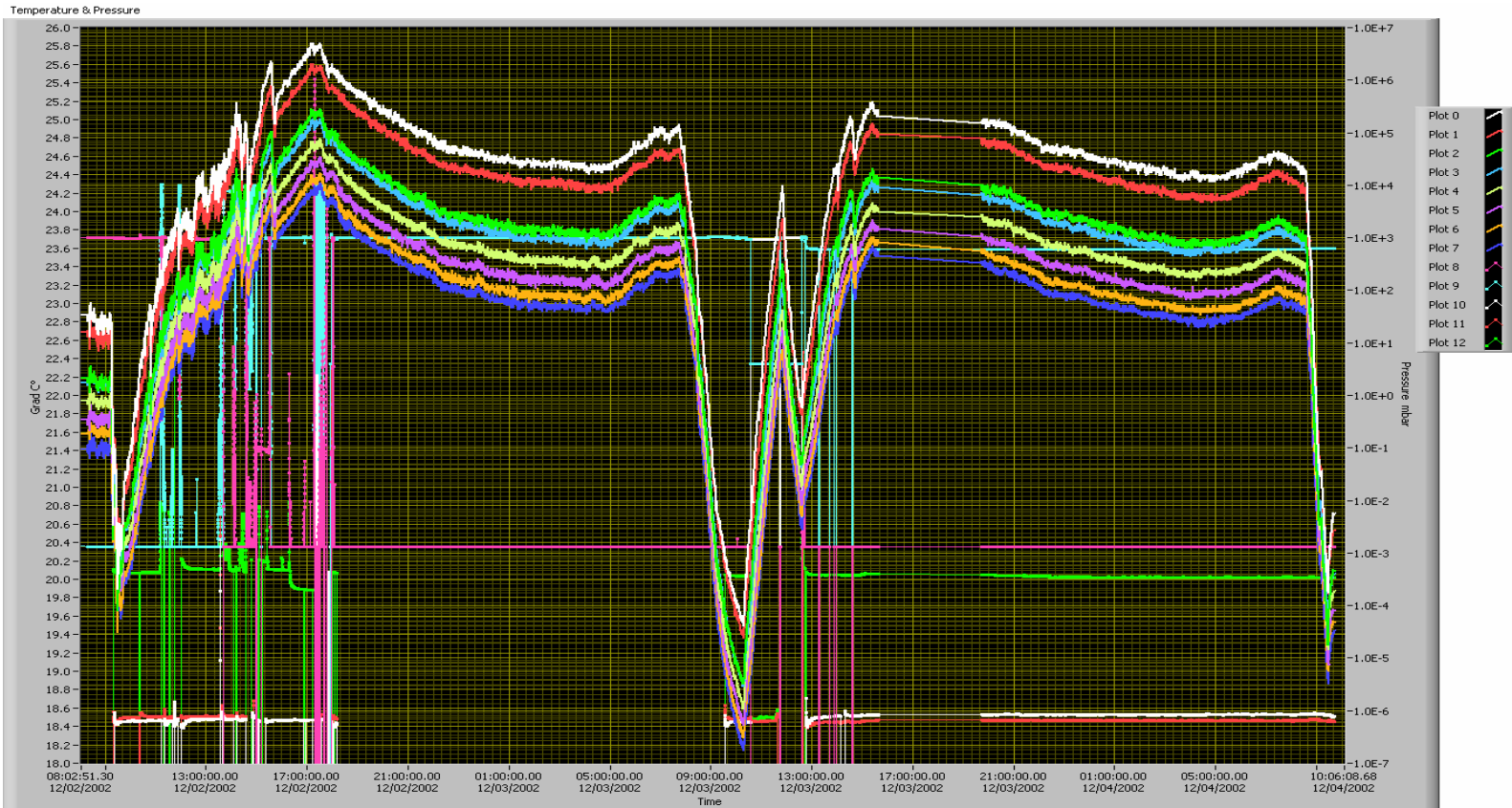
- Heizungsregler



## Testzylinder Slow Control Übersicht



## Beispiel eines Testzylinder-Messausdrucks

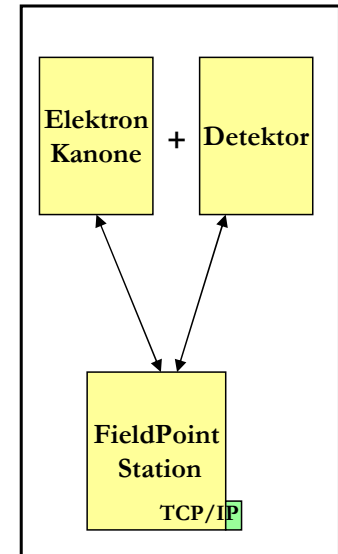
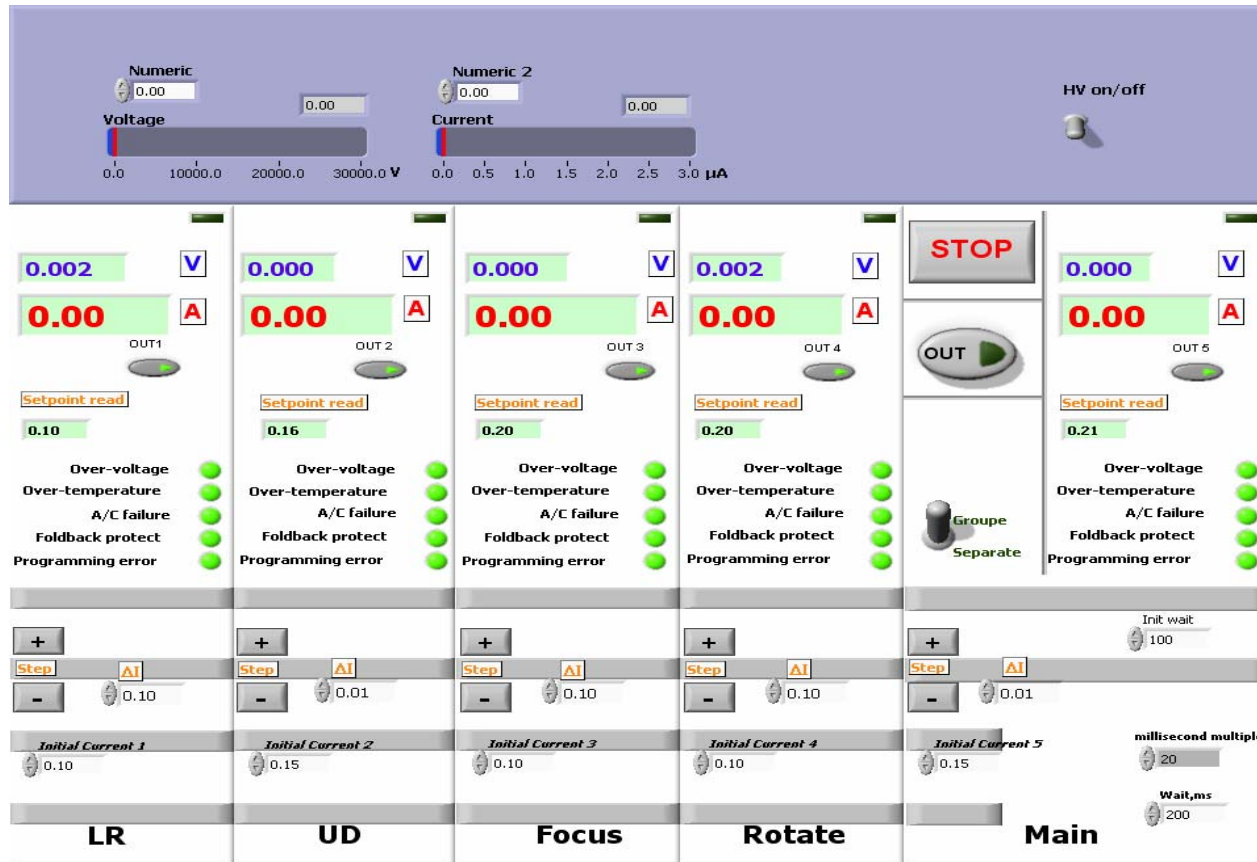


## cFieldPoint - kompakte Ethernet Controller Schnittstelle

- LabVIEW Echtzeit-System für Steuerung, Datenprotokollierung und Signalverarbeitung
- Selbständiger „embedded“ Echtzeit-Controller
- 32MB DRAM Speicher (typisch 24 MB benutzerverfügbar)
- Bis zu 512MB (!) CompactFlash-Speicher (ausreichend für Slow-Event-Daten aus komplettem Run – 3-4 Monate)
- **Keine magnetischen Speichermedien !**
- 1 serielle RS-485 und 3 serielle RS-232 Schnittstellen für Peripheriegeräte
- Ethernet Schnittstelle => Einfacher Zugriff
- „Embedded“ Web- und FTP-Server mit remote-panel Benutzeroberfläche
- Bis zu 128 digitale oder analoge Ein- und Ausgabekanäle



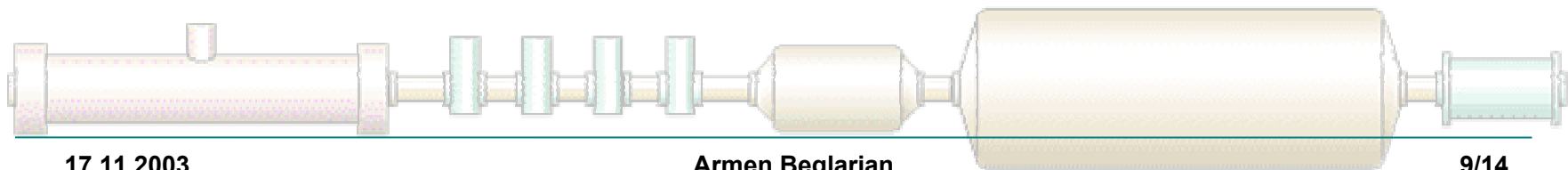
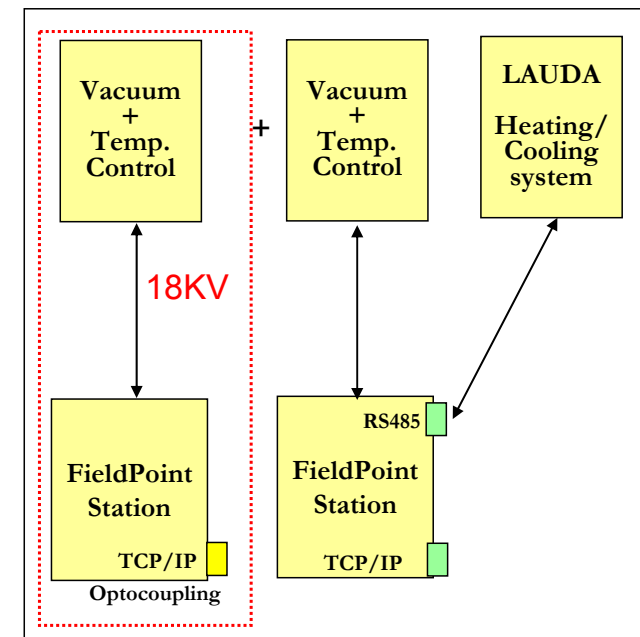
## Elektronkanone & Detektor Slow Control System



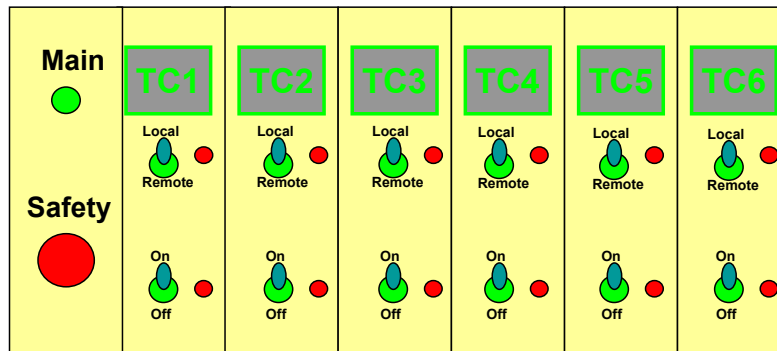
Hoch- und Niederspannungs-Bedienkonsole für Elektronkanone

## Das Behälter-XHV- und Heizungs/Kühlungs-Slow Control System

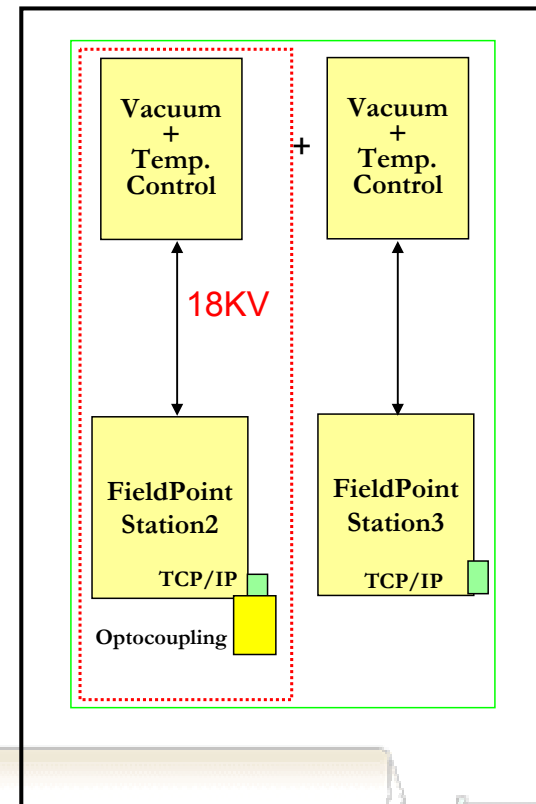
- Steuerung, Visualisierung und Data Logging
- TCP/IP Interface muß galvanisch von Erde getrennt sein (Behälter ist auf 18kV-Potential)
- 48 PT-100-Sensoren (für Temperaturmessungen)
- Rack-montierbare Hardware
- RS485 /RS232 Schnittstellen für das LAUDA-Heizungs/Kühlungs-System und die Vakuum-Hardware



## Temperatur- und Ventilsteuerungs-Hardware



- Modulares System => hohe Flexibilität. (Anzahl der Kanäle bis jetzt nicht bekannt)
- Prototyp wurde am Testzylinder getestet
- Ventilpositionen sowohl hardwaremäßig (manuell) als auch softwaremäßig steuerbar (Local/Remote status)
- Zwei identische Racks werden gebaut (je einmal für Steuerungen auf HV-Potential und Erdpotential)

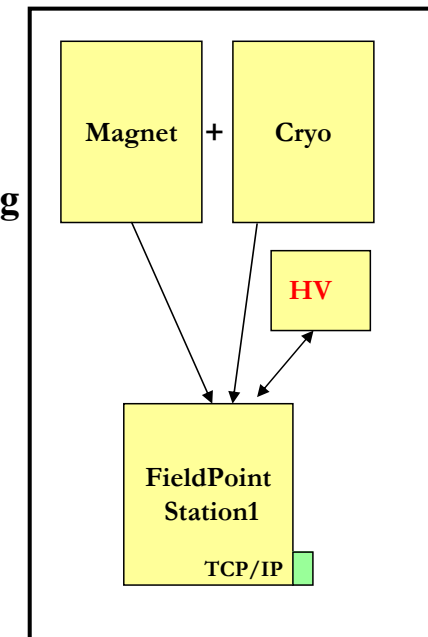




## HV-, Magnet- & Kryosystem Slow Control

### Magnet&Kryo Control System

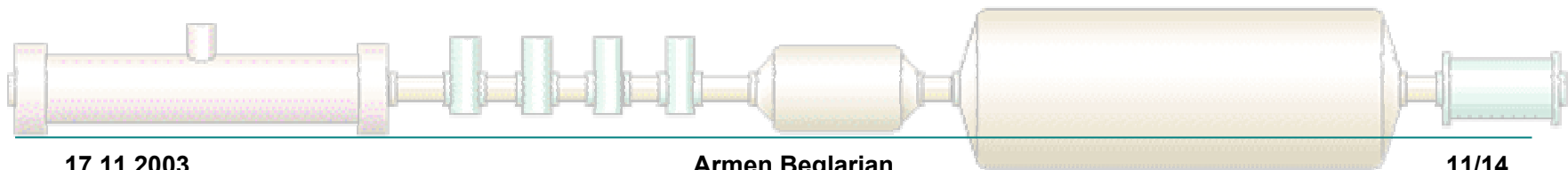
- **Zunächst: Datenerfassung über eigenen PC und LabVIEW mit installiertem Client-Server-Interface zur Darstellung des Magnet- und Kryo-Systems auf dem Supervisor (einschließlich der Erzeugung von Alarm- und Warnmeldungen). Keine Echtzeiterfassung und geringere Zuverlässigkeit.**
- **Zweite Stufe: PXI-basierter Echtzeitprozessor mit “embedded” stand-alone LabVIEW-Anwendung**



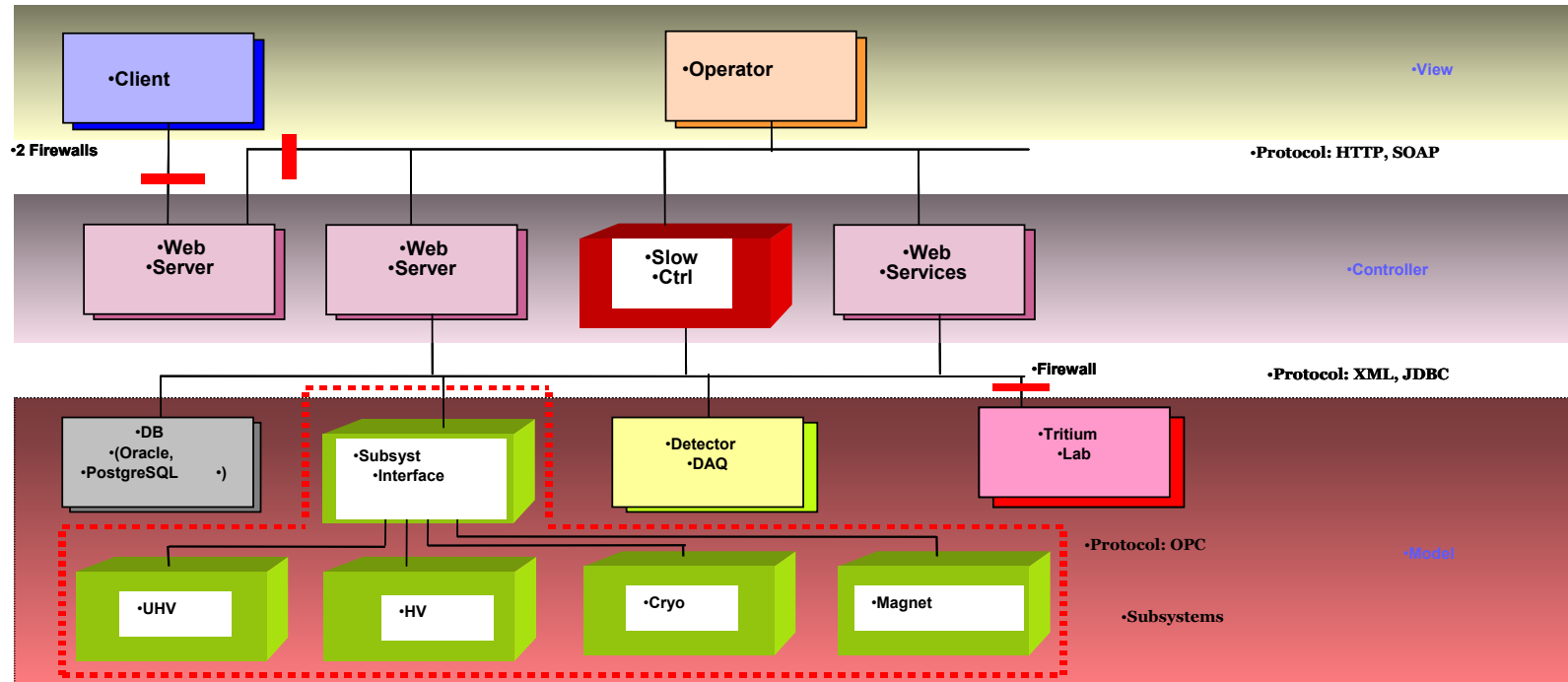
### Steuerung und Datenerfassung

### für das Hochspannungssystem

über serielles FieldPoint-Interface



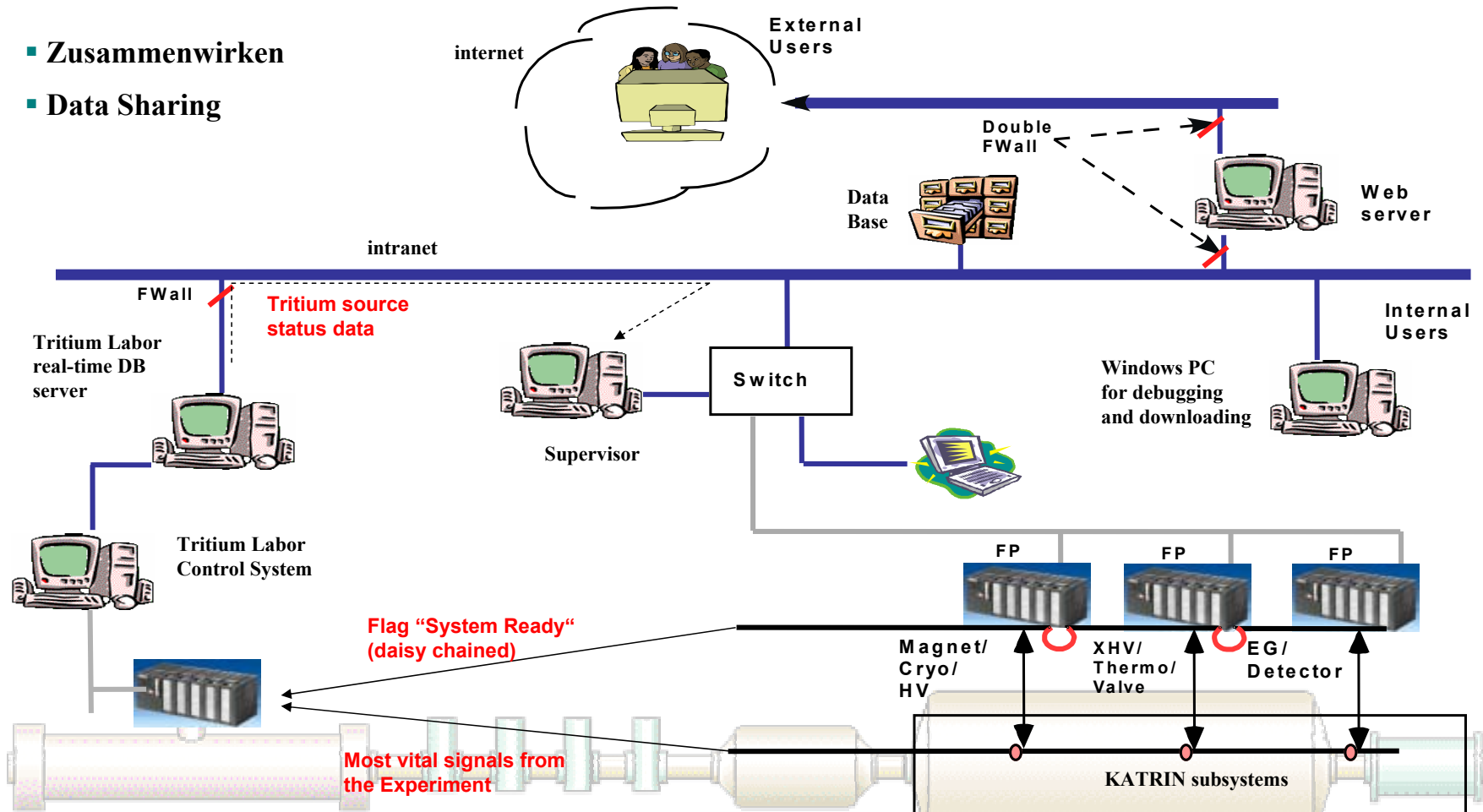
## Supervisor



- **Basiert auf dem LabVIEW DSC (Data logging and Supervisory Control) Modul**
- **Darstellung und Protokollierung der Daten von den 4 FP Stationen**
- **Grafische Visualisierung von Threads und des Status der verschiedenen Slow-Control-Kanäle**
- **Web-Zugriff**

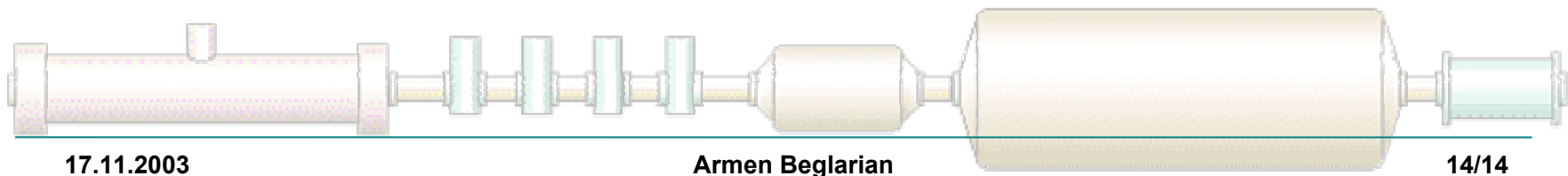
## Zusammenwirken von Slow Control System und Tritium Kontrollsystem

- Zusammenwirken
- Data Sharing



## Sicherheit

- **Watch-dog, der Netzwerk- und Stromversorgungsausfälle erkennt**
- **SMS-Messaging und Alarmauslösung**
- **Automatic Start-up**
  - **Konfiguration bei Wiederkehr der Stromversorgung muß gemeinsam mit Subsystem-Fachleuten definiert werden.**
- **Unterbrechungsfreie Stromversorgung für die FP-Stationen**



# Resonanzmessplatz mit automatischer Abstimmung

Stephan Böcker

Leibnizstraße 88, 44793 Bochum

## Einleitung

Ein Resonanzmessplatz benötigt als Sensor entweder eine Spule (induktiver Sensor) oder einen Kondensator (kapazitiver Sensor), der in einem RLC-Schwingkreis integriert ist. Um Messdaten zu erhalten, wird die Resonanzfrequenz des Schwingkreises ermittelt, die von der Messgröße abhängig ist.

Mit einer solchen Messschaltung lassen sich zum Beispiel Schichtdickenmessungen durchführen. Wenn sich zwischen zwei Metallplatten eine Lackschicht oder auch ein Blatt Papier oder Ähnliches befindet, so ändert sich bei unterschiedlichen Lackdicken der Kapazitätswert und so auch die Resonanzfrequenz. Daraus kann man dann nach einer Kalibrierung die Schichtdicke ermitteln. Ein anderes Anwendungsbeispiel wäre eine Druckmessung, in der sich ein Kapazitätswert je nach Druckstärke ändert.

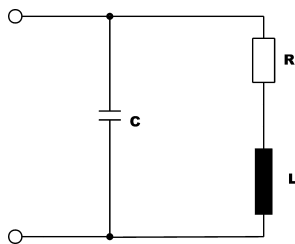
Heutzutage werden oft digitale Regelungen für solche Messschaltungen eingesetzt, die aber gegenüber analogen Schaltungen sehr langsam sind. Hier soll ein Resonanzmessplatz vorgestellt werden, der ohne digitale Regelung auskommt und trotzdem die Vorzüge von Resonanzmessungen erfüllen kann.

## Resonanzmessung

Die Theorie der Resonanzmessung beruht auf der Selektivität von Schwingkreisen. Um die Resonanzfrequenz eines Parallelschwingkreises aus Kondensator und verlustbehafteter Induktivität zu ermitteln, wird in der Regel die Frequenz der maximalen Amplitude gemessen. Hier soll die Eigenschaft genutzt werden, dass die Phase bei Resonanz null Grad beträgt.

## Der Parallelschwingkreis

Zunächst wird folgender Parallelschwingkreis untersucht:



Die komplexe Impedanz eines solchen Schwingkreises errechnet sich zu:

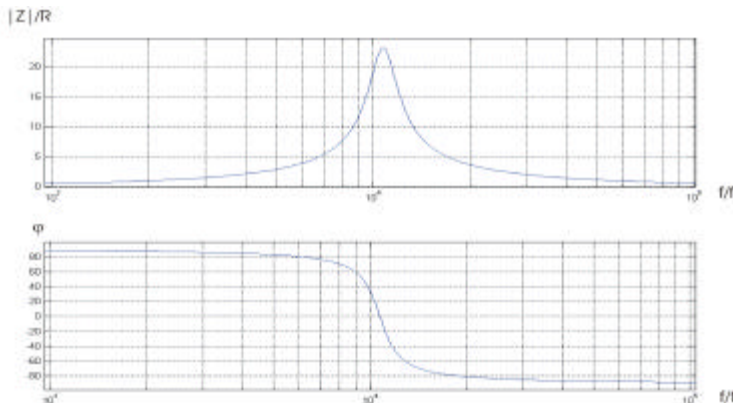
$$Z = \frac{R + j\omega L}{1 + j\omega RC + (j\omega)^2 LC}$$

Um die Resonanzfrequenz des Schwingkreises zu bestimmen, muss der Imaginärteil der komplexen Impedanz eliminiert werden.

Die Resonanzfrequenz ergibt sich so zu  $\omega = \sqrt{\frac{1}{LC} - \frac{R^2}{L^2}} \approx \sqrt{\frac{1}{LC}}$ , weil  $\frac{1}{LC} \gg \frac{R^2}{L^2}$  ist.

Der Frequenzgang der Impedanz, also der auf R normierte Betrag der und die Phase, ist in dem anschließenden Diagramm dargestellt.

Dabei sind folgende Werte gewählt worden:  $L=1\text{mH}$ ,  $C=220\text{nF}$ ,  $R=14\ \Omega$



Wie zu ersehen ist, beträgt die Phase bei Resonanzfrequenz gerade null, d.h. der Imaginärteil der Schwingkreisimpedanz ist gleich null.

Wenn man mit diesem Schwingkreis eine hohe Empfindlichkeit erreichen möchte, muss die Phase einen steilen Nulldurchgang haben. Dies ist der Fall, wenn der Schwingkreis eine hohe Güte besitzt.

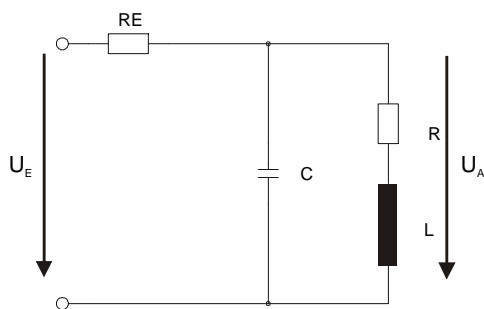
Die Güte ist definiert als Quotient aus Resonanzfrequenz und Bandbreite des Schwingkreises. Bei einem Parallelschwingkreis beträgt die Bandbreite  $B \approx \frac{R}{2\pi L}$ . Das Maximum der Amplitude  $\frac{|Z|}{R}$  fällt um 3dB ab.

In dem hier betrachteten Parallelschwingkreis beträgt die Güte:  $Q = \frac{f_r}{B} \approx \frac{1}{R} \sqrt{\frac{L}{C}} = 4.816$

Mit Hilfe eines kleineren Widerstandes kann die Güte verbessert werden, falls man genauere Messwerte der Resonanzfrequenz erzielen möchte. Weil der Widerstand aber meist durch den Innenwiderstand der Spule festgelegt ist, kann man eine Verkleinerung des Wertes nur mit aktiven Schaltungen realisieren. Eine mögliche Schaltung wäre der NIC („Negativ Impedanz Converter“).

Der Parallelschwingkreis wird nun zu einem komplexen Spannungsteiler, der im Folgenden dargestellten RLC-Messschaltung, erweitert, dessen Resonanzfrequenz dann erreicht ist, wenn die Phasendifferenz von  $U_E$  und  $U_A$  gleich null wird. Die Schwingkreisimpedanz ist dann reell und beträgt:

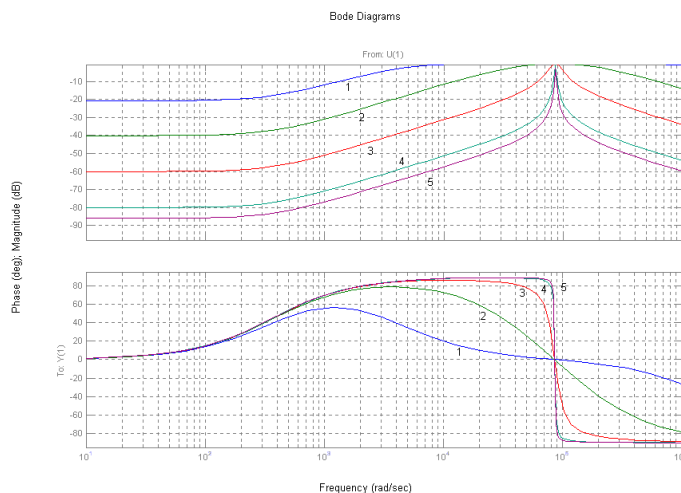
$$Z(\omega_0) = \frac{R^2 + \omega_0^2 L^2}{R}$$



Die Übertragungsfunktion dieser Schaltung lautet:

$$\frac{U_A}{U_E} = \frac{j\omega L + R}{(j\omega)^2 R_E LC + j\omega(L + RCR_E) + R + R_E}$$

In einem Bodediagramm soll die Übertragungsfunktion der Schaltung verdeutlicht werden. Hierbei sind die Werte  $L=2,7$  mH,  $R=1\Omega$ ,  $C=50$  nF und für  $R_E$  die Werte  $10\Omega$ ,  $100\Omega$ ,  $1k\Omega$ ,  $10k\Omega$ ,  $20k\Omega$  gewählt.



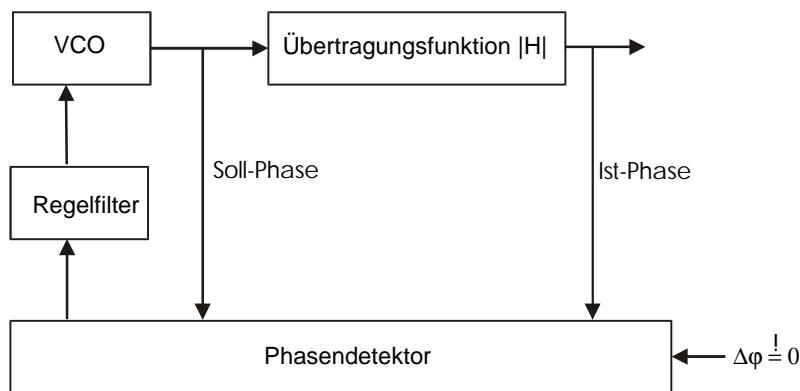
Grafik: Bode-Diagramm der Übertragungsfunktion der Messschaltung. (Zur besseren Verdeutlichung haben  $|H|$  und  $\omega$  hier unterschiedliche Dekadenlängen.)

- 1:  $R_E = 10\Omega$
- 2:  $R_E = 100\Omega$
- 3:  $R_E = 1k\Omega$
- 4:  $R_E = 10k\Omega$
- 5:  $R_E = 20k\Omega$

Man sieht, dass die Güte umso besser erhalten bleibt, je hochohmiger  $R_E$  ist. Die interessierende Phase verläuft für  $R_E=10k\Omega$  und  $R_E=20k\Omega$  bei der hier verwendeten niederohmigen Spule sehr steil.

### Prinzip der phasengesteuerten Schaltung

Um die Resonanzfrequenz der Meßschaltung zu bestimmen, muss die Phase am Ausgang mit der Phase am Eingang übereinstimmen. Dazu soll eine phasengesteuerte Schaltung dienen.

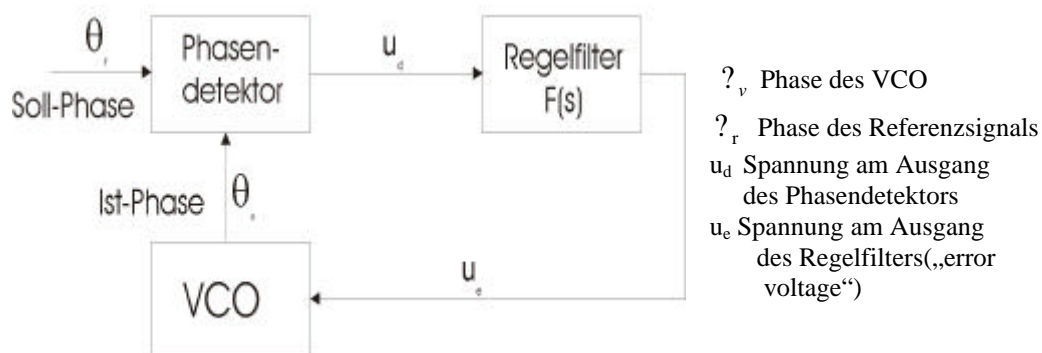


Für die Realisierung der phasen-gesteuerten Schaltung braucht man zunächst einen Oszillator, den man auf verschiedene Frequenzen einstellen kann. Im Handel üblich sind sogenannte VCO's („Voltage Controlled Oscillators“), die entsprechend einer steuernden Eingangsspannung eine bestimmte Frequenz ausgeben. Die Übertragungsfunktion  $|H|$  stellt hier die RLC-Messschaltung dar. Die Soll-Phase wird durch den Phasendetektor mit der Ist-Phase verglichen. Der Phasenunterschied soll eliminiert werden. Weicht die Phase ab, so wird über das Regelfilter mit Hilfe der Verstellung der Frequenz die Phase so nachgeregelt, dass sich die Phasendifferenz verkleinert. Das Regelfilter in der Schaltung ist als Integrierer realisiert, damit es zu keiner statischen Regelabweichung kommt. Zusätzlich wird die Anpassung an die zu steuernde VCO-Ausgangsspannung durch einen im Filter integrierten „Level-Shift“ erfüllt.

Diese Schaltung ist sehr verwandt mit den sogenannten *PLL-Schaltungen* („Phase-Locked-Loops“). Hierbei führt man ein Referenzsignal anstatt des Ausgangssignals der RLC-Messschaltung dem Phasendetektor zu. Der VCO soll nun auf der gleichen Frequenz und mit der gleichen Phase schwingen wie das Referenzsignal. Aufgrund der Ähnlichkeit der Schaltungen soll im Folgenden zunächst auf die Theorie der *PLL-Regelkreise* vorgestellt werden.

### Der PLL-Regelkreis

Grundschiung eines Phasenregelkreises:



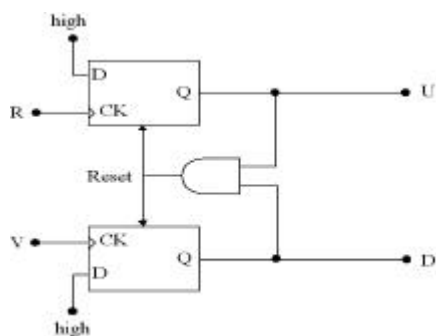
Ein PLL-Regelkreis heißt eingerastet, wenn die Differenz zwischen der Soll-Phase und der Ist-Phase verschwindet, bzw. nur ein statischer Fehler verbleibt.

Es gilt also :

$$\Delta q = q_r - q_v = q_{stat} + q_e$$

### Digitale Phasendetektoren

Um den statischen Fehler zu vermeiden, verwendet man sogenannte digitale Phasendetektoren. Im einfachsten Falle besteht dieser aus zwei Flip-Flops und einem „AND-Gatter“.



Wenn eine positive Signalflanke am Eingang „R“ auftritt, so wird der „U“-Ausgang auf logisch „high“ gesetzt. Dieser verbleibt solange in dem Zustand, bis eine positive Flanke am Eingang „V“ auftritt. Diese setzt kurzzeitig den „D“- Ausgang auf logisch „high“, so dass das „AND-Gatter“ ein „Reset“ an den Flip-Flops ausführt. Danach befindet sich die Schaltung wieder im Ausgangszustand. Durch analoge Differenzbildung der beiden Ausgänge wird ein Ausgangssignal gebildet. Wenn man die Ausgangsimpulse mittelt, ergibt sich zur Phasendifferenz der Eingänge eine proportionale Ausgangsspannung.

## Messungen

Um die aufgebaute Schaltung zu testen, wird diese mit einer 2,7mH Luftspule betrieben. Die Luftspule hat den Vorteil, dass sie nur einen kleinen Innenwiderstand von  $1\Omega$  hat, und so der Resonanzschwingkreis über eine hohe Güte verfügt. Hieran angeschlossen werden parallelgeschaltet 10nF Styroflex Kondensatoren. So lässt sich die Schaltung in ihrem Arbeitsbereich mit Kapazitäten von 20-110 nF testen.

Sogenannte Styroflex-Kondensatoren haben als Dielektrikum eine Kunststoffolie aus Polystrol. Sie zeichnen sich durch geringste frequenz- und temperaturabhängige Verluste und durch ihre Kapazitätskonstanz aus. So haben die hier verwendeten Kondensatoren nur eine Toleranz von  $\pm 1\%$ .

Um die hier zu testende Schaltung auf ihre Genauigkeit hin überprüfen zu können, werden die verwendeten Kapazitäten zusätzlich mit einem hochgenauen RLC-Meter von Hewlett-Packard gemessen. Bei dieser Messung sind die Kondensatoren genauso räumlich angeordnet wie später in der Testschaltung.

Diese Werte dienen als Referenz zu den gemessenen Kapazitätswerten, die sich aus der Resonanzfrequenz

berechnen lassen:

$$C = \frac{1}{4p^2 f^2 L}$$

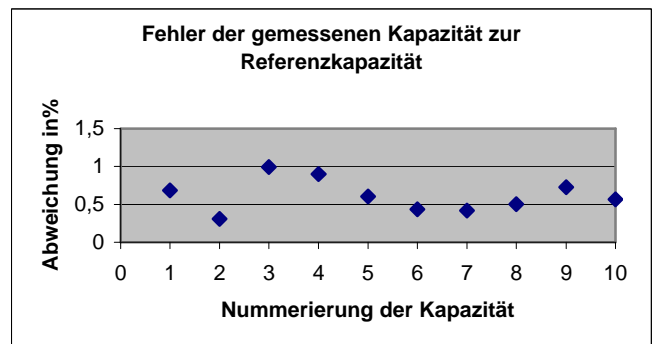
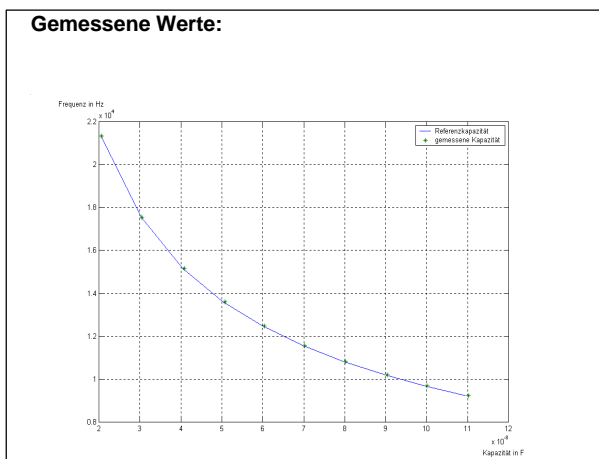
Die Bestimmung der Frequenz des Resonanzschwingkreises erfolgt mit einem Universal Counter von Kontron Messtechnik (Modell 6020).

Die Referenzkapazität wird nun mit der gemessenen Kapazität verglichen. Daraus errechnet sich dann der

Fehler:

$$e = \frac{\text{Gemessene Kapazität} - \text{Referenzkapazität}}{\text{Referenzkapazität}} \cdot 100\%$$

Es ergeben sich folgende Diagramme:



Wie auf dem rechten Diagramm zu sehen ist, sind die Messwerte mit einem kleinen Offsetfehler versehen, der sich z.B. durch die nicht kalibrierte Spule etc. ergibt. Nach dessen Korrektur liegen die Abweichungen nur noch im Promillebereich, was für eine analoge Schaltung akzeptabel ist.

## Danksagung

Herrn Dr. Nowack danke ich sehr für die Idee und die Unterstützung bei dieser Arbeit.

## Literatur

Roland Best : Theorie und Anwendung des Phase-locked Loops, AT-Verlag 1987

Floyd M.Gardner: Phaselock Techniques, John Wiley 1966

Burkhard Schiek: Grundlagen der Hochfrequenz-Messtechnik, Springer Verlag 1999





**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik

Ruhr  
University  
Bochum



## **Zukünftige Probleme der angewandten Kryptographie**

SEI Herbsttagung, Bochum  
24.9.2003

Prof. Dr.-Ing. Christof Paar  
Lehrstuhl für Kommunikationssicherheit  
Ruhr-Universität Bochum  
[www.crypto.rub.de](http://www.crypto.rub.de)



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## **Contents**

1. Past and Future of Communication Security
2. What are Embedded Systems?
3. What is Pervasive Computing??
4. Security in Pervasive Applications
5. Related Activities at the HGI

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Contents

1. **Past and Future of Communication Security**
2. What are Embedded Systems?
3. What is Pervasive Computing??
4. Security in Pervasive Applications
5. Related Activities at the HGI

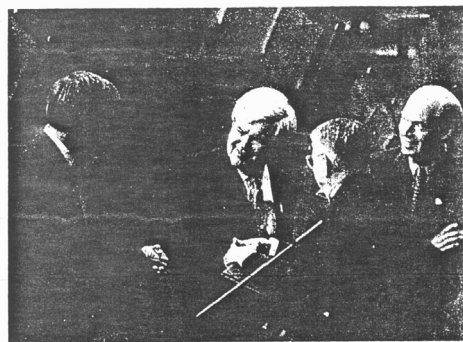
SEI Herbsttagung, 24.9.2003

## Do we really need security?

### New York Times

NEW YORK, FRIDAY, JANUARY 10, 1997

\$1 beyond the greatest New York metropolitan



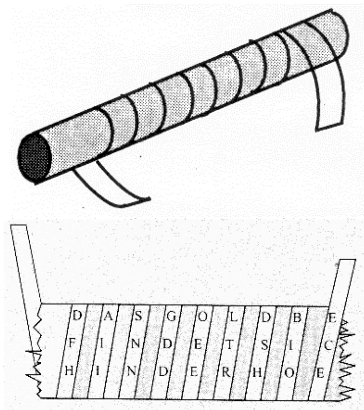
Newt Gingrich greeting House members yesterday before the final count of the Electoral College.

#### Gingrich Is Heard Urging Tactics in Ethics Case

By ADAM CLYMER  
WASHINGTON, Jan. 9 — On the  
Lawyers for Speaker  
future," since the subcommittee had  
not yet even voted on the charges  
against Mr. Gingrich. Neverthe-



## Cryptography, ca. 500 B.C



**Skytale of Sparta**

SEI Herbsttagung, 24.9.2003



## Cryptography, ca. 1940



**German Enigma**  
(Polish, British & US break crucial for allied victory in WWII)

SEI Herbsttagung, 24.9.2003



## Cryptography, ca. 1990



### Smart card for banking applications

SEI Herbsttagung, 24.9.2003



## Cryptography, ca. 2000



### Electronic road toll

Cryptography:

- prevents cheating **by** drivers
- protects privacy **of** drivers

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Cryptography, ca. 2010

?

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Contents

1. Past and Future of Communication Security
- 2. What are Embedded Systems?**
3. What is Pervasive Computing??
4. Security in Pervasive Applications
5. Related Activities at the HGI

SEI Herbsttagung, 24.9.2003



## What are Embedded Systems?

- „A computer that doesn't look like a computer“, or
- Processor hidden in a product



+



=

Embedded System

SEI Herbsttagung, 24.9.2003



## Characteristics of Embedded Systems

- Single purpose device



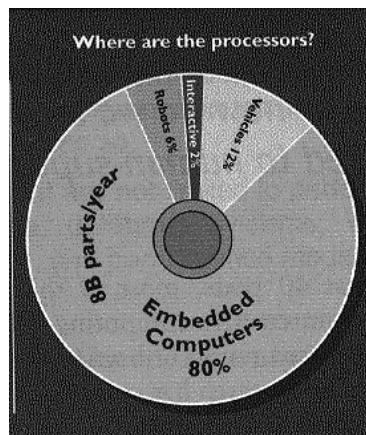
- Not general purpose like PC!
- Interacts with the world
- No (or primitive) user interface

SEI Herbsttagung, 24.9.2003



## Is this really Important?

Depends on your viewpoint, but: CPUs sold in 2000



SEI Herbsttagung, 24.9.2003



## Contents

1. Past and Future of Communication Security
2. What are Embedded Systems?
- 3. What is Pervasive Computing??**
4. Security in Pervasive Applications
5. Related Activities at the HGI

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Characteristics of Traditional IT Applications

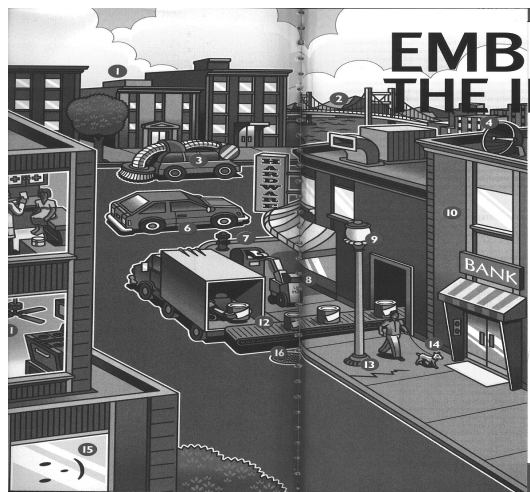
- Mostly based on interactive (= traditional) computers
- „One user – one computer“ paradigm
- Static networks
- Large number of users per network

Q: How will the IT future look?

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



SEI Herbsttagung, 24.9.2003





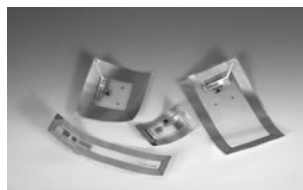
## Examples for Pervasive Computing

- PDAs, 3G cell phones, ...
- Living spaces will be stuffed with nodes (audio/video)
- Refrigerators will communicate
- as will milk bottles
- Smart sensors in infrastructure (windows, roads, bridges, etc.)
- Wearable computers (clothes, eye glasses, etc.)
- "Smart Dust"
- *Smart bar codes (autoID)*
- ...

SEI Herbsttagung, 24.9.2003



## Pervasive Computing Case Study I: Radio Frequency ID (RFID)



- Smart tags with receiver & some processing
- Many applications in logistics, consumer products, ...

- MIT's AutoID Center:  
smart bar codes
- 500-10<sup>9</sup> bar codes  
scans **per day**
- Cost goal: 5 cents



SEI Herbsttagung,



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Contents

1. Past and Future of Communication Security
2. What are Embedded Systems?
3. What is Pervasive Computing??
- 4. Security in Pervasive Applications**
5. Related Activities at the HGI

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Security and Economics of Pervasive Applications

- „One-user many-nodes“ paradigm (e.g.  $10^2$ - $10^3$  processors per human)
- Many new applications we don't know yet
- Very high volume applications
- Very cost sensitive
- People won't be willing to pay for security per se
- People won't buy products without security

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Security Concerns in Pervasive Applications

- Often wireless channels  $\Rightarrow$  vulnerable
- Hacking into home devices, cars, ...
- Pervasive nature and high-volume of nodes increase risk potential (multitude of devices around us could be attacked)
- Privacy issues (medical sensors, monitoring of home activities, etc.)
- Stealing of services (sensors etc.)

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Do We Really Need Cryptography in Pervasive Applications?

- Crypto ops for identification is fundamental for embedded security
- Almost all ad-hoc protocols (even routing!) require crypto ops *for every hop*
- At least symmetric alg. are needed
- Asymmetric alg. allow fancier protocols

**$\rightarrow$  Embedded crypto is enabling technology for pervasive applications.**

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Contents

1. What are Embedded Systems?
2. What is Pervasive Computing??
3. Brief Introduction to Modern Cryptography
4. Security in Pervasive Applications
- 5. Related Activities at the HGI**

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



**Center for Excellence in IT Security  
„EUROBITS“**



**Horst Görtz Institut  
für IT Sicherheit**

+

**GITS AG**

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## Horst Görtz Institut for IT Security

Chair for  
IT Security & Cryptogr.  
Prof. Dr. Hans Dobbertin

Chair for  
Communication Security  
Prof. Dr. Christof Paar

Chair for  
Network Security  
Prof. Dr. Jörg Schwenk

Institute for E-Business Security

7 Chairs in Economics

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der informationstechnik

Ruhr  
University  
Bochum



## HGI by the numbers

- founded in 2001
- 5 technical faculty (ECE, math)
- 7 business faculty
- ≈ 25 PhD students
- 5 years program „Dipl.-Ing. IT Security“
- 2 years program „Master's in IT Security“
- 4-5 workshops/conferences annually
- interdisciplinary: ECE, math, business, social science

## HGI Research: Embedded Security

1. **Lightweight Cryptography**
  - Ex: Public-Key algorithms on embedded uP and FPGAs
2. **Side channel attacks against smart cards**
  - Ex: New collision attack against DES, AES, ...
3. **Security in ad-hoc networks**
  - Ex: New protocol family
4. **Contents protection in embedded application**
  - Digital rights management for geo data
5. **New application domains**
  - Embedded security in cars
  - Embedded security in geoinformation systems



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



## HGI Research: General IT-Security

1. **IT Security and business**
  - Ex: ITS in the automobil manufacturing supply chain
2. **Society and IT security**
  - Ex: Interdependencies of critical infrastructures.

SEI Herbsttagung, 24.9.2003



**Horst Görtz Institut**  
für Sicherheit in der Informationstechnik



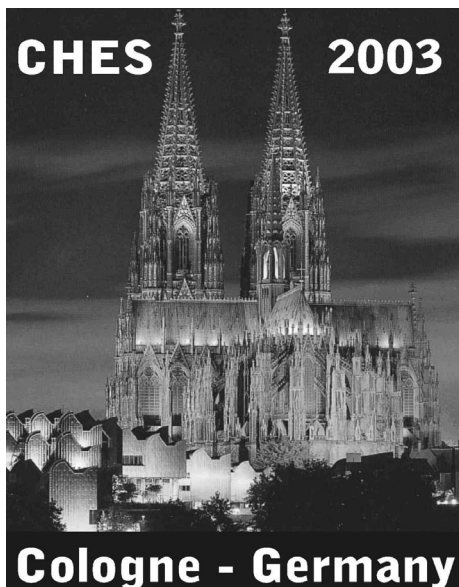
## Related HGI Events

(see also [www.crypto.rub.de](http://www.crypto.rub.de))

- Workshop **Side Channel Attacks on Smart Cards**  
January 2003
- Conference **ESCAR (Embedded Security in Cars)**  
November 2003
- Workshop **How Secure is the Advanced Encryption Standard AES?**  
Spring 2004
- and, of course, **CHES**

SEI Herbsttagung, 24.9.2003

## Cryptographic Hardware and Embedded Systems



Sept. 7-10  
2003

[chesworkshop.org](http://chesworkshop.org)

# Publik-Key Kryptographie in eingebetteten Systemen: Eine Einführung

Thomas Wollinger

Fakultät für Elektrotechnik und Informationstechnik

Horst Görtz Institut für IT-Sicherheit

Ruhr-Universität Bochum, Germany

wollinger@crypto.rub.de

## Abstract

Informations- und Kommunikationstechnik nimmt eine ständig wachsende Rolle ein. Es wird vielfach angenommen, dass die nächste Revolution in der IT-Landschaft durch die Vernetzung von eingebetteten Systemen erfolgen wird. In solche Computeranwendungen wird IT-Sicherheit eine extrem wichtige Rolle spielen. Der vorliegende Artikel soll einen Überblick über die Security-Services geben, die die moderne Kryptographie bieten. Desweiteren werden einige relevante Ergebnisse im Bereich von Publik-key-Kryptoverfahren in eingebetteten Umgebungen dargestellt.

## 1 Einleitung

In den letzten Jahrzehnten hat die Vernetzung von Computern (z.B. Internet) die Kommunikation in vielen Lebensbereichen dramatisch beeinflusst. Folge hiervon ist, dass Geschäftsabläufe, private Kommunikation, Interaktion zwischen Bürgern und öffentlicher Verwaltung u.v.a.m. eine revolutionäre Veränderungen erfahren haben. Hierdurch sind viele neue Sicherheitsprobleme, beispielhaft seien hier Anonymität, Identitätsdiebstahl, Computerviren, Schutz digitaler Inhalte etc. genannt, entstanden. Fakt ist, dass noch eine Reihe offener Fragen in dem Bereich der IT-Sicherheit zu lösen sind insbesondere bezüglich der praktischen Umsetzung von IT-Sicherheitslösungen. Einige der Sicherheitsprobleme sind prinzipiell gelöst und es stehen zahlreiche Produkte zur Verfügung.

Die bevorstehende Revolution in der IT-Landschaft ist die Vernetzung von eingebetteten Systemen. Diese ganz spezielle Anwendung von "Mini-Computer" und die damit verbundene IT-Sicherheitsproblematik wird in diesem Artikel näher erläutert. Hierzu werden im Kapitel 2 die Eigenschaften der eingebetteten Systeme erläutert. Im Kapitel 3 werden die Security-Services erläutert, die mit den modernen kryptographischen Algorithmen erzielt werden können. Vorherige und neueste Forschungsergebnisse im Bereich der Implementierung von Public-Key Algorithmen auf eingebetteten Systemen werden in Kapitel 4 dargestellt. Abschließend folgt eine Zusammenfassung.

## 2 Eingebetteten Systemen

Man bezeichnet ein Gerät als ein "eingebettetes System", wenn die folgenden Eigenschaften vorliegen:

- Das Gerät ist im Wesentlichen für eine Anwendung konzipiert (z.B. Waschmaschine, Mobiltelefon, Uhr, Automobil).
- Das Gerät ist mit "Intelligenz", d.h. mit einem Rechner, ausgestattet.
- Die Rechnerfunktionalität ist nicht sichtbar für den Benutzer, d.h. es gibt keine klassischen Computer-Benutzerschnittstellen wie Bildschirm oder Tastatur.
- Das Gerät ist nicht frei programmierbar.

Aus dieser Definition ergibt sich, dass praktisch alle (Alltags-) Geräte, die mit einem Mikroprozessor ausgestattet sind, als eingebettete Systeme zu betrachten sind. Die Bedeutung dieses Bereichs wird



oft dramatisch unterschätzt, kann aber leicht an dem folgenden Fakt verdeutlicht werden: Im Jahr 2000 wurden nur 2% Prozent aller hergestellten Mikrorechner in interaktiven, d.h. herkömmlichen, Computern verwandt, während die restlichen 98% in eingebetteten Anwendungen eingesetzt wurden [EGH00]. Dieses Verhältnis wird plausibel, wenn man bedenkt, dass in Automobilen des oberen Preissegments schon heute bis zu 80 Mikrorechner eingebaut sind.

Einführend sollte klargestellt werden, dass sich die eingebettete Sicherheit im allgemeinen stark von der IT-Sicherheitsproblematik in Computernetzen (LAN-, Internet-, VPN-Sicherheit) unterscheidet. Die Letztere ist relativ vertraut und es stehen Lösungen wie beispielsweise Verschlüsselungssoftware, Firewalls, Intrusion Detection Systeme u.a. zur Verfügung. Wenn wir die hier vorliegende Problematik der eingebetteten Sicherheit betrachten, wird deutlich, dass die genannten Lösungen aus der Welt der Computernetze zum großen Teil nicht übertragbar sind. Für eine grundlegende Einführung in das Gebiet der eingebetteten Sicherheit sei das unlängst erschienene Buch von Ross Anderson empfohlen [And01]. Die Sicherheit von eingebetteten Systeme unterscheiden sich im Wesentlichen von den herkömmlichen Sicherheit in Computernetzen durch die Ressourcenbeschränkung, Seitenkanalattacken, Reverse Engineering, beschränkte Wartungsmöglichkeiten und Systemkomplexität.

### 3 Security-Services

Kryptographie ist die Wissenschaft, welche sich mit der Absicherung von Nachrichten beschäftigt. Die Kryptanalyse hingegen versucht Chiffretext aufzubrechen, d.h. dessen geheimen Inhalt zu lesen. Um den sicheren Austausch von Daten zu ermöglichen benötigen wir zwei Arten von Algorithmen: Symmetrische (secret key oder single key) Algorithmen und Public-Key (asymmetrische) Algorithmen. Bei symmetrischen Algorithmen verwenden Sender und Empfänger den gleichen Schlüssel, welche diese vor der Kommunikation vereinbaren. Wichtige Vertreter dieser Algorithmengruppe sind DES [NIS77, ANS81] und AES [NIS]. Im Falle der Public-Key Algorithmen unterscheiden sich die Chiffrier- und Dechiffrierschlüssel. Für die Praxis relevant sind drei Algorithmusfamilien: Algorithmen basierend auf dem *Integer Faktorisierungsproblem* (z.B. RSA [RSA78]), dem *diskreten Logarithmusproblem* (DLP) (z.B. DSA) und *elliptische Kurven* (EC [Kob87, Mil86]). Ein grosser Nachteil ist, dass alle Familien extrem arithmetikintensiv sind. Typischerweise erfordern die Verfahren Operanden der Länge 1024–2048 Bit für RSA und dem DLP, und 160–256 Bit für EC. Eine Verallgemeinerung von EC, sog. hyperelliptische Kurven [Kob88], benötigen lediglich Operanden von 40–128 Bit.

Die Kryptographie mit den vorhandenen kryptographischen Primitiven, wird in der Praxis nicht nur für die Geheimhaltung von Daten eingesetzt. In der folgenden Auflistung werden kurz die Security-Services dargestellt, die mit den oben aufgeführten Algorithmengruppen erreicht werden können:

- **Geheimhaltung:** Die Informationen werden gegenüber nicht autorisierten Personen geheim gehalten. Ein Angreifer hat somit nicht die Möglichkeit, die Nachrichten zu lesen.
- **Integrität:** Der Empfänger sollte überprüfen können, ob eine Nachricht bei der Übermittlung verändert wurde. Im Folgeschluss darf es einem Angreifer nicht gelingen, die Nachricht unbemerkt zu fälschen.
- **Authentifizierung:** Der Empfänger einer Nachricht sollte in der Lage sein zu überprüfen von wem die Nachricht gesandt wurde, d.h. einem Angreifer sollte es nicht möglich sein, sich als eine andere Person auszugeben.
- **Identifikation:** Bei der Identifikation handelt es sich um Feststellung der Identität einer Person oder einer Einheit, wie z.B. eines Computers oder einer Kreditkarte.
- **Verbindlichkeit (Non-repudiation):** Ein Sender sollte nicht leugnen können, dass er eine Nachricht gesandt hat.

### 4 Asymmetrische Verfahren in eingebetteten Umgebungen

Ein Großteil der aktuellen Forschung konzentriert sich auf die Entwicklung effizienter Algorithmen für kryptographische Anwendungen. Leider gibt es nur wenige Publikationen, in denen die schnelle Implementierung von Kryptosystemen auf speziellen Plattformen wie z.B. eingebetteten Prozessoren untersucht

wird. Solche eingebettete Systeme werden in kostensensitiven Applikationen eingesetzt, wo neben dem geringen Preis des Prozessors oftmals auch ein minimaler Energieverbrauch wünschenswert ist. Demgegenüber steht die durch die Anwendung einzuhaltende maximale Ausführungszeit des zu implementierenden Algorithmus. Die zentrale Aufgabe ist es daher, einen bestmöglichen Kompromiss zwischen allen genannten Eigenschaften zu treffen.

Die Forschung in dem Bereich der effizienten Algorithmen für kryptographische Anwendungen ist sehr aktiv. Allerdings enthalten die meisten Publikationen plattformunabhängige Ergebnisse und nur wenige Veröffentlichungen untersuchen die schnelle Implementierung auf speziellen Plattformen.

In [Bar86] wird die Implementierung von 512-Bit RSA auf einem DSP (TI-TMS32010) vorgestellt. Eine Exponentiation dauert im Durchschnitt 2.6 Sekunden bei einer Taktfrequenz von 20 MHz. [DK90] beschreibt eine RSA-Realisierung auf einem Motorola DSP56000 mit 20 MHz. Unter Verwendung des Chinesischen Restwertsatzes (CRS) wird ein Datendurchsatz von 11.6 KBits/s erreicht. Ohne CRS erreicht die Implementierung einen Durchsatz von 4.6 KBits/s.

Die Veröffentlichung [HNM98] schildert die Umsetzung von ECDSA über endlichen Körpern  $GF(p)$  auf einem 16-Bit Mikrocomputer (M16C) mit 10MHz. Unter Verwendung eines festen Punktes kann die sehr spezielle Implementierung durch Vorausberechnungen eine ECDSA Signatur in 150 Msek. erzeugen. Wird ein zufälliger Punkt der Kurve gewählt, dauert das Erstellen der Signatur 480 Msek. Die Verifikation nimmt in beiden Fällen 630 Msek. in Anspruch.

Der Beitrag [ITT<sup>+</sup>99] stellt mehrere Methoden zur Realisierung asymmetrischer Algorithmen auf einem (rechenstarken) DSP (TI-TMS320C6201, 200 MHz) vor. Eine 1024-Bit RSA Signatur kann in 11,7 ms und eine Verifikation in 1,2 ms erreicht werden. 192-Bit ECDSA Signaturen dauern 1.67 ms, Verifikationen 6.28 ms.

Im Gegensatz zu den leistungsstarken Signalprozessoren sind Implementierungen auf 8 Bit Mikrocontrollern eine wahre Herausforderung, wenn akzeptable Laufzeiten erreicht werden sollen. Die beste Zeit auf dem (stark verbreiteten) 8051 Mikroprozessor ohne Coprozessor wird in [WBP00] beschrieben. Es werden Zeiten von 1,95 s für eine 134-Bit Punktmultiplikation mit Vorausberechnungen und 8,37 s für die gleiche Operation mit einem zufälligen Punkt erreicht.

Der Motorola Dragonball mit 16 MHz (populär in Palmpilots u.ä.) zählt zu den Prozessoren im mittleren Leistungssegment. [WPS01] stellt eine Implementierung von ECC unter Verwendung von sog. Koblitzkurven auf dem Dragonball vor. Eine ECDSA Signatur ist in weniger als 0,9 s und eine Verifikation in weniger als 2,4 s möglich. [GBKP01] beschreibt eine weitere low-cost EC Implementierung auf einem 16-Bit DSP (TI-MSP430x33x) mit einer Taktgeschwindigkeit von 1 MHz. Den Forschern ist es gelungen, auf diesem Mikrokontroller eine EC Punktmultiplikation in 3.4 Sekunden ohne Vorberechnung durchzuführen.

Spezielle Erweiterungskörper, sogenannte *Optimal Extension Fields* (OEF), ermöglichen durch Anpassung der Körperstruktur an die Wortgröße des Prozessors schnelle Körperarithmetik. Die Referenz [CSL00] berichtet von einer ECC Implementierung auf einem 8-Bit Prozessor über einem Körper mit 160 Bit. Es wird eine Laufzeit von 122 Msek. für eine 160-Bit Punktmultiplikation auf einem CalmRISC bei 20 MHz (mit Coprozessor) erreicht.

Hyperelliptische Kurven sind potentiell noch besser für eingebettete Anwendungen geeignet als elliptische Kurven, da Berechnungen mit Zahlen erfolgen können, die nur 40–80 Bit lang sind. Der Nachteil von HEC liegt in der gegenüber EC erheblich komplexeren Arithmetik, d.h. es müssen für eine Gruppenoperation mehr Berechnungen über dem Grundkörper durchgeführt werden. Aus diesem Grund hielt man bisher das hyperelliptische Kryptosystem dem elliptischen Kryptosystem in punkto Geschwindigkeit für unterlegen. Uns ist es gelungen, die Anzahl der Berechnungen für spezielle HECC um über 50% des zuvor bekannten Wertes zu senken [PWGP03, PWP03a, PWP03b].

In [WPW<sup>+</sup>03] haben wir eine intensive Analyse verschiedener HECC Algorithmen auf mehreren, derzeit für die Praxis relevanten eingebetteten Prozessoren durchgeführt. Die Dauer einer Publik-Key Operation (Gruppenordnung  $\approx 2^{160}$ ) beträgt auf dem PowerPC@50MHz 84.9 Msek., auf dem ARM7@50MHz 316.6 Msek. und auf dem ColdFire@90MHz 123.6 Msek. Die Implementierungen dieser Arbeit verdeutlichen die praktische Relevanz hyperelliptischer Kryptosysteme. Außerdem wurde der Einfluss der Prozessorarchitektur (CPU, Cache, RAM etc.) analysiert. Im Falle des PowerPCs konnte der Durchsatz durch

die Benutzung des Cache um einen Faktor 8 gesteigert werden. Desweiteren wurden in [WPW<sup>+</sup>03] zwei unterschiedliche Arten der Implementierung vorgestellt: Für beliebige und spezielle Eingabeparameter (Kurven, Körper usw.). Die Erste Variante ist um 50% ineffizienter als die spezielle Implementierung, hat aber Vorteile in einer flexiblen Umgebung.

Tabelle 1 zeigt einen Teil unserer aktuellen Ergebnisse für die Laufzeiten einer Skalarmultiplikation mit HECC auf einem ARM7 Prozessor [PWP03a, PWGP03].

**Table 1:** Hyperelliptische Kurven auf dem ARM7TDMI@80MHz

Geschlecht	Körper	Gruppenordnung	Add. [ $\mu$ s]	Verdoppel. [ $\mu$ s]	Punktmult. [ $ms$ ]
4	$\mathbb{F}_{2^{40}}$	$2^{160}$	1315	740	172.43
3	$\mathbb{F}_{2^{54}}$	$2^{162}$	615	212	61.45
2	$\mathbb{F}_{2^{81}}$	$2^{162}$	471	296	69.06

Unsere Untersuchungen zeigen weiterhin, dass hyperelliptische Kurven bei geeigneter Parameterwahl elliptischen Kurven überlegen sein können. In [PWGP03] stellen wir eine eine Metrik vor, um im Vorfeld einer Implementierung die relative Effizienz der verschiedenen Algorithmen auf speziellen Prozessoren abschätzen zu können.

## 5 Zusammenfassung

Zusammenfassend kann gesagt werden, dass wir schon jetzt von eingebetteten Systemen umgeben sind. Eine Vision ist, dass die nächste IT-Revolution in der Vernetzung solcher Systeme besteht. Sobald dies erfolgt wird das Thema der Absicherung solcher System von großer Bedeutung sein. Heutige und zukünftige Einsatzgebiete sind z.B. Automobile, ad-hoc Netze, Mobilfunk, Geoinformationsanwendungen, "wearable" Computer, intelligente Räume und so weiter.

Um das Sicherheitsrisiko in diesem Bereich zu reduzieren, ist es von besonderer Bedeutung, die entsprechenden Sicherheitsmechanismen richtig einzusetzen. Wichtige kryptographische Primitive sind in diesem Zusammenhang die sogenannten Public-key Algorithmen. Die schnelle Implementierung dieser Algorithmengruppe auf eingebetteten System ist sehr entscheidend für den praktischen Einsatz solcher Systeme. Die Fortschritte in diesem Bereich wurden anhand unserer neuesten Ergebnisse erläutert. Uns war es möglich, die Komplexität der Berechnung von Public-key Algorithmen basierend auf hyperelliptischen Kurven um 50% zu senken. Desweiteren haben wir die Berechnung diese Verschlüsselungssysteme auf für die Praxis relevanten eingebetteten Prozessoren durchgeführt.

## References

- [And01] R. Anderson. *Security Engineering: A Guide to Building Dependable Distributed Systems*. John Wiley and Sons, 2001.
- [ANS81] ANSI X3.92-1981. *Data Encryption Algorithm*. ANSI, 1981.
- [Bar86] P. Barrett. Implementing the Rivest Shamir and Adleman Public Key Encryption Algorithm on a Standard Digital Signal Processor. In A. M. Odlyzko, editor, *Advances in Cryptology – CRYPTO '86*, volume LNCS 263, pages 311–323, Berlin, Germany, August 1986. Springer-Verlag.
- [CSL00] Jae Wook Chung, Sang Gyoo Sim, and Pil Joong Lee. Fast Implementation of Elliptic Curve Defined over  $GF(p^m)$  on CalmRISC with MAC2424 Coprocessor. In Çetin K. Koç and Christof Paar, editors, *Workshop on Cryptographic Hardware and Embedded Systems – CHES 2000*, pages 57–70, Berlin, 2000. Springer-Verlag.
- [DK90] S. R. Dussé and B. S. Kaliski. A Cryptographic Library for the Motorola DSP56000. In I. B. Damgård, editor, *Advances in Cryptology – EUROCRYPT '90*, volume LNCS 473, pages 230–244, Berlin, Germany, May 1990. Springer-Verlag.
- [EGH00] D. Estrin, R. Govindan, and J. Heidemann. Embedding the Internet. *Communications of the ACM*, 43(5):39–41, May 2000.

- [GBKP01] J. Guajardo, R. Bluemel, U. Krieger, and C. Paar. Efficient Implementation of Elliptic Curve Cryptosystems on the TI MSP430x33x Family of Microcontrollers. In K. Kim, editor, *Fourth International Workshop on Practice and Theory in Public Key Cryptography - PKC 2001*, volume LNCS 1992, pages 365–382, Berlin, February 13-15 2001. Springer-Verlag.
- [HNM98] Toshio Hasegawa, Junko Nakajima, and Mitsuru Matsui. A Practical Implementation of Elliptic Curve Cryptosystems over  $GF(p)$  on a 16-bit Microcomputer. In Hideki Imai and Yuliang Zheng, editors, *First International Workshop on Practice and Theory in Public Key Cryptography — PKC'98*, volume LNCS 1431, pages 182–194, Berlin, 1998. Springer-Verlag.
- [ITT+99] K. Itoh, M. Takenaka, N. Torii, S. Temma, and Y. Kurihara. Fast Implementation of Public-Key Cryptography on a DSP TMS320C6201. In Çetin K. Koç and Christof Paar, editors, *Proceedings of the First Workshop on Cryptographic Hardware and Embedded Systems — CHES'99*, volume LNCS 1717, pages 61–72, Berlin, Germany, August 1999. Springer-Verlag.
- [Kob87] N. Koblitz. Elliptic curve cryptosystems. *Mathematics of Computation*, 48:203–209, 1987.
- [Kob88] N. Koblitz. A Family of Jacobians Suitable for Discrete Log Cryptosystems. In Shafi Goldwasser, editor, *Advances in Cryptology - Crypto '88*, volume 403 of *Lecture Notes in Computer Science*, pages 94 – 99, Berlin, 1988. Springer-Verlag.
- [Mil86] V. Miller. Uses of elliptic curves in cryptography. In H. C. Williams, editor, *Advances in Cryptology — CRYPTO '85*, volume LNCS 218, pages 417–426, Berlin, Germany, 1986. Springer-Verlag.
- [NIS] NIST. Advanced encryption standard. At <http://www.nist.gov/aes>.
- [NIS77] NIST FIPS PUB 46-3. *Data Encryption Standard*. Federal Information Processing Standards, National Bureau of Standards, U.S. Department of Commerce, 1977.
- [PWGP03] J. Pelzl, T. Wollinger, J. Guajardo, and C. Paar. Hyperelliptic Curve Cryptosystems: Closing the Performance Gap to Elliptic Curves. In Ç. K. Koç and C. Paar, editors, *Workshop on Cryptographic Hardware and Embedded Systems — CHES 2003*. Springer-Verlag, 2003.
- [PWP03a] J. Pelzl, T. Wollinger, and C. Paar. Low Cost Security: Explicit Formulae for Genus-4 Hyperelliptic Curves. In *Tenth Annual Workshop on Selected Areas in Cryptography — SAC 2003*. Springer-Verlag, 2003.
- [PWP03b] Jan Pelzl, Thomas Wollinger, and Christof Paar. High performance arithmetic for hyperelliptic curve cryptosystems of genus two. *Cryptology ePrint Archive*, Report 2003/212, 2003. <http://eprint.iacr.org/>.
- [RSA78] R. L. Rivest, A. Shamir, and L. Adleman. A Method for Obtaining Digital Signatures and Public-Key Cryptosystems. *Communications of the ACM*, 21(2):120–126, February 1978.
- [WBP00] A. Woodbury, D. V. Bailey, and C. Paar. Elliptic curve cryptography on smart cards without coprocessors. In *IFIP CARDIS 2000, Fourth Smart Card Research and Advanced Application Conference*, Bristol, UK, September 20–22, 2000. Kluwer.
- [WPS01] A. Weimerskirch, C. Paar, and S. Chang Shantz. Elliptic Curve Cryptography on a Palm OS Device. In V. Varadharajan and Y. Mu, editors, *The 6th Australasian Conference on Information Security and Privacy — ACISP 2001*, volume LNCS 2119, pages 502–513, Berlin, 2001. Springer-Verlag.
- [WPW+03] T. Wollinger, J. Pelzl, V. Wittelsberger, C Paar, G. Saldamli, and Ç. K. Koç. Elliptic & hyperelliptic curves on embedded  $\mu\text{p}$ . *ACM Transactions in Embedded Computing Systems (TECS)*, 2003. Special Issue on Embedded Systems and Security.

# Advanced Control Strategies for anode baking furnaces in the primary aluminium smelter industry – benefits and results

Detlef Maiwald\*,  
innovatherm GmbH+Co.KG\*  
35510 Butzbach  
Germany

## Abstract

In the primary smelters, a lot of open pit baking furnaces are already a long time in operation for the production of anodes. Many of these furnaces are still manually controlled or just have a very basic automation. Due to this situation the fuel efficiency can be poor and the pollution control according to CO, NOx and unburned carbon emissions may not satisfy the environmental authorities.

With the introduction of an advanced firing and control system the fuel efficiency, the quality consistency and the productivity can be highly improved. Advanced control algorithms using the “Flooding Index Module” and the “Firing Index Module” ensure the maximum combustion of the volatile components and increase directly the fuel efficiency. A non parametric neural network model reproduces the basic structure of the specific furnace. On-line test sequences adapts this structure to the actual flue situation and baking condition.

The on-line prediction of the anode temperature by a dynamical model is used for the supervision of critical temperature gradients in the anode during pitch burn and for fine tuning of the “Firing Index Module” to the final baking temperature.

Special instrumentation like IR-sensors can cut the running costs for consumables tremendously. The use of opacity meters increase the safety and reliability of the system.

## General

The anode baking process is running basically as a two convection heat exchanger with a firing zone in between, thus forming three areas. These areas are the preheat, firing and cooling area. Therefore, the basic requirement of the Firing Control System is to control each flue of a fire in these three areas.

The baking process is determined by a temperature-versus-time function relating to the anodes. The heating effect is determined by the temperature-against-time curves of the flues and is realized by a set of equipment called a ”fire” which is moved around the furnace.

Since the anode is stationary during a fire move, all three areas (preheat-, firing-and cooling area) define immediately the parameters for the anode baking process and have to be controlled properly.

Figure 1 shows a typical arrangement of a fire with the related temperature profile:

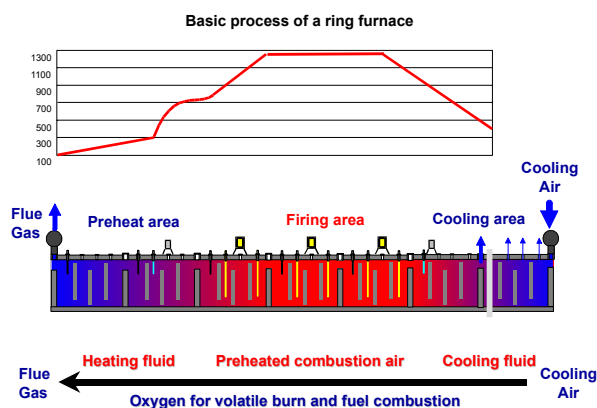


Fig. 1 Basic process of an anode baking furnace

The **preheat area** - as a convective heat exchanger - is controlled by automatic adjusting of the flue gas flow. It consists of 2-3 sections, each of which may ask for a different flue gas volume. Here the control system has to find a compromise between various demands. Additionally the oxygen content in the flues and the pitch burn situations affect the preheat area and have to be taken into account. The adequate structure for this task is a multivariable fuzzy logic control.

In the **firing area**, each burner bridge controls the temperature of one section. Due to the direction of the heat transmission by the flue gas, the downstream burner bridges are influenced by upstream burner bridges. Those influences are only one way and always downstream.

So, from the feed back control theory, each control loop can be regarded as independent from others. The downstream influences act as a kind of disturbance as other disturbances, too. Therefore in the firing area the PID algorithm is found to be the most precise and convenient control structure.

The **cooling area** - as the second convective heat exchanger - is controlled by automatic adjusting of the cooling air flow. It consists of 3-4 sections and is responsible for cooling the anodes.

Additionally it should guarantee a maximum of preheating of the combustion air. The air leakage should be reduced to a minimum by using a zero pressure control behind the last burner bridge.

### Control architecture

The control system as shown in figure 2 is based of a PLC (Programmable Logic Controller) on every bridge and one or more Master PC's. As most advanced control functions are concentrated in the Master PC's, the local bridge PLC's are only used for basic automation and control functions.

All PLC's are communicating to the Master PC's by an Ethernet LAN (Local Area Network), which is installed along the furnace and can be connected via column boxes. A connection to the central master in the control room ensures the access to all information of the furnace control and the possibility of a central operation. Nevertheless it is essential and very important to have a local operator terminal on every bridge directly connected to the PLC for immediate access to the firing system in case of any breakdown or service demand of the furnace in a manual or semi-automatic mode.

points is related to number of sections within the furnace. The connectors and plugs have a multi-purpose design and can connect each type of bridge for control of the fire(s). The plugs have a heavy-duty design and carry the power supply for the bridges / manifolds, the Ethernet LAN network connection and the bridges / manifolds geographical position (BCD code).

The Master PC has all information of all fires and processes the PID control functions to every fire. Also the advanced control functions which will be explained in details in the following chapters are realized in the Master PC. So the operator is supplied with all necessary data and the process becomes highly transparent. A sophisticated MMI makes the operation easy, reliable and avoids faults during firing operation. The move procedures and cross-over situations are automatically detected and handled by the Master PC to minimize manual interference or action to the system. All operations, regular and irregular situations initiated automatically by the system or introduced by the operator are written into a logbook. This logbook shows present and past situations without any gap to get quick and reliable diagnostics of the baking process.

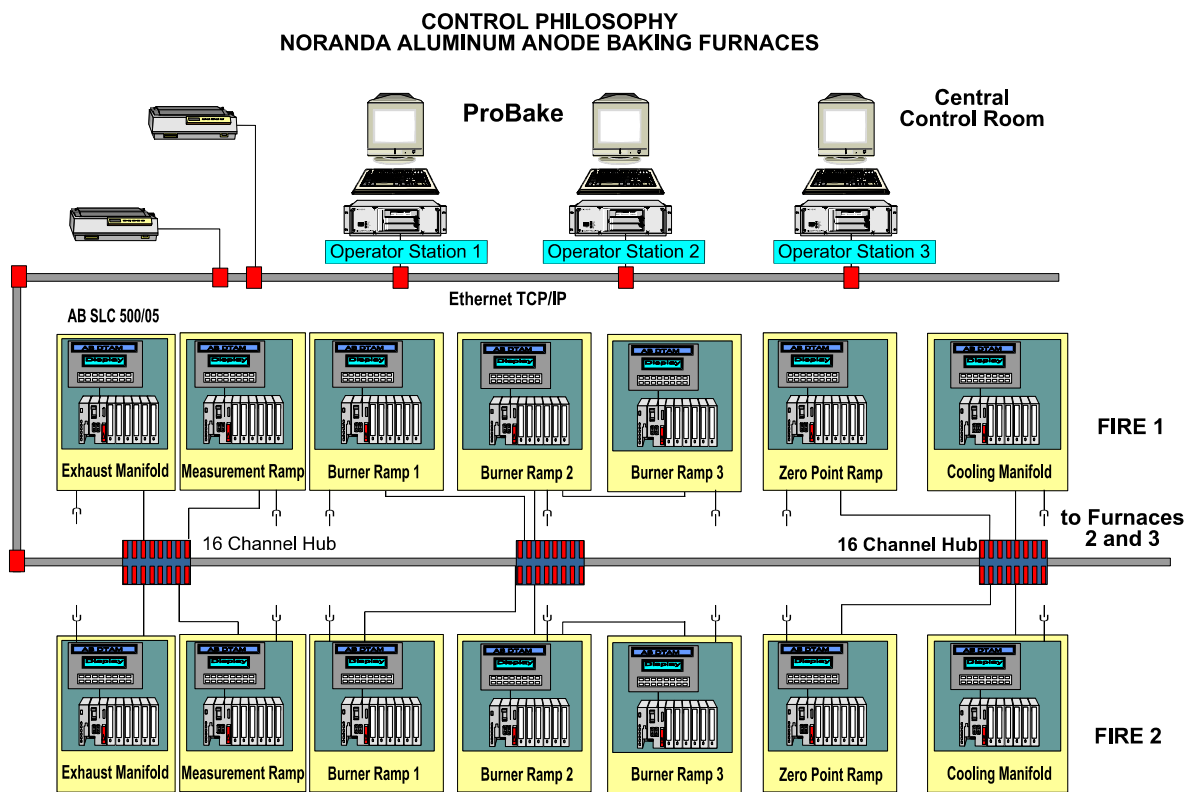


Fig. 2 Control architecture for an anode baking furnace

Several column boxes are mounted along the sides of the furnace. Each has one or two connectors. The total number of connection  
Detlef Maiwald

### Flooding Index Module

Since the preheat section of the furnace is basically a convective heat exchanger, the flue gas volume is controlled by the temperature gradient in the preheat area.

Due to the fact that this gradient is not related to the oxygen demand for the combustion, especially on furnaces with bad flue walls, a flooding situation in the firing zone can occur. Because the burners inject only fuel gas, the gas is not burned completely. Consequently the fuel efficiency drops and/or the temperature in the flue drops.

In this situation the reaction of a standard firing control system would be to increase the fuel capacity which, particularly when using fuel gas, cools the flue down. Again, the flooding situation worsens and the unburned gas cools the flue even more.

With the Flooding Index Module, a figure for this situation, called the flooding index, is estimated. A typical relation between the temperature gradient and the burner capacity is shown in figure 3.

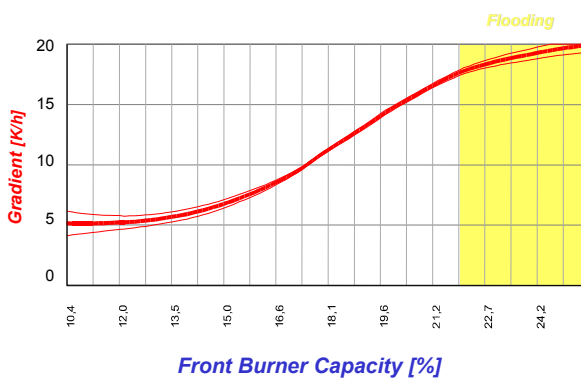


Fig. 3 Typical burner capacity versus temperature gradient

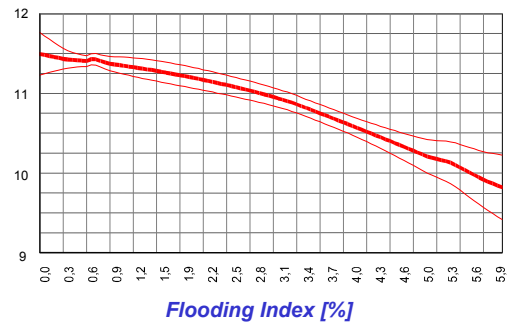
The estimation of the Flooding Index takes also into account the actual draft situation as a representative flue gas volume, the actual temperature gradient at the front burner bridge and the corresponding burner capacity. This figure will be adapted by the use of a neural net. The neural net will be trained by feeding it with the process data of an existing furnace. The output of the neural net describes the real flooding situation for this furnace. A typical flooding index and the corresponding gradient acting as a virtual sensor for the process are shown in figure 4.

### Firing Index Module

The basic task of the Firing Index Module is that any related lack of temperature which can occur due to the burner capacity limitation will be compensated at a later stage in the firing cycle. In view of the whole baking cycle this is possible in a phase where the burner bridges are not limited by the Flooding Index and not suffering in terms of oxygen.

Fig. 4 Flooding index acting as a virtual sensor

Detlef Maiwald



Neglecting the thermal capacity of the pit and assuming the thermal resistance as constant, the Firing Index can be defined as an integral of the difference between the setpoint temperature minus the actual temperature versus time. The Firing Index is used to correct the setpoint curve to minimize the Firing Index at the end of the cycle.

In practice it is easy to find out the right Firing Index using a temperature curve of a pit, which results in an acceptable anode quality (ref. Figure 5).

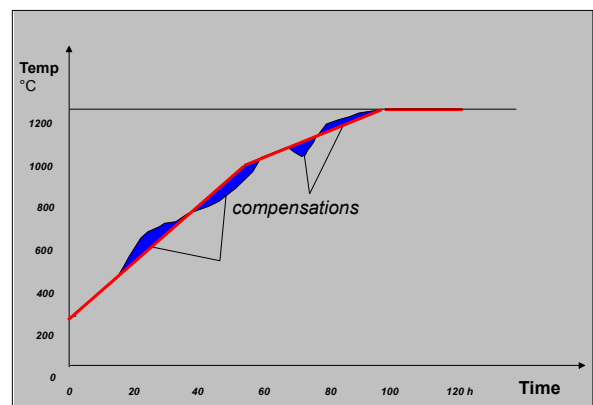


Fig. 5 Firing Index Strategy

Due to pitch burn, disturbances, flooding situations and fire move, the Firing Index varies and consequently the anode quality will also vary. With the Firing Index given as a temperature-time-integral, important facts can be derived and can be used for the advanced control strategy:

Differences of the Firing Index can be corrected at a later state of the process. Deviations of the firing profile can be accepted if the Firing Index is kept constant

The obvious application of the Firing Index is to compensate a lack or an excess of heat flow by automatic correction of the firing curve.

A simple view shows, that effects of a period of time below or above the setpoint (failure, moving or pitch burn) can be

compensated during the remaining time by small changes in temperature schedule. This compensation can be calculated continuously, taking any deviation into account.

So using the Firing Index Module, a maximum of fuel efficiency can be achieved without loss of quality.

### Pitch burn control

One of the most disturbing and undetermined influences during the baking process is the pitch burn, which leads to an excess of the temperature and a new oxygen situation in the flue gas.

With standard firing control systems the flue gas control tries to maintain the target temperature and reduces the flue gas volume accordingly. This action will cause a lack of oxygen and a flooding situation in the firing zone at the burner bridges as well. This leads to a bad use of the heat content of the volatiles, performs more pollution and decreases the fuel efficiency of the burner bridges.

In the pitch burn phase, additional oxygen is needed for the maximum combustion of the volatiles. We found a reliable sensor for the detection of a lack of oxygen during the pitch burn phase, which is the measurement of the opacity in the collection pipe of the exhaust manifold (see figure below).

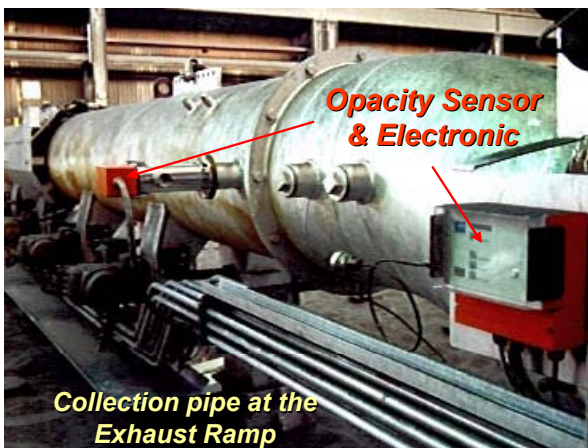
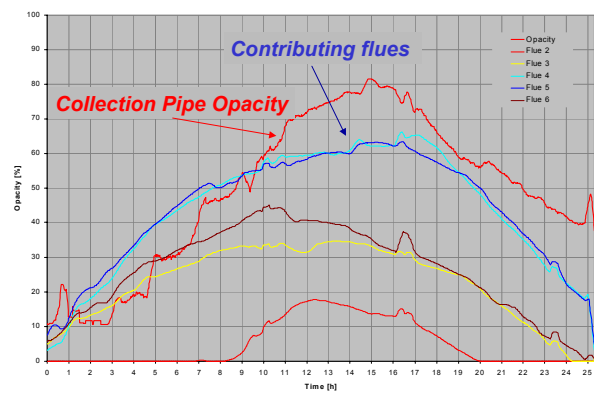


Fig. 6 Opacity meter at the exhaust manifold

Using only one opacity sensor in the exhaust, the question is which of the flues causes a high opacity. A second “virtual sensor” was found using the flue temperatures and the opacity measurement thus indicating exactly which of the flues has a lack of oxygen during pitch burn. The following figure shows the relation of the specific flue temperatures and the opacity of the exhaust flue gas.

Fig. 7 Pitch burn detection



### Virtual sensor 2 for volatile load

The task of the pitch burn control is to avoid flooding situations even during pitch burn. With the aid of the Flooding Index the system can react, before a flooding situation seriously takes place.

Depending on the furnace operation and situation three reactions of the system are initiated:

1. The draft will be adapted.

This can be done so far a maximum draft or a specific temperature gradient or a maximum exhaust temperature is not exceeded.

2. The zero pressure behind the last burner bridge will be adapted

This action can help if the flooding is mainly caused by the burners. To give an imagination for the influence of the zero point pressure on the oxygen: An increase of the pressure by 20 Pa leads to an increase of the oxygen on the front burner bridge from 4% to 10%. The limitation is given by the blow out of flue gases at the front burner bridge.

3. The burner capacities will be reduced.

Due to the fact that for a given flue gas volume a maximum of fuel cannot be exceeded, it is necessary to reduce the fuel at the burners for a period of time.

The most critical bridge in this situation is the front burner bridge. Normally the reduction will start at the front burner bridge. The back burner bridge should never be affected because of the anode quality.

Due to the demands mentioned above, temporary deviations from the set firing profile will occur. The time integral of the deviation corresponds to a portion of heat which is transferred to the anode. If this integral over the whole fire cycle varies, the total heat transferred to the anode and so the final baking temperature will vary too. To eliminate this source of variance, the Firing Index Module as above described is always active.

With the Firing Index Module, the target temperature can float as far as a maximum temperature or gradient is not exceeded. Therefore the flue gas volume will be maintained or even increased with the start of pitch burn, ensuring the necessary ignition temperature for the volatiles and sufficient oxygen for the desired burn out. So the conclusion is: with the Firing Index Module, a maximum of the heat content of the pitch is used at a minimum of pollution without affecting the quality of the anode.



The explained criteria for an optimum flue gas control are transformed into the advanced control strategy. Compared to a standard firing control system, besides one opacity sensor per fire, no additional sensors or actuators are necessary for a flue gas management. As mentioned above, at first the entire fuel load of the flue is calculated. The draft difference between measure bridge and an zero point bridge and the damper positions are taken for a flue gas volume estimation.

The flooding index, corresponding with the free oxygen in each flue, is fed into the advanced control algorithms for the exhaust, burner and blower bridges. To find a compromise between the contradicting demands of the individual control loops, fuzzy-logics have been found as the adequate control structure. In spite of the sophisticated structure the system is transparent because of the additional information and easy MMI for operation.

### Benefits and results

Recent installations at Hoogovens in Voerde, Germany and Noranda in New Madrid, USA have proven the theory of the advanced control system. At Hoogovens Voerde a 30 years old triple baffle furnace was converted to the new system. The following results have been achieved:

- A reduction of NOx by 50 %
- A reduction of CO by 40 %
- A reduction of the gas consumption by 3%
- An increase of the production output by 3,3 %
- Reduction of the remaining volatiles from 5% to 2 % in the flue gas
- An increase of the anode quality and consistency by reduction of the delta Tmax in the anode pit by 40°C

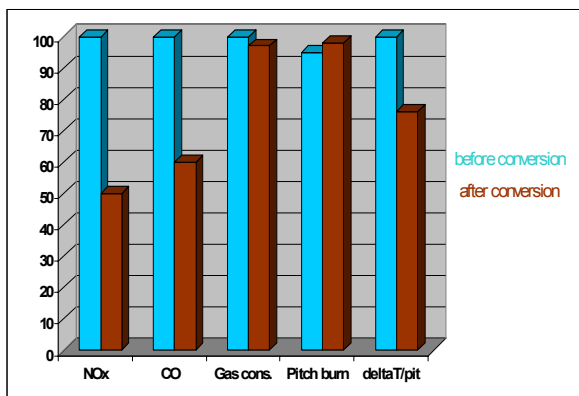


Fig. 8 Achieved results

As an additional benefit the partial overheating of the flue walls is totally avoided. This leads already to an increase of the refractory lifetime by 5% after 1 year of operation and is still increasing during the operation time with the new system.

Finally by the use of the infrared temperature sensors with SIC protection tubes the running costs had been cut down by 40.000 EURO/anno.

Detlef Maiwald

### Summary

The benefits of state of the art control equipment for horizontal flue furnaces are explained. An advanced control strategy to detect and avoid flooding situations and to ensure maximum energy efficiency at a minimum of emissions without loosing any quality of the anodes is described. This flue gas management is based on the Flooding Index which continuously estimates the specific fuel load respectively the amount of free oxygen for each flue. A Firing Index is determined and used to compensate any lack of heat caused by the Flooding Index Module to ensure a constant anode quality.

### References

1. W. Leisenberg,  
New tools for supervision and control of open pit anode bake furnaces  
AIME Light Metals 1998, 729 – 732
2. M. Schneider, Hoogovens Voerde  
Results of the installation of the new ProBake Firing and Control System,  
Internal business report 1999