



Bericht der Frühjahrstagung 2009

der Studiengruppe für Elektronische Instrumentierung

23. bis 25. März 2009

Forschungszentrum Jülich, Zentralinstitut für Elektronik



Herausgeber: Dr. F. Wulf

Berichte des Helmholtz-Zentrums Berlin (HZB-Berichte)

Das Helmholtz-Zentrum Berlin für Materialien und Energie gibt eine Serie von Berichten über Forschungs- und Entwicklungsergebnisse oder andere Aktivitäten des Zentrums heraus. Diese Berichte sind auf den Seiten des Zentrums elektronisch erhältlich. Alle Rechte an den Berichten liegen beim Zentrum außer das einfache Nutzungsrecht, das ein Bezieher mit dem Herunterladen erhält.

Reports of the Helmholtz Centre Berlin (HZB-Berichte)

The Helmholtz Centre Berlin for Materials and Energy publishes a series of reports on its research and development or other activities. The reports may be retrieved from the web pages of HZB and used solely for scientific, non-commercial purposes of the downloader. All other rights stay with HZB.

ISSN 1868-5781

Bericht der Frühjahrstagung der
Studiengruppe für Elektronische Instrumentierung
23. bis 25. März 2009
Forschungszentrum Jülich, Zentralinstitut für Elektronik



Herausgeber: Dr. Friedrich Wulf
HZB-Bericht 1, Juni 2009

ISSN 1868-5781

Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Experimentnahe Technik
Glienicker Str. 100
14109 Berlin



Teilnehmerliste

<u>Name</u>	<u>Institut</u>
Badura, Dr. Eugen	Gesellschaft für Schwerionenforschung, Abt. EE
Balzer, Dipl.-Phys. Matthias	Forschungszentrum Karlsruhe, IPE
Bayer, Dipl.-Ing. Norbert	Forschungszentrum Jülich GmbH
Beck, Dr. Dietrich	GSI Helmholtzzentrum für Schwerionenforschung GmbH
Bertschinger, Dr. Günter	Forschungszentrum Jülich GmbH, IEF-4
Bönisch, Dr. Sven	Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Borzikov, Max	Forschungszentrum Jülich GmbH, ZEL
Bürkmann-Gehrlein, Klaus	Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Burmester, Jörg	GKSS-Forschungszentrum Geesthacht GmbH
Drochner, Dr. Matthias	Forschungszentrum Jülich GmbH, ZEL
Dube, Sascha	Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Ehret, Dr. Günter	privat
Engels, Ralf	Forschungszentrum Jülich GmbH
Fix, Friedrich	Elma Trenew Electronic GmbH
Hermes, Dipl.-Ing. Norman	Forschungszentrum Jülich GmbH, ZEL
Hollfeld, Klaus-Peter	Forschungszentrum Jülich GmbH, ZEL
Hombach, Thomas	Forschungszentrum Jülich GmbH
Hürttlen, Dipl.-Ing. Werner	Forschungszentrum Jülich GmbH, Abt. IBN-TAE
Kall, Dr.-Ing. Rolf	National Instruments Germany GmbH
Kämmerling, Peter	Forschungszentrum Jülich GmbH, ZEL
Kayser, Dipl.-Ing. Franz-Josef	Forschungszentrum Jülich GmbH
Kemmerling, Dr. Günter	Forschungszentrum Jülich GmbH
Kennepuhl, Klemens	privat
Kirsch, Dr. Matthias	Struck Innovative Systeme GmbH
Kirschke, Dipl.-Ing. Timo	Forschungszentrum Dresden Rossendorf e.V.
Kleines, Harald	Forschungszentrum Jülich GmbH
Klett, Dr. Alfred	Berthold Technologies GmbH & Co. KG
Klockmann, Kay	powerBridge Computer Vertriebs GmbH
Koch, Dr. Karsten	GSI Helmholtzzentrum für Schwerionenforschung GmbH
Kreidl, Dipl.-Ing. (FH) Harald	Nu Horizons Electronics GmbH
Kretzschmar, Dipl.-Ing. (BA) Nicole	Forschungszentrum Dresden Rossendorf e.V.
Mann, Dietmar	Schroff GmbH
Mauro, Dr. Sergio	Wiener Plein & Baus GmbH
Moebius, Wolfgang	Elma Trenew Electronic GmbH
Müller, Dr. Klaus-Dieter	privat
Namaschk, Dr.-Ing. Bernhard	Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Neumann, Dipl.-Ing. Oliver	Mentor Graphics (Deutschland) GmbH, ZN Düsseldorf
Nöldgen, Holger	Forschungszentrum Jülich GmbH
Notz, Dr. Dieter	DESY Hamburg, F1
Putz, Dipl.-Ing. Alexander	Forschungszentrum Jülich GmbH, ICG-3
Rahn, Joachim	Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Reuter, Martin	Mentor Graphics (Deutschland) GmbH
Schardt, Georg	Forschungszentrum Jülich GmbH
Seehagen, Ingo	Nu Horizons Electronics GmbH
Siepermann, Peter	w3l GmbH
Spelthann, Hans-Dieter	Acqiris Data Conversion Instruments (Agilent Technologies)
Storck, Raimund	powerBridge Computer Vertriebs GmbH
von Düring, Dipl.-Ing. (Phys.) Arp-Nico	Caen GmbH
von Walter, Dipl.-Ing. Peter	Universität Heidelberg, Physikalisches Institut
Wiedmann, Frank	National Instruments Germany GmbH
Wulf, Dr. -Ing. Friedrich	Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Wüstner, Dr. Peter	Forschungszentrum Jülich GmbH, ZEL
Zillikens, Hans-Peter	Forschungszentrum Jülich GmbH, Abt. IEF-2
Zwoll, Dr. Klaus	privat



Teilnehmer der SEI-Frühjahrstagung 2009, FZ Jülich





Vorträge

	Seite
Begrüßung Dr. Friedrich Wulf, Helmholtz-Zentrum Berlin	S-8
Design des Kontroll- und Datenerfassungssystems für ein Neutronenspinecho-Spektrometer Harald Kleines, FZ Jülich	- 1 -
Embedded Linux für das Virtex 4 Minimodul Georg Schardt, FZ Jülich	- 13 -
FPGA-basierte Ansteuerungselektronik für Justageeinheiten im Michelson-Interferometer Holger Nöldgen, FZ Jülich	- 22 -
Neue Entwicklungen in der Strahlenschutzmesstechnik Dr. Alfred Klett, Berthold Technologies GmbH	- 37 -
Testinstallation für den geplanten FPGA-Toolchain-Server der SEI Peter Kämmerling, FZ Jülich	- 53 -
Spartan-6 und Virtex-6 - Die neue FPGA-Generation von Xilinx Harald Kreidl, Nu Horizons Electronics GmbH	- 59 -
Shelf management for optimized cooling in ATCA shelves Dietmar Mann, Schroff GmbH	- 84 -
Moderne Designtechniken und Verifikationsmethodiken für den IP Reuse Oliver Neumann, Mentor Graphics GmbH	- 96 -
MTCA in der Maschinenüberwachung Friedrich Fix, Elma Electronic GmbH	ohne Beitrag
Dimensionierung von Photovoltaikanlagen für Inselbetrieb und Netzkopplung Dr. Sven Bönisch, Helmholtz-Zentrum Berlin	- 110 -
Elektronik entauschen - alles klar? Dr. Bernd Namaschk, Helmholtz-Zentrum Berlin	- 119 -
Freikonfigurierbare IOs mittels LabVIEW Dr. Rolf Kall, Frank Wiedmann, National Instruments Germany GmbH	- 129 -
Einsatz von FPGAs bei LabVIEW basierten Experimentsteuerungen Dr. Dietrich Beck, GSI Helmholtzzentrum für Schwerionenforschung GmbH	- 142 -
Projektmanagement mit PRINCE2 Peter Siepermann, w3L GmbH	- 158 -



Dr. Friedrich Wulf, Helmholtz-Zentrum Berlin



Ralf Engels, FZ Jülich



Harald Kleines, FZ Jülich



Georg Schardt, FZ Jülich



Peter Kämmerling, FZ Jülich



Holger Nöldgen, FZ Jülich



Harald Kreidl, Nu Horizons Electronics GmbH



Dr. Alfred Klett, Berthold Technologies GmbH



Dietmar Mann, Schroff GmbH



Kolloquium



Oliver Neumann, Mentor Graphics GmbH



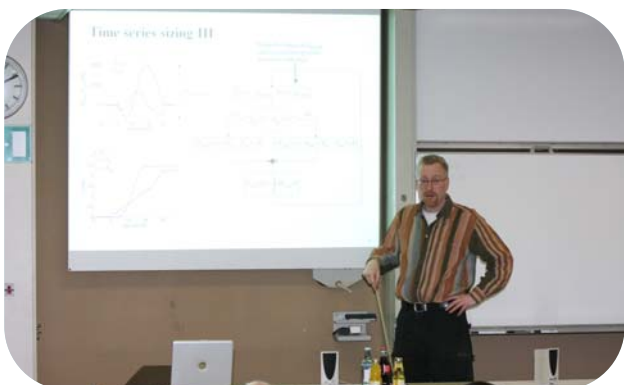
Friedrich Fix, Emla Electronic GmbH



Firmenausstellung



Klaus-Dieter Müller



Dr. Sven Bönisch, Helmholtz-Zentrum Berlin



Dr. Bernhard Namaschk,
Helmholtz-Zentrum Berlin



Frank Wiedmann, National Instruments



Dr. Dietrich Beck,
GSI Helmholtzzentrum



Peter Siepermann, w3L GmbH



Tagebau Garzweiler



Tagebau Garzweiler



Tagebau Garzweiler

Zusammenfassung

Dr.-Ing. F. Wulf

Die 98. Tagung der Studiengruppe für elektronische Instrumentierung (SEI-Frühjahrstagung 2009) fand vom 23. bis 25. März 2009 im Forschungszentrum Jülich am Zentralinstitut für Elektronik statt. Der Tagungsband enthält 13 Beiträge aus den unterschiedlichen Bereichen der Informationstechnik und der Steuerungstechnik für Großgeräte, mit einem Schwerpunkt über den Einsatz von FPGAs für die Prozesssteuerung und DAQ-Systeme.

Mein besonderer Dank gilt Herrn Ralf Engels und seinen Kollegen für die gute Organisation und interessante Besichtigung des Tagebaus Garzweiler. Die Beteiligung mit 54 Personen aus 20 Forschungseinrichtungen und Industriefirmen ermöglichte wieder eine intensive Diskussion über aktuelle Fragen der Entwicklung von wissenschaftlichen Experimenten. Ich danke allen Vortragenden für die sehr guten und interessanten Beiträge.

FPGAs werden zunehmend für die unterschiedlichen Anforderungen der Experimentsteuerung und der DAQ genutzt. Embedded Linux auf dem Virtex 4 Modul oder die Ansteuerung für das Michelson-Interferometer sind zwei Beispiele für den Einsatz am ZEL. Die erfolgreiche Anwendung von LabVIEW zur FPGA Programmierung wird in einem Beitrag von der GSI dargestellt. Unterstützt wird dieser Einsatz durch die Neuentwicklungen der Firma National Instruments mit den Produkten FlexRIO und Single Board RIO. Die neuen Produkte der Firma XILINX mit Spartan-6 und Virtex-6 dokumentieren die schnelle Entwicklung der FPGAs und die steigende Leistungsfähigkeit. Voraussetzung für einen professionellen Einsatz ist die Verwendung moderner Designtechniken und Verifikationsmethoden, wie sie u.a. von der Firma Mentor Graphics angeboten werden. Das Programmpaket Catapult unterstützt den Funktionsentwurf mit Hilfe von C/C++. Damit die Programmpakete innerhalb der Institute der Helmholtz-Gemeinschaft genutzt werden können und das Know-how gebündelt werden kann, startet Herr P. Kämmerling¹ vom FZJ/ZEL den Versuch einen gemeinsamen Server für die unterschiedlichen Dienste einzurichten². Hierzu sind noch einige formale Fragen zu klären.

Das Rauschen ist immer wieder ein sehr wichtiges Thema für die analoge Messtechnik. Herr Dr. B. Namaschk stellte die neue Art der Rauschoptimierung nach Prof. A. Neidenoff³ vor, die gegenüber der üblichen Rauschanpassung bessere Ergebnisse liefert.

Die neuen Managementsysteme für ATCA und MTCA und deren Einsatz für die Maschinensteuerungen ergeben neue Möglichkeiten für die Verwendung in größeren Experimentensystemen.

Gasgefüllte Detektoren zur Strahlungsmessung, deren Fenster dünn und zerbrechlich und die verwendeten Gase zum Teil brennbar sind, werden zunehmend

¹ P.Kaemmerling@fz-juelich.de

² <http://wiki.gsi.de/cgi-bin/view/SEI>

³ www.neidenoff.com

durch ZnS Szintillatoren ersetzt. Für hochenergetische gepulste Neutronen sind neue Detektoren von der Firma Berthold zusammen mit DESY entwickelt worden.

Die Randbedingungen bei der Dimensionierung von Photovoltaikanlagen für den Inselbetrieb oder mit Netzankopplung wurden dargestellt. Auch wurden die neuen Aspekte des Projektmanagements erläutert.

Am 21. Januar 2009 verstarb im 80. Lebensjahr der langjährige Sekretär der Studiengruppe Bernd-August Brandt. Er ist einer der Gründungsväter der Studiengruppe und leitete sie 26 Jahre mit großem Erfolg. Durch seine Persönlichkeit und sein großes Engagement etablierte er die Studiengruppe zu einem wichtigen Gremium für die Elektronikentwicklung und Prozesssteuerung an den Universitäten und Forschungseinrichtungen. Die Teilnehmer der Studiengruppe werden ihn stets in guter Erinnerung behalten.

Durch die Fusion vom Hahn-Meitner-Institut Berlin und BESSY II zum neuen Helmholtz-Zentrum Berlin für Materialien und Energie, ist die Homepage der SEI-Tagung jetzt unter

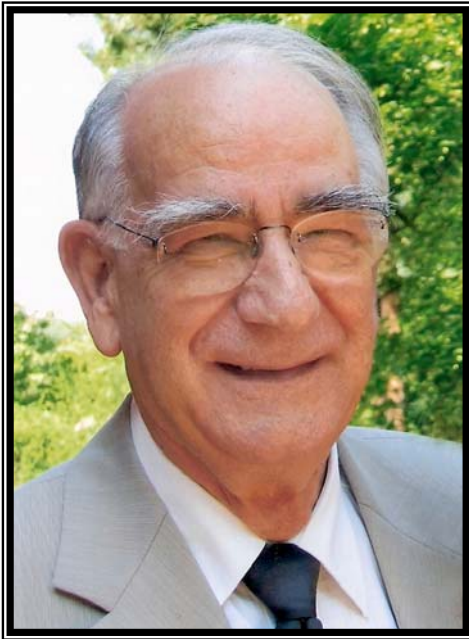
https://www.helmholtz-berlin.de/events/sei/index_de.html

zu finden. Durch das neue Web-Design sind einige Änderungen notwendig geworden.

Die SEI-Herbsttagung 2009 findet vom 21. bis 23. September 2009 am Helmholtz-Zentrum Berlin für Materialien und Energie GmbH, Campus Wilhelm-Conrad-Röntgen statt. Die SEI-Frühjahrstagung ist vom 15. bis 17. März 2010 am DESY in Hamburg geplant.

In Memoriam Bernd-August Brandt

* 21.7.1929 † 21.1.2009



Am 21. Januar 2009 ist unser langjähriger Sekretär der Studiengruppe für Elektronische Instrumentierung kurz vor einer geplanten Rehabilitationsmaßnahme verstorben. Bernd-August studierte Physik an der Universität Marburg und schloss sein Studium mit einer Diplomarbeit über die Entwicklung und den Bau eines Vielkanalanalysators ab. Damit kam er schon früh intensiv mit der Nuklearen Elektronik in Berührung und hat die gewonnenen Erfahrungen und Erkenntnisse auch vielen von ihm betreuten Studenten vermittelt. Er war danach an dem Physikalischen Institut in Marburg als Assistent tätig und betreute Vorlesungen und Übungen.

In den 70iger Jahren erhielt das Physikalische Institut in Marburg durch seine Initiative nach einer langwierigen Antragsprozedur eine fortschrittliche Sigma 7 Computeranlage. Dies war der erste Computer für die Universität Marburg und diente damit für einige Zeit auch als Rechenzentrum für die Universität. Bernd-August hat diese Computeranlage über viele Jahre mit seinen Technikern und Ingenieuren in Hard- und Software betreut und zu einer leistungsfähigen von allen Physikern gern genutzten Anlage weiter entwickelt.

Anfang der 60iger Jahre wurde auf Anregung von Professor Jentschke von Desy die Studiengruppe für Hochenergiephysik-Elektronik gegründet, um die Zusammenarbeit, Standardisierung und Ersatzteilversorgung für die Experimente Hans-Joachim Stuckenberg diese Tätigkeit nach der Inbetriebnahme des Desy Beschleunigers nicht mehr weiterführen konnte, hat Herr Professor Walcher als Direktor des Physikalischen Institutes in Marburg Bernd-August davon überzeugt, diese Aufgabe als Sekretär der Studiengruppe zusätzlich zu übernehmen. Da Professor Walcher Mitglied im Wissenschaftlichen Beirat von Desy war, war eine erfolgreiche Zusammenarbeit mit der Hochenergie- Physik Community gegeben.

So konnte Bernd-August mit finanzieller Unterstützung des Bundesministeriums für Forschung und Technologie (BMFT) die Reisekostenerstattung für die Teilnahme an den zwei Studiengruppentagungen im Jahr für teilweise bis zu 200 Teilnehmer von Universitäten und anderen Forschungseinrichtungen ermöglichen. Auch die Mitarbeit von deutschen Teilnehmern an der Standardisierung und späteren Normung des CAMAC Systems im internationalen Rahmen wurde von Bernd-August tatkräftig gefördert und hat maßgeblich zu der raschen Verbreitung des Systems in Europa beigetragen. Er selbst war mehrere Jahre Mitglied im Executive Komitee von ESONE und später der CAMAC Association für industrielle Anwendungen und hat hier wesentlich wichtige Entscheidungen beeinflusst.

Als Sekretär der Studiengruppe die seit 1986 in Studiengruppe für Elektronische Instrumentierung (SEI) umbenannt wurde, hat Bernd-August die Kooperation und den Informationsaus- tausch der Mitglieder der Studiengruppe gefördert. Es ist eine sehr schöne und erfolgreiche Zeit gewesen. Mit seinem Tode verlieren die Mitglieder der Studiengruppe einen lang- jährigen Freund und Kollegen, der durch seine geistreiche und humorvolle Art viel zu den fruchtbaren Diskussionen und Ergebnissen während der Tagungen beigetragen hat. Unser tiefes Mitgefühl gilt seiner Frau und Familie. Wir werden ihn sehr vermissen.

Im Namen aller Freunde und Kollegen
Dr. Klaus-Dieter Müller

Design des Kontroll- und DAQ-Systems für ein Neutronenspinecho-Spektrometer

H. Kleines¹, M. Drochner¹, M. Wagener¹, F. Suxdorf¹, F.-J. Kayser¹, P. Kämmerling¹, L. Fleischhauer-Fuss¹, A. Ackens¹, M. Ramm¹, W. Erven¹, H. Gutschmidt¹, O. Holderer², M. Monkenbusch²

¹Zentralinstitut für Elektronik (ZEL), Forschungszentrum Jülich

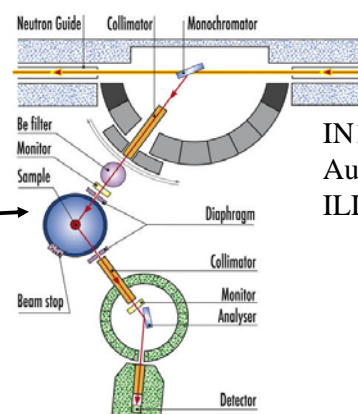
²Institut für Festkörperforschung (IFF), Forschungszentrum Jülich

- Neutronenstreuung und NSE-Prinzip
- Übersicht über das J-NSE
- Jülich-Münchener Standard
- Struktur des Kontroll- und DAQ-Systems
- Software-Architektur

Zentralinstitut für Elektronik (ZEL)

Neutronenstreuung

- Untersuchung von Materie: gestreute Strahlung (Röntgen, ...)
- Neutronen: Erzeugung in Reaktoren oder Spallationsquellen
 - hohe Eindringtiefe,
 - hohe Wechselwirkung mit "leichten" Atomkernen,
 - hoher Kontrast für unterschiedliche Isotope (H/D)
- Untersuchung von Struktur und energetischen Zuständen
 - Festkörper, Flüssigkeiten, organische Stoffe, Werkstoffe, Magnetismus, ..
 - Moderation auf $\lambda > 1\text{\AA}$
- Elastische Streuung:
 - Diffraktometer (Kristall, Pulver),
 - Kleinwinkelstreuung
- Inelastische Streuung:
 - 3-Achsen-Spektrometer,
 - Time-of-Flight,
 - Rückstreuung,
 - Spin-Echo

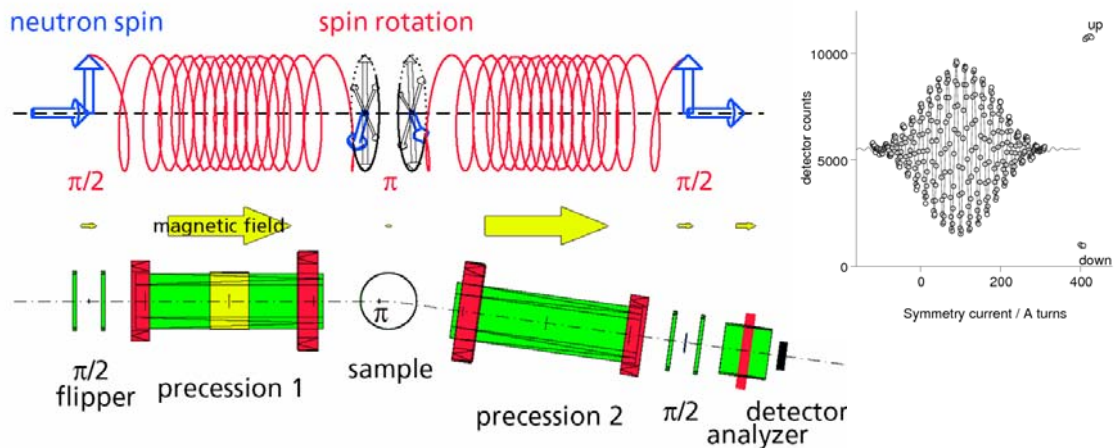


IN12 an JCNS-
Außenstelle am
ILL

Zentralinstitut für Elektronik (ZEL)

Spin Echo Prinzip

- Inelastische Streumethode mit höchster Auflösung
- Untersuchung dynamischer Prozesse in weicher Materie (Polymerschmelzen, Mikroemulsionen, ...)
- Detektion von $\Delta v \sim 100\text{ppm}$ bei $\Delta\lambda/\lambda \sim 10\%-20\%$

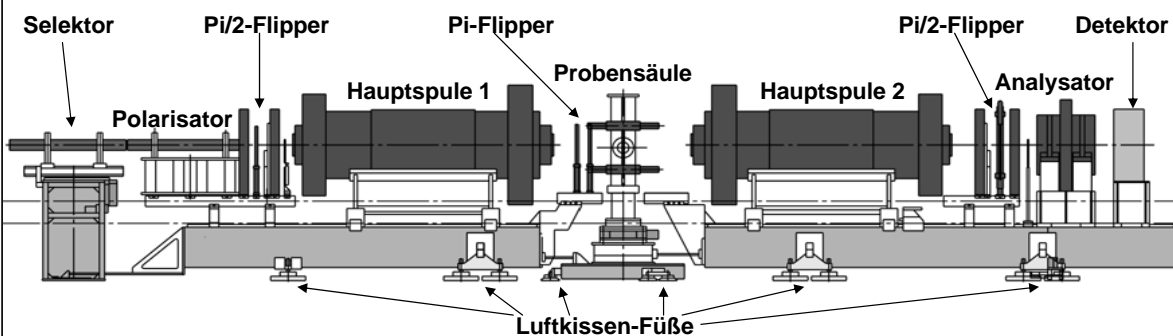


- Phasenwinkel proportional zum B-Feld => Echo durch Variation des Stroms

Zentralinstitut für Elektronik (ZEL)

Überblick J-NSE I

- Seit Ende 2007 im User-Betrieb an JCNS-Außenstelle am FRM-II
- Weiterentwicklung eines Instruments aus Jülich am FRJ-2
- Wellenlänge: 4,5 - 18Å; Fluss: 10^7 n/cm²/s
- Max. Feldintegral: 0,5 Tm



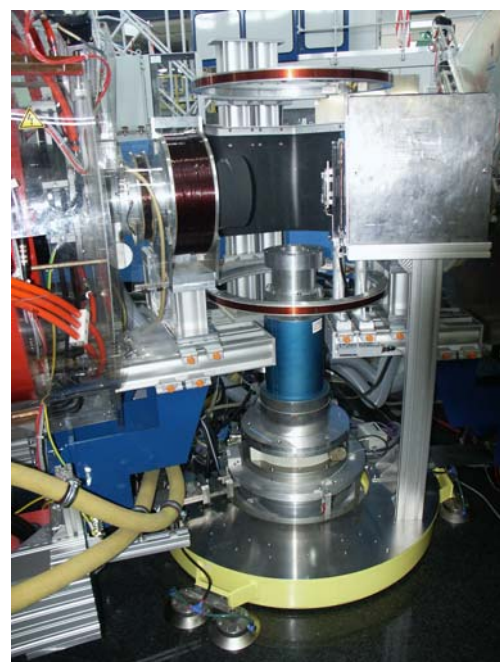
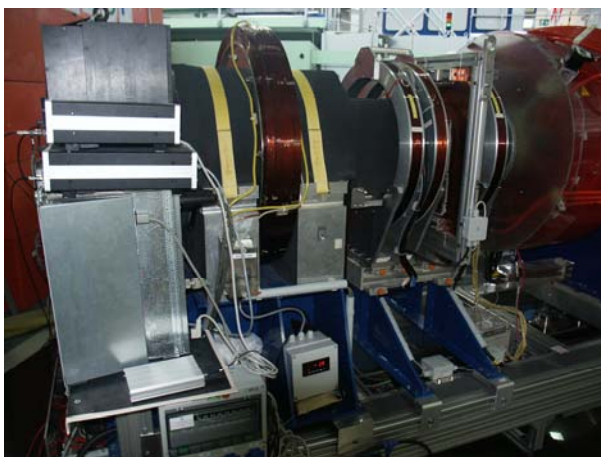
Zentralinstitut für Elektronik (ZEL)

Überblick J-NSE II



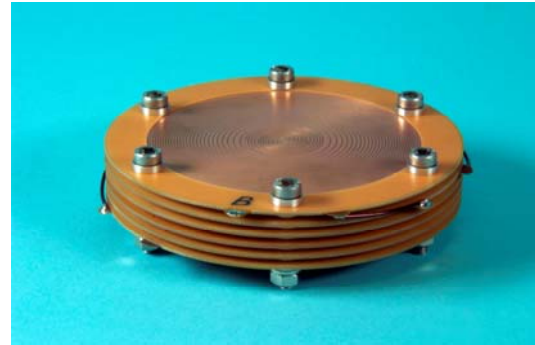
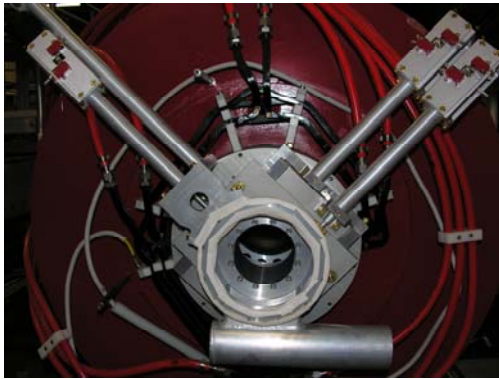
Zentralinstitut für Elektronik (ZEL)

Überblick J-NSE III



Zentralinstitut für Elektronik (ZEL)

Korrekturspulen



- *Wesentlich für Auflösung Feldkorrektur (Inhomogenitäten, Wegdifferenzen) durch 6 Korrekturspulen (12 mech. Freiheitsgrade)*
- *Klassisch: Komplexe Aluminium-Strukturen durch ZAT (Mechanik)*
- *Alternatives Design: Komplexe geometrische Strukturen (geschachtelte Spiralen) in 100µm Kupfer auf 50 µm Kapton*
- *Mechanische Stabilisierung durch FR4-Außenringe,*
- *Erhöhung des Magnetfelds durch Stack-Aufbau*
- *Problem: Schlechte Neutronen-Transmission von Kupfer*

Zentralinstitut für Elektronik (ZEL)

Aufgaben des Kontroll- und DAQ-Systems

- *18 mechanische Freiheitsgrade*
- *34 Netzteile*
- *Probenumgebung (Regler,...)*
- *Magnetfeldsensoren, Temperaturüberwachung,*
- *Selektor*
- *Sicherheitstechnik*
- *Auslese Monitore*
- *Auslese Detektor*

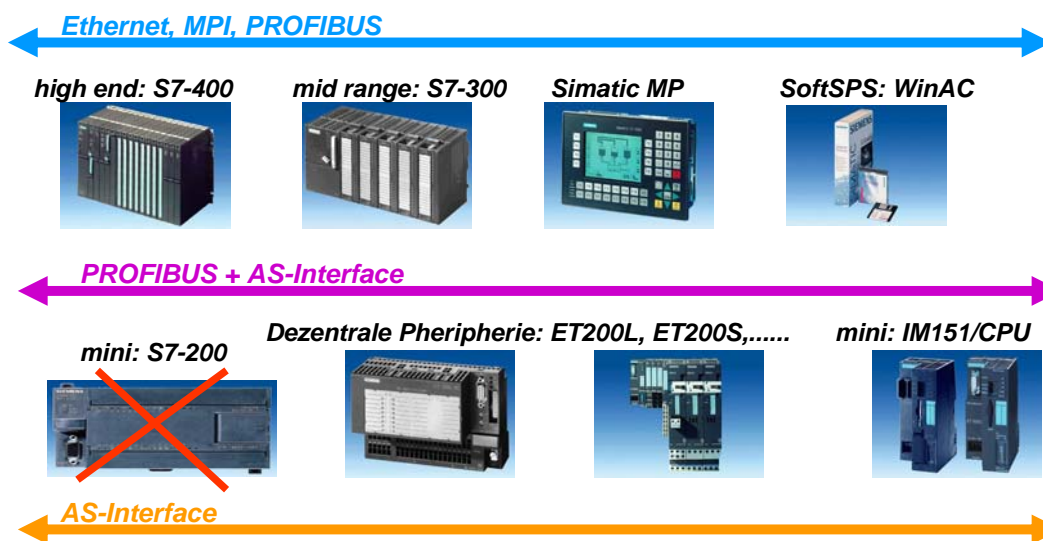
Zentralinstitut für Elektronik (ZEL)

Baukastensystem: Jülich-Münchener Standard

Applikation	Scripts: python	Qt, C++	
Middleware	TACO (ESRF)		
Experiment- rechner	PCs mit Linux		
Prozess- kommunikation	PROFIBUS DP	GPIB, seriell, Ethernet,..	(Nur München) Modbus, ADAM
Steuerung	S7-300 (CPU 315-2DP)		
Feldebene	ET200S, ET200M, ASI-Module		ADAM

Zentralinstitut für Elektronik (ZEL)

SPS-Familie Simatic S7



- Homogene, leistungsfähige Programmierung: Step7 (AWL, KOP, FUP, SCL...)
- Modularität, Skalierbarkeit, Ausbaufähigkeit
- Leistungsfähige Kommunikation => Verteilte Systeme

Zentralinstitut für Elektronik (ZEL)

Motorkontroller



1STEP

- ET200S
- 204 KHz



FM351 + 1POS

- S7-300 + ET200S
- Eilgang/
Schleichgang
- inkremental +SSI



FM353

- S7-300
- DIN 66025
- 200kHz



FM357

- S7-300
- 4 Achs-Bahnsteuerung
- 625 kHz oder Servo
- inkremental +SSI



Göttinger Steuerung

- „privat“, mit PB DP
- Endstufe integriert
- 3 KHz



Berger-Lahr ILS

Schrittmotor, Endstufe, Kontroller,
Encoder, PROFIBUS integriert



Beckhoff KL2541

- Kontroller (24 kHz)
- Endstufe (5A/50V)
- Inkremental-
Schnittstelle
integriert

Zentralinstitut für Elektronik (ZEL)

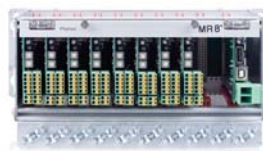
Endstufen

- Präferenz für 2-phasige Endstufen von Phytron (aber auch 3-phasige von Siemens, ...)



CCD+

- 9A/70V
- 1/20 Microstep
- Handbedienung
- Display



MR8+

- 3,5A/48V
- 1/20(512)Microstep



MSD

- 17A/140V
- 1/20 Microstep

Zentralinstitut für Elektronik (ZEL)

Encoder

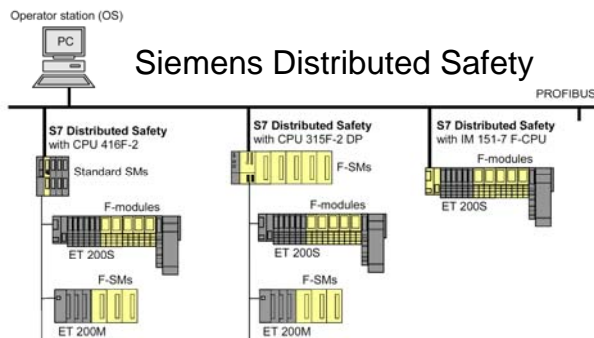
- Winkel + Linear-Encoder von Heidenhain, Balluff,
- Absolut + Inkremental (optisch, induktiv,)
- Schnittstellen: PROFIBUS, EnDat (PB-Gateway), SSI, RS422 (Quadrature signale)
- Interface integriert in Modul für Motor-Steuerung oder ET200S-Module 1SSI und 1Count



Zentralinstitut für Elektronik (ZEL)

Sicherheitstechnik

- Forderung FRM-II: EN954 Kategorie 2; Ziel: EN954 Kategorie 3



- “Failsafe”
- Mischen von Standard-EAs und Sicheren EAs
- Sicherheitsprogramm + Standardprogramm auf einer CPU
- Verteilt + gut skalierbar

Instrumentenbox

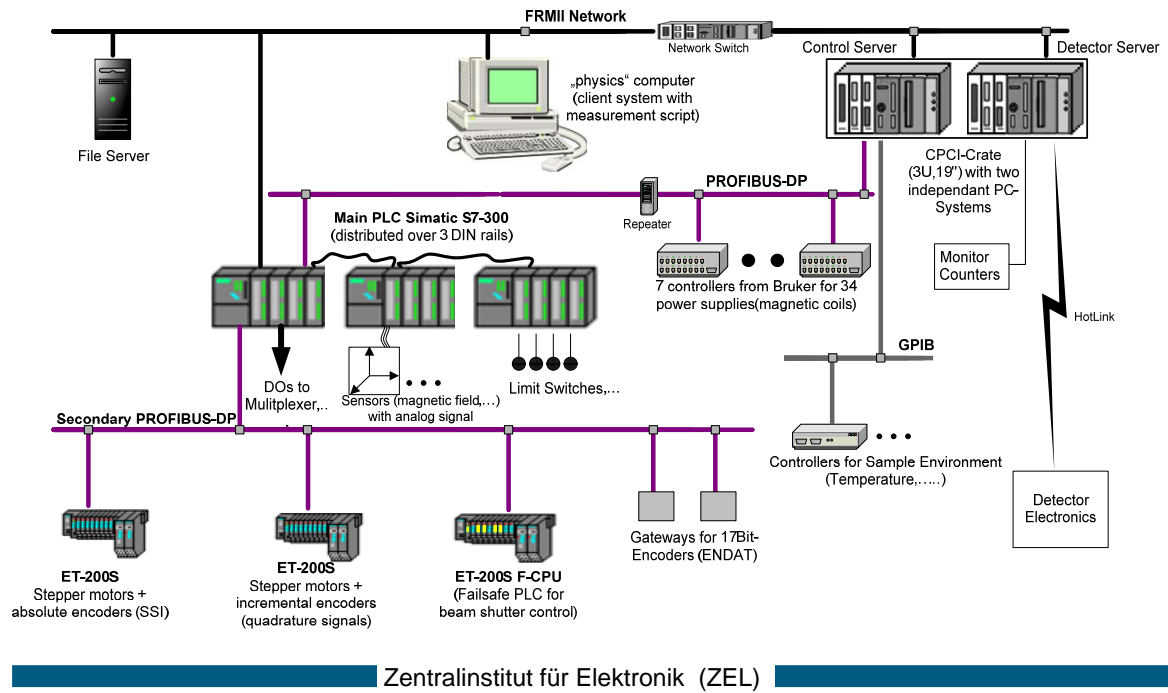


Bedienpanel



Zentralinstitut für Elektronik (ZEL)

Struktur des Kontroll- und DAQ-Systems



Aufbau der Schaltschränke

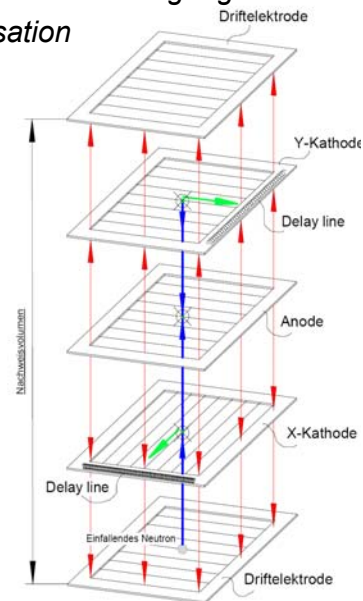


Detektor

- *Multiwire Proportional Chamber (MWPC), analog zu Proportionalzählrohr (Monitore)*
- *Füllgas ^3He : Durch Neutron erzeugte Kernreaktion führt zur Erzeugung von Ionen*
- *Hochspannung: Gasverstärkung durch Sekundärionisation*



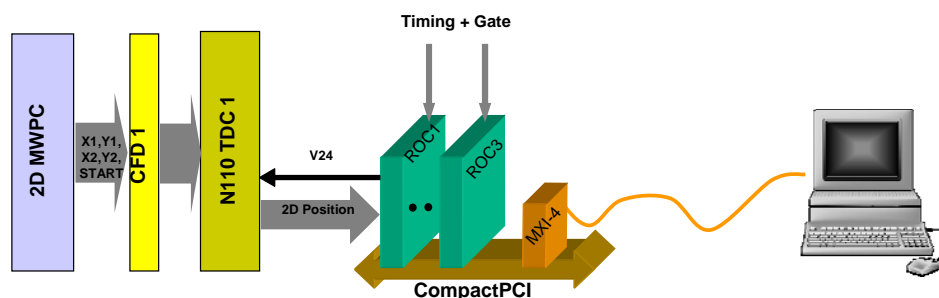
*Quelle: Fa. Denex



Zentralinstitut für Elektronik (ZEL)

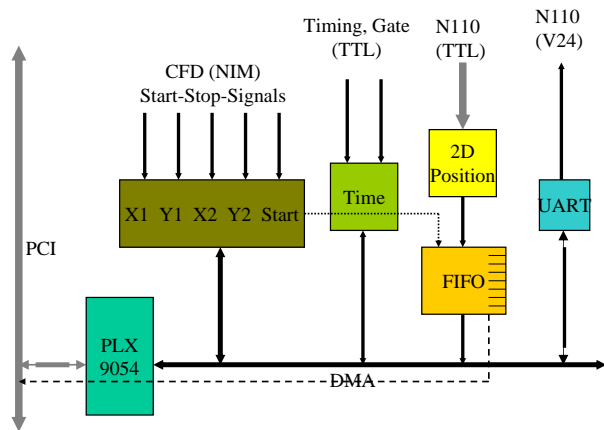
Delayline Auslese

- *Bisher: CERCA-Detektor mit 32x32 Einzeldrahtauslese*
 - *Transfer der Daten aus Koinzidenzeinheit von ZEL-Frontendelektronik via Hotlink (auf Basis von SIS1100-cCMC)*
- *Umbau auf 150x150 DENEX-Detektor mit Delayline-Auslese*
 - *Kathoden-Drähte über Delayline verbunden => Positionsbestimmung durch Laufzeit auf Delayline*
- *N110: NIM-Modul der ESRF mit AMS110 TDC ASIC (Pileup-Erkennung, Berechnung der 2D-Koordinaten)*



Zentralinstitut für Elektronik (ZEL)

Hardware

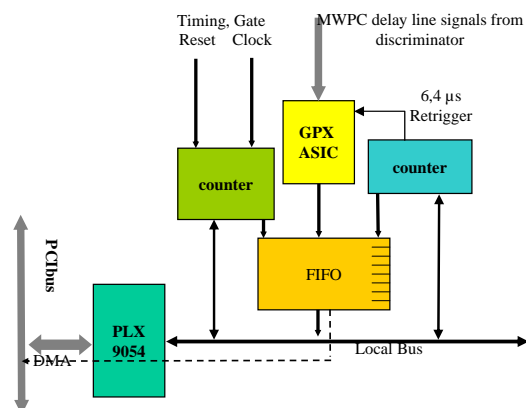
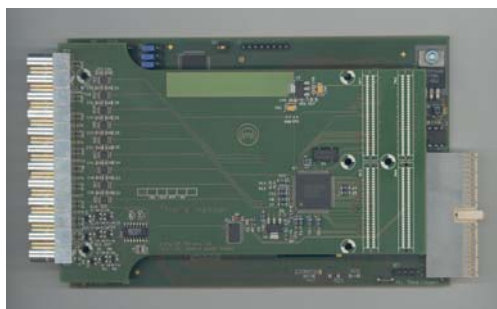


- Mezzanine der SIS1100-cCMC
- Variante der Zählerkarte
 - Gategenerator, Messzeitverwaltung, Monitorüberwachung

Zentralinstitut für Elektronik (ZEL)

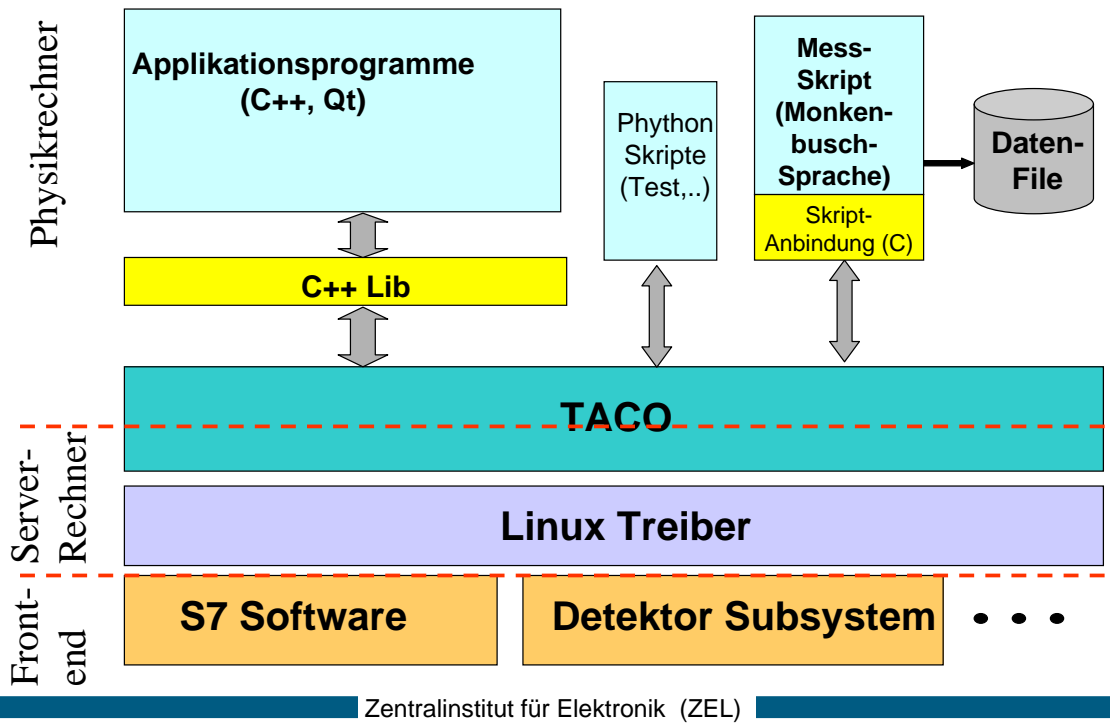
Neue TDC-Baugruppe

- Problem: N110 nicht mehr verfügbar
- Lösung: Selbstentwickelter TDC auf Basis des ASICs GPX von ACAM (85 ps bin-Breite)
- Mezzanine für SIS1100-cCMC oder JUMIOM

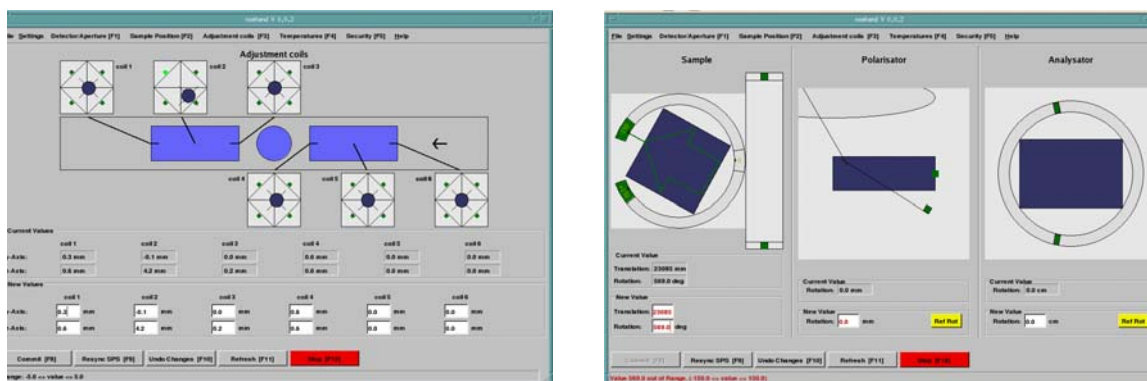


Zentralinstitut für Elektronik (ZEL)

Software-Hierarchie

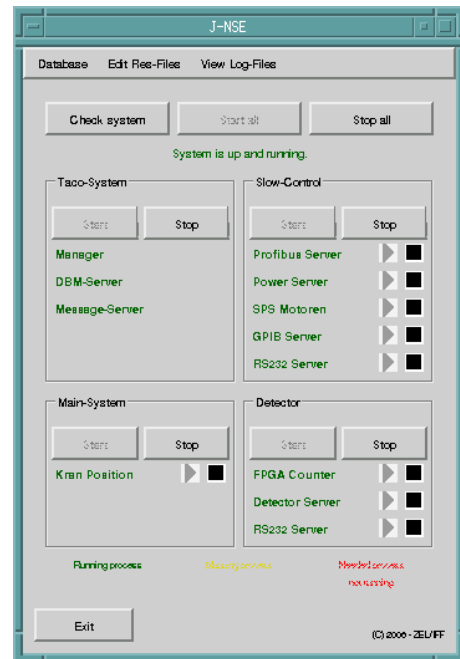
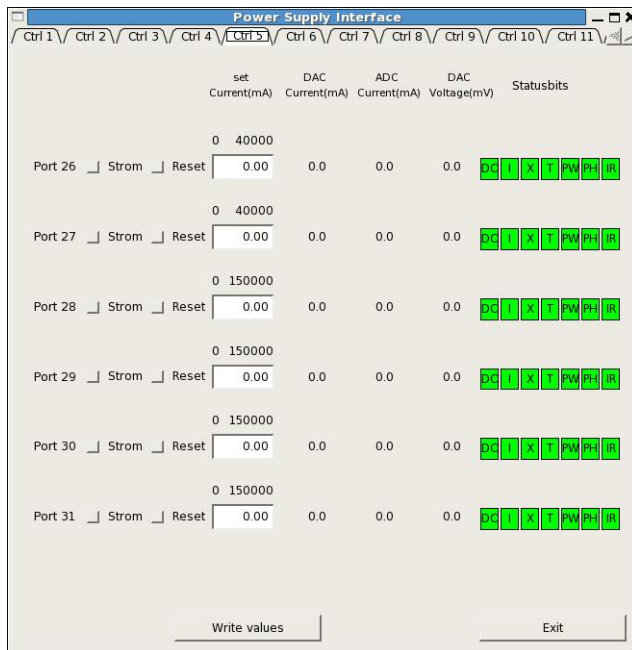


Applikation „Handsteuerung“



- *Notebook mit Funknetz*
- *Visualisierung der Mechanik, Fehleranalyse*
- *Maschineneinrichtung*
- *Kommunikation mit TACO-Datenbasis und TACO-Servern*

Applikationen „Bruker“-GUI und TACO Control



Zentralinstitut für Elektronik (ZEL)

Ausblick

- *Zur Zeit: Umstellung auf DENEX-Detektor*
- *Später: Umstellung auf GPX-TDC*
- *Beginn der Entwicklung einer homogenen Oberfläche für alle JCNS-Instrumente, basierend auf neuer Makrosprache*
- *Zeitgleich: Entwicklung eines neuen NSE an Spallationsquelle SNS am Oak Ridge National Lab (Supraleitende Hauptspulen, zeitaufgelöste Messungen,.....)*
- *Trotz Baukasten-System: Hochgradig heterogen*

Zentralinstitut für Elektronik (ZEL)

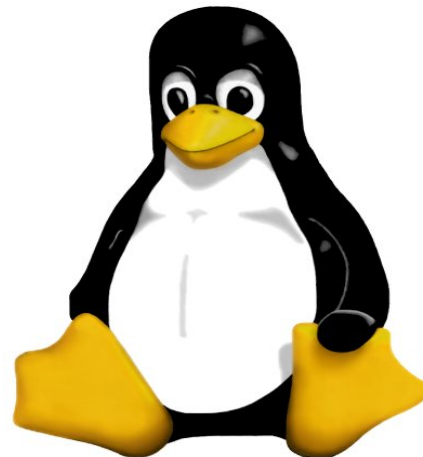
Embedded Linux

Freier Linuxkernel für den Virtex4 FX12

23. März 2009 | Georg Schardt

Freier Linux Kernel für den Virtex4 FX12

- Motivation
- Ausgangslage
- Bootloader
- Kernel
- Dateisystem
- Ergebnis



Motivation

Einsatz des Virtex4 FX12 Minimodul (Diplomarbeit, Jan2008)

- Embedded μ C (PowerPC)
- Implementierung eigener OPB Komponenten (FPGA Logik)
- Ethernet Anbindung
- Erfahrungen mit MontaVista (Peter Kämmerling)



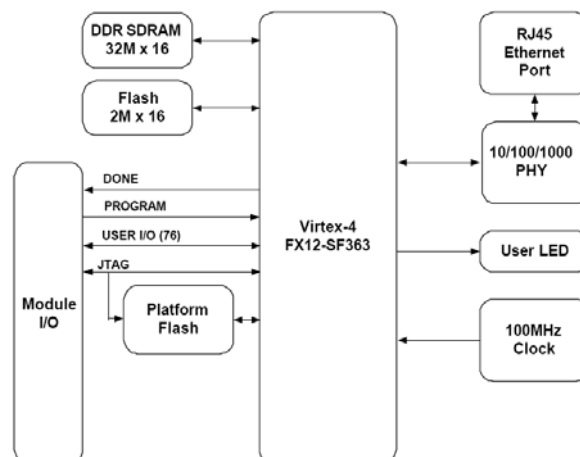
23. März 2009

Zentralinstitut für Elektronik

Folie 3

Motivation

- Virtex4FX12 Minimodul



23. März 2009

Zentralinstitut für Elektronik

Folie 4

Motivation

Lösung ohne kommerzielles Linux gesucht

- Probleme
 - Adaption des freien Linuxkernel, (Xilinx-)Treiber, Toolchain ?
 - Dateisystem und Betriebssystembefehle ?



23. März 2009

Zentralinstitut für Elektronik

Folie 5

Ausgangslage

- Nach der Diplomarbeit stand zur Verfügung:
 - + Crosscompiler Toolchain (crosstool-scripte)
 - + Freier Linuxkernel 2.6.18
 - + Dateisystem mit Busybox
 - - Kernel + Dateisystem > 4MB on Chip Flash
 - - Booten nur über SystemAce und CF möglich
 - - Kein Bootloader/Monitor:
 - *Eingeschränkte Imageauswahl*
 - *EDK Flashprogrammer muss genutzt werden*

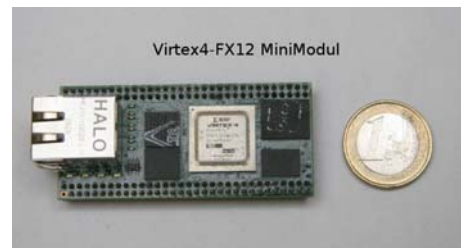
23. März 2009

Zentralinstitut für Elektronik

Folie 6

Zielsetzung

- Entwicklung eines kompakten und flexiblen SoC Modul
- Als embedded Controller für verschiedene Applikationen
 - Virtex4 FX12 Minimodul
 - Lizenzfreies Linux Betriebssystem
 - Einsatz eines Bootloaders
 - Kernel + Dateisystem < 4 Mbyte (4 MB Flash)
 - Gängige Schnittstellen (Ethernet, RS232, ...)
 - Unterstützung von freien I/O
 - Anbindung zusätzlicher Peripherie mittels OPB Komponenten



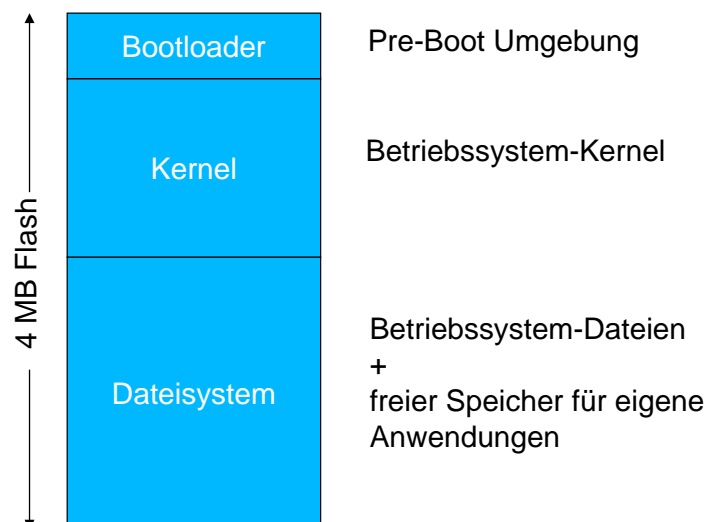
23. März 2009

Zentralinstitut für Elektronik

Folie 7

Zielsetzung

- Systemaufbau



23. März 2009

Zentralinstitut für Elektronik

Folie 8

Compiler Umgebung

- Wechsel von „crosstool“ zur „buildroot“ Umgebung
 - Menügesteuerte Konfiguration
 - Komplette Toolchain für diverse Plattformen
 - **Einsatz der uClibc:**
 - *helloworld.c: glibc.static -> 421820 Bytes*
 - *helloworld.c: uclibc.static -> 5316 Bytes*
 - Integrierte Busybox / Kernel Konfiguration und Übersetzung
 - Große Entwicklergemeinde, guter Support

Bootloader

- Xilinx EDK Bootloader verarbeitet nur SREC Images (gross)
- Universeller Bootloader „u-boot“ kann verschiedene Images verarbeiten und stellt weitere Funktionen zur Verfügung:
 - *Serieller/Netzwerk Dateitransfer*
 - *Flash lesen/schreiben/löschen*
 - ...
- Anpassen von „u-boot“ für das Minimodul
 - Erstellen einer allgemeingültigen Konfiguration für ppc405 Boards (xilinx-ppc405-generic)
 - Erstellen der speziellen Konfiguration für das FX12 Minimodul (fx12mm)
 - Jetzt Bestandteil des u-boot Paketes
 - Belegung im Flash <200k

Bootloader



```

schar
Conn:
Esc:
Type
or f
-----
U-Boo
Avnet
DRAM:
FLASH:
U-Boo
fx12m

Bank 1
AMD
Era:
Buf:
interrupts
irqinfo
Sec:
FFC:
FFC:
FFC:
FFC:
FFC:
FFD:
FFD:
FFD:
FFE:
FFE:
FFE:
FFE:
FFFI
FFFI
FFFI
FFFI
fx12m

icache - enable or disable instruction cache
iminfo - print header information for application image
imxtract- extract a part of a multi-image
interrupts - enable or disable interrupts
irqinfo - print information about IRQs
itest - return true/false on integer compare
loadb - load binary file over serial line (kermit mode)
loads - load S-Record file over serial line
loady - load binary file over serial line (ymodem mode)
loop - infinite loop on address range
loopw - infinite write loop on address range
ls - list files in a directory (default /)
md - memory display
mdc - memory display cyclic
mm - memory modify (auto-incrementing)
mtdparts- define flash/nand partitions
mtest - simple RAM test
mw - memory write (fill)
mwc - memory write cyclic
nm - memory modify (constant address)
printenv- print environment variables
protect - enable or disable FLASH write protection
reginfo - print register information
reset - Perform RESET of the CPU
  
```

Linux Kernel

- Offizieller Linuxkernel von www.kernel.org
 - Unterstützt PowerPC
 - Keine vollständige Xilinx Unterstützung
 - *TEMAC, Uartlite, usw.*
 - Einpflegen der vom EDK erstellten Treiber
 - GIT Repository von Grant Likely (git.secretlab.ca)
 - Seit Mitte 2008 pflegt Xilinx einen eigenen Zweig des Kernel unter git.xilinx.com

Kernel Anbindung

- FPGA Hardware und Konfiguration des PPC ändert sich
 - xparameter.h ist Verbindung zwischen EDK und Kernel
 - Wird zur Kernel buildtime gebraucht
- Ab Kernel 2.6.25 nur noch Unterstützung für device-trees
 - *Kernel unabhängig von xparameter.h*
 - *Wiederholtes neu compilieren überflüssig*
 - *U-boot unterstützt DT*

Resultat: Freier Kernel für FX12

- Kernel image < 1024 Byte, durch
 - Einsatz der uClibc
 - Detailliert angepasste Kernel Konfiguration
 - U-boot Kernelimageformat -> uimage
 - Kernel mit TCP/IP, Filesystem
 - Multiuser/Multitasking Support
- OnChip Flashspeicher 4096 KByte
 - U-boot 196 KByte
 - Kernel 1024 KByte
- **Verfügbar für Dateisystem 2876 KByte**

Dateisystem

- Buildroot erstellt Dateisystem image
 - Busybox als „multi-call-binary“ stellt die meisten geforderten Dienstprogramme bereit
 - HTTP/FTP Server
 - openssh Server
- JFFS2 Dateisystem
 - Speziell für Flash -> Sektorenweise löschen/schreiben
 - Kompression
 - Langsam aber nichtflüchtig
- RAMDisk aber problemlos möglich

Ergebnisse

- Kompaktes SoC Modul
- PowerPC, Ethernetschnittstelle, I/O und FPGA Logik
- Lizenzfreies, offenes Linux Betriebssystem für Virtex4 PowerPC
 - *Aktueller 2.6 Linux Kernel*
 - *Treiber für Xilinx IPs (git.xilinx.com)*
 - *Xilinx TEMAC lizenzfrei (EDK 8.2)*
- Bootloader mit großen Funktionsumfang
- Grundsystem belegt ca. 40% des FPGA-Logik
- 60% für eigene Logik mit Anbindung an den PPC (PLB/ OPB)
 - *EDK stellt Templates zur Verfügung*
 - *Anbindung wie Xilinx IP*

Ergebnisse

- Erreichte Ethernetperformance 7-8 MByte/s
 - *Xilinx TEMAC IP*
 - *DMA, Interrupt*
 - *Xilinx Linux Treiber*
 - *Volle CPU Last*
- ca. 1,5 MB Dateisystem frei
 - *Platz für eigene Applikationen*
 - *Webseiten*
 - *Konfigurationsdaten*

- **Einsatz als universelles Housekeeping Modul**

FPGA-basierte Ansteuerungselektronik für Justageeinheiten im Michelson-Interferometer

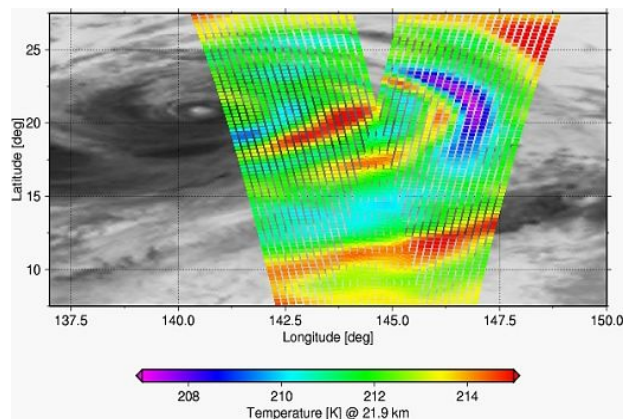
Holger Nöldgen

20. April 2009

SEI-Tagung Frühjahr 2009 im
Forschungszentrum Jülich GmbH

Überblick

- Infrarotspektroskopie
- GLORIA
- Michelson-Interferometer
- Warum Justageeinheiten im Interferometer?
- Entwickelte Hardware
 - Piezo
 - Schrittmotor
 - Drehgeber
- Fazit



Infrarotspektroskopie

- Spektrale Auswertung des IR-Bereichs für z.B. Meteorologie oder Astrologie
- Short Wave 1–3 μm
- Middle Range 3–5 μm
- Long wave 7–14 μm : p, T, O₃, H₂O,
- GLORIA (GLObal Limb Radiation Imager of the Atmosphere) – Instrument
- 2D IR-Detektor + Interferometer = abbildendes Fourierspektrometer arbeitet bei Wellenlängen von 7 μm – 14 μm

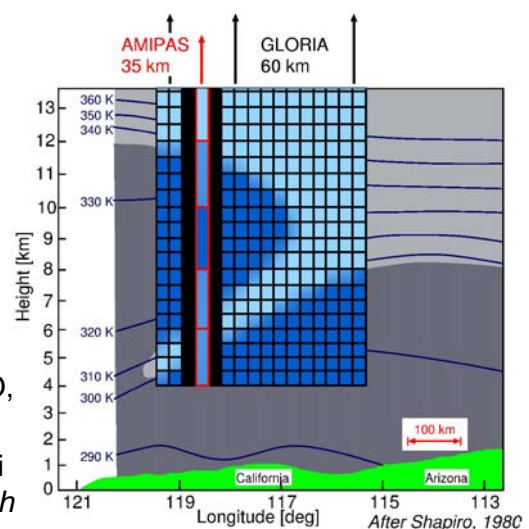
20. April 2009

Zentralinstitut für Elektronik

Folie 3

GLORIA - GLObal Limb Radiation Imager of the Atmosphere

- genutztes Detektor-Gesichtsfeld 128x128 pixel
- Wellenbereich (7 μm – 14 μm)
- Messzeit für einen kompletten Sweep: 40 s
- Vertikale Auflösung: 150...600 m
- Horizontale Auflösung: 2.4...20 km
- Messbare Parameter: p, T, O₃, H₂O, N₂O, CH₄, HNO₃, ...
- Flexibel: verschiedene Betriebsmodi möglich, z.B. *imaging mode* und *high spectral resolution mode*

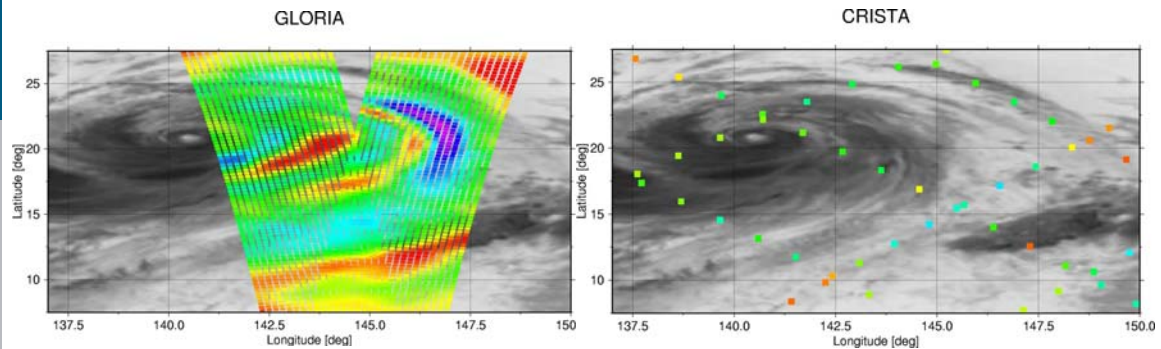


20. April 2009

Zentralinstitut für Elektronik

Folie 4

GLORIA vs. aktuelle Instrumente



- GLORIA zeigt erstmals ein 2-dimensionales Bild der atmosphärische Parameter mit hoher räumlicher Auflösung
- Bei mehreren Messreihen innerhalb einer Region kommt so ein gutes Abbild zustande

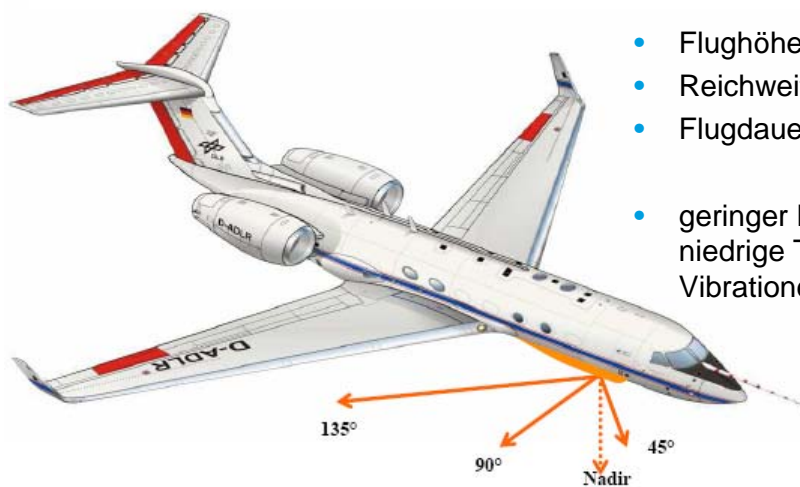
20. April 2009

Zentralinstitut für Elektronik

Folie 5

GLORIA auf HALO

- Messkampagnen für Flugzeug geplant
- Instrument wird im Belly Pod der HALO platziert



- Flughöhe ~ 15km
- Reichweite ~ 9000km
- Flugdauer ~ 12h
- geringer Druck, niedrige Temperaturen, Vibrationen

HALO: neues deutsches Atmosphärenforschungflugzeug der DLR

20. April 2009

Zentralinstitut für Elektronik

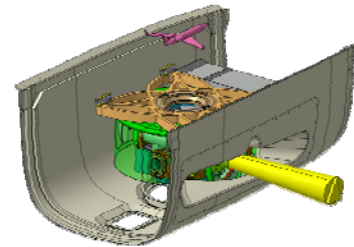
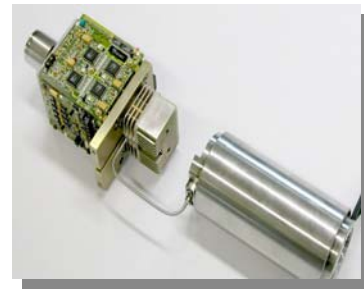
Folie 6

GLORIA - Instrument

- Abbildendes Fourierspektrometer
 - 128² Pixel IR-Detektor mit 2600 Frames/s
 - variables Pixel Binning abhängig der wissenschaftlichen Fragestellung
 - Michelson Linear-Interferometer mit 10 cm OPD

- Kardanrahmen
 - verstellbar in Azimut, Elevation und Bild-drehrichtung
 - unterhalb des Flugzeugs im BellyPod montiert
 - integriertes hoch präzises Lageregelssystem zur Stabilisierung der Sichtlinie während der Messsequenz

- Autonomer Betrieb (Steuerung via Sat-Com)



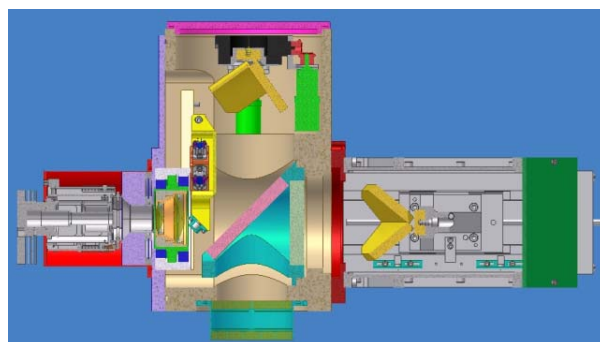
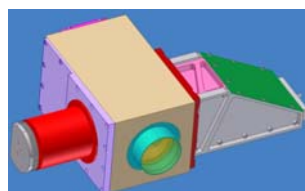
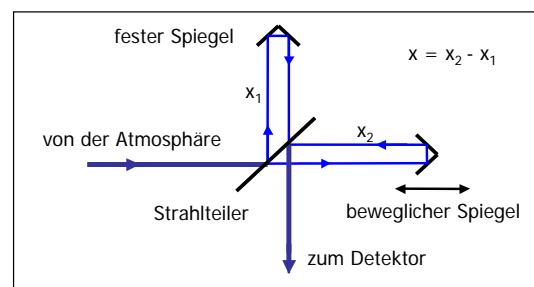
20. April 2009

Zentralinstitut für Elektronik

Folie 7

Michelson Interferometer

- Optikmodul wird im FZK entwickelt und gebaut
- sehr kompakt, leicht, steif aufgebaut
- Linear-Interferometer
- notwendige Justageeinheiten
 - Tilt
 - Shear
 - Fokussierung Objektiv



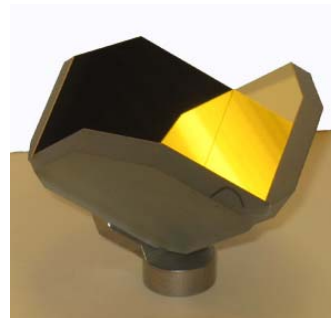
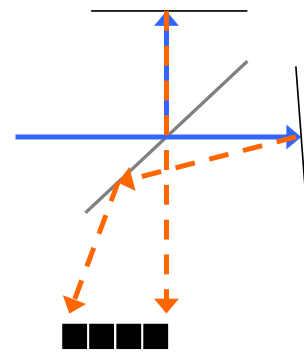
20. April 2009

Zentralinstitut für Elektronik

Folie 8

Tilt-Effekt im Interferometer

- Der Tilt-Effekt entsteht durch Verkipfung der Planspiegel
- daraus resultiert ein schiefer Strahlengang und Verringerung der Signalamplitude
- verschlechtert das Signal-zu-Rauschverhältnis
- Lösung: Verwendung von Spiegelecken

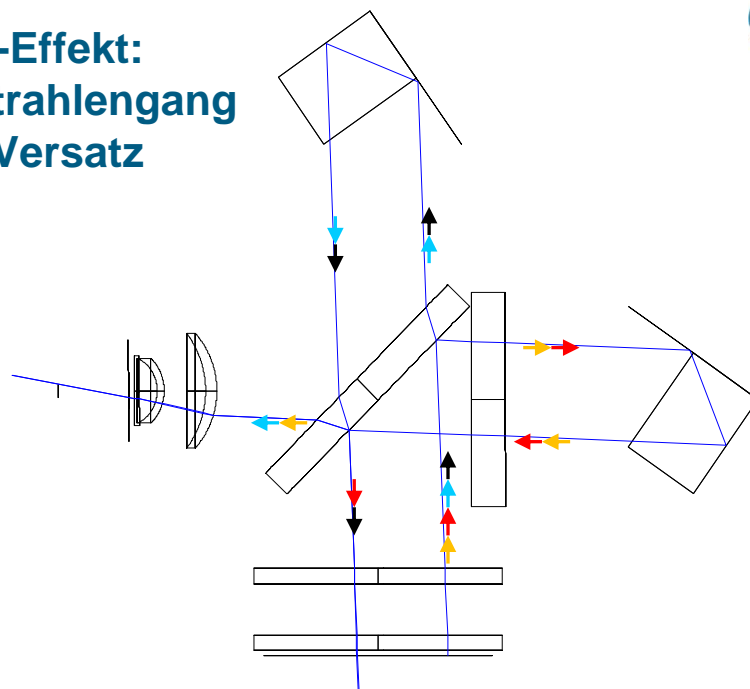


20. April 2009

Zentralinstitut für Elektronik

Folie 9

Shear-Effekt: IFM Strahlengang ohne Versatz



3D LAYOUT

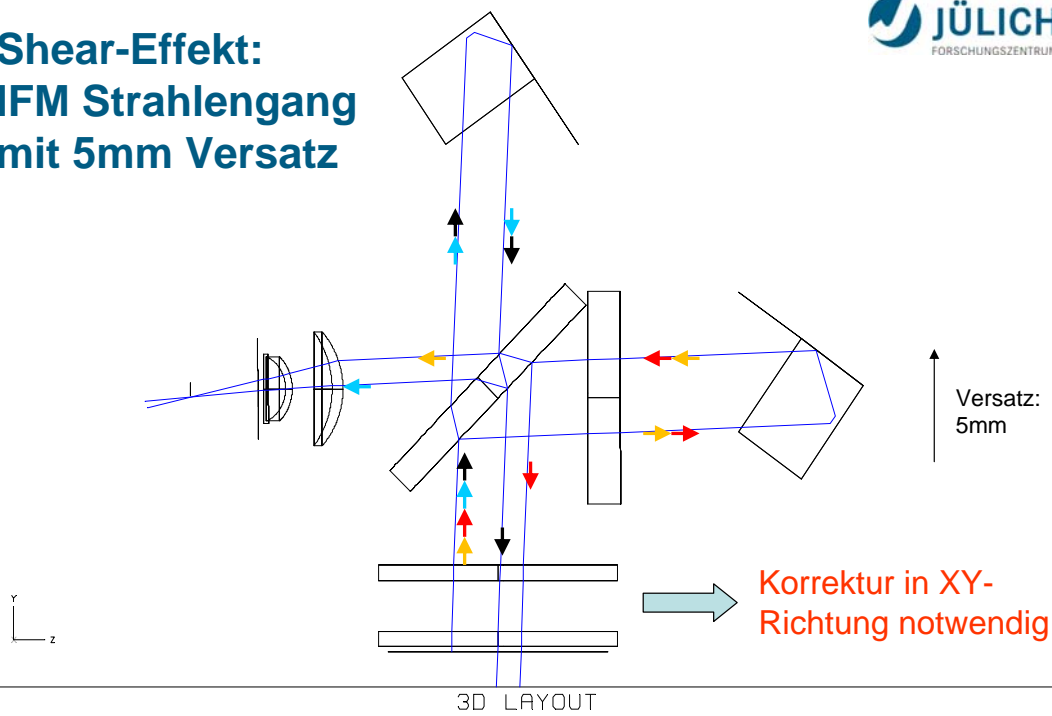
GLORIA-AB DESIGN 3
FRI FEB 8 2008

20. April 2009

Zentralinstitut für Elektronik

GLORIA_AB_03-2008-01-01
CONFIGURATION 1 OF 1

Shear-Effekt: IFM Strahlengang mit 5mm Versatz



GLORIA-AB DESIGN 3
FRI FEB 8 2008

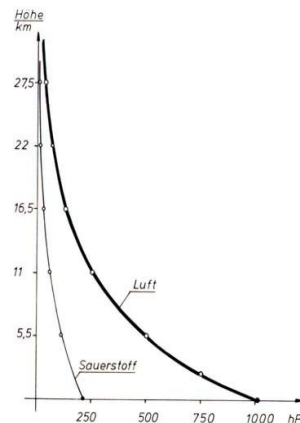
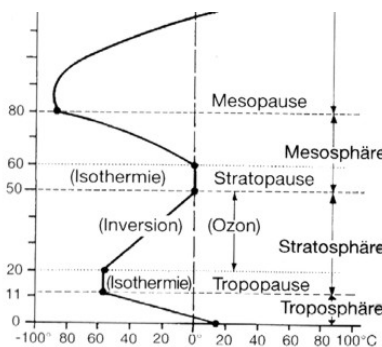
20. April 2009

Zentralinstitut für Elektronik

GLORIA_AB_03_ZMX
CONFIGURATION 1 OF 1

Fokussierung des Objektivs

- Problem: Große Temperaturvariationen am Detektorfenster
Mit zunehmender Flughöhe ändern sich physikalische Eigenschaften der Linse auf Grund von Temperatur- und Druckänderungen
- Zur Kompensation muss das Objektiv während des Fluges individuell adjustiert werden



20. April 2009

Zentralinstitut für Elektronik

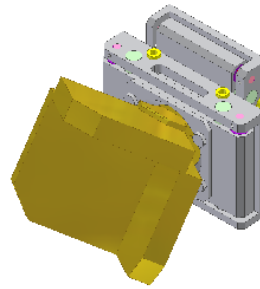
Folie 12

Realisierung Justagemechanik

Shear Effekt -> Piezo XY-Tisch einsetzen



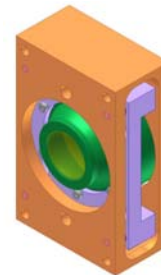
Piezo XY-Tisch mit
Spiegelecke



Fokussierung -> Stepper Motor mit
Absolutwert Encoder



Objektivversteller



20. April 2009

Zentralinstitut für Elektronik

Folie 13

Anforderungen an die zu entwickelnde Hardware

- Klein, kompakt
- Frei programmierbar
- In Gesamtelektronik integrierbar

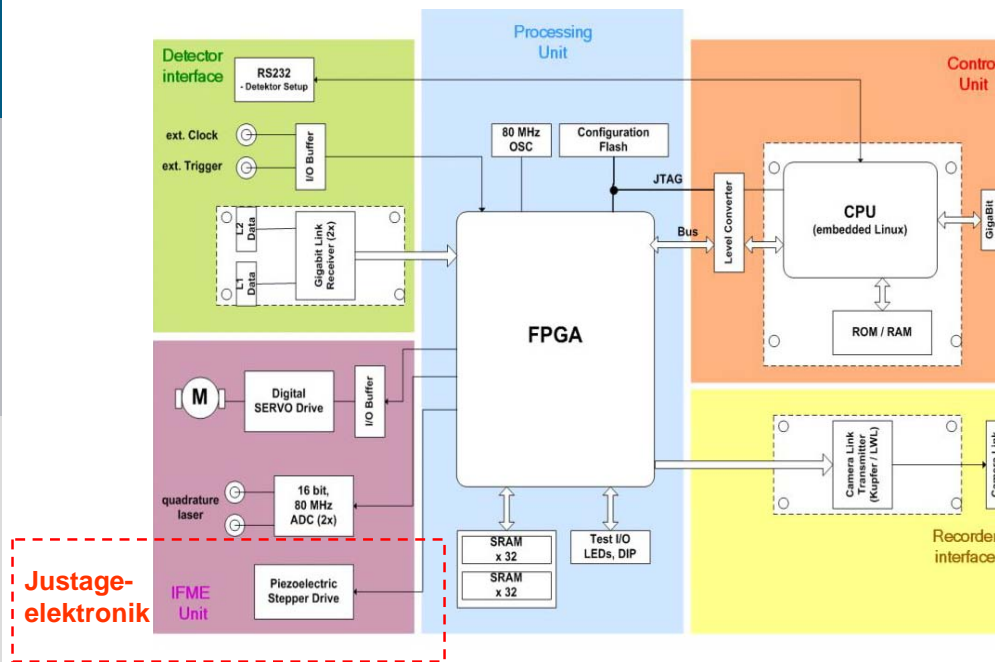
- Für den Flugbetrieb optimiert
 - Einsatztemperaturbereich: -40°C bis +85°C
 - Erhöhte mechanische Anforderungen
 - Luftdruck: 1mbar – 1030mbar
 - Schockfestigkeit bis 10g

20. April 2009

Zentralinstitut für Elektronik

Folie 14

Integration in Gesamtelektronik

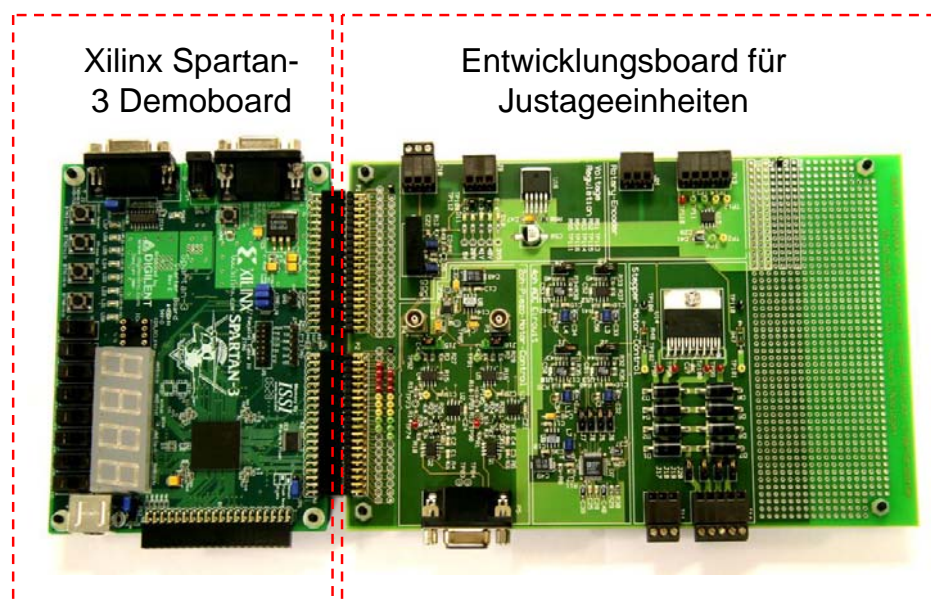


20. April 2009

Zentralinstitut für Elektronik

Folie 15

Entwicklungsumgebung

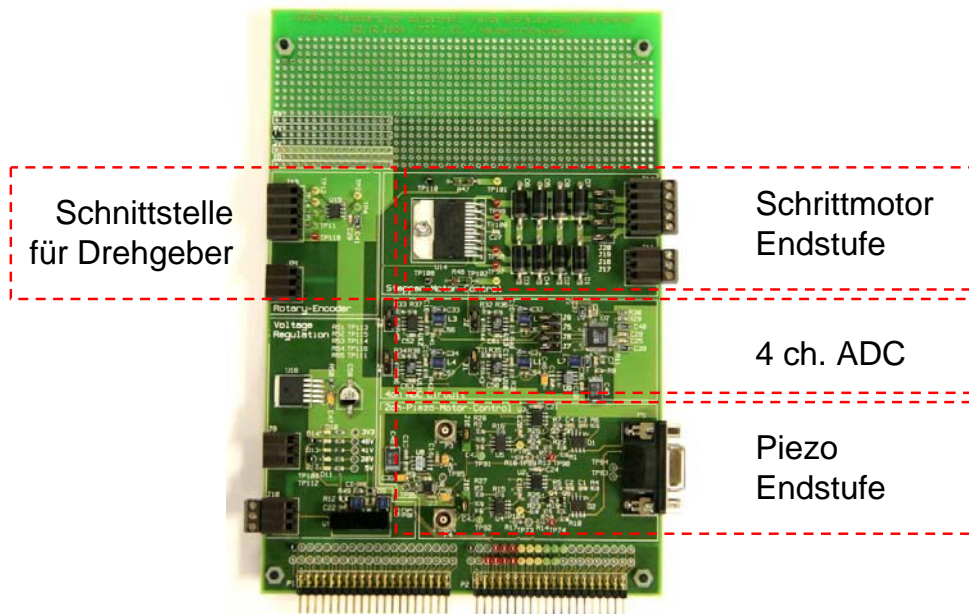


20. April 2009

Zentralinstitut für Elektronik

Folie 16

Entwickeltes Testboard



20. April 2009

Zentralinstitut für Elektronik

Folie 17

Funktionalität Testboard

- 1) Justierung Spiegelecke (Shear-Kompensation):
 - Piezoantriebe werden sequentiell angesteuert
 - Ansteuerung im FPGA implementiert, optional Test mit Funktionsgenerator möglich
- 2) Fokuseinstellung Objektiv
 - Aufbau STEPPER Endstufe, Ansteuerung im FPGA
 - Wegverwaltung über MAGRES Absolut-Drehgeber (SSI-Protokoll im FPGA)
- 3) Aufnahme von HK-Daten
 - Strommessung Stepper
 - Rampenform Piezo
- 4) Datenkommunikation zu Testzwecken
 - RS-232 Schnittstelle im FPGA implementiert
 - Telekommandobefehlsoberfläche mit NI LabVIEW

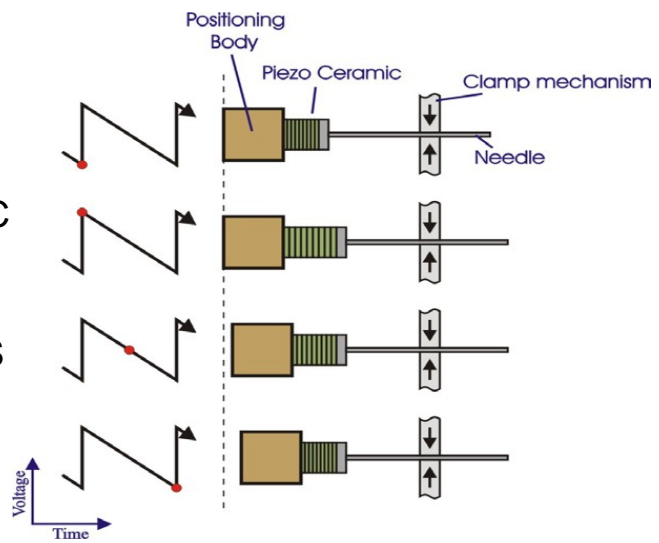
20. April 2009

Zentralinstitut für Elektronik

Folie 18

Prinzip der Piezo-Ansteuerung

- Pulserzeugung durch DAC und Verstärker
- steile Anstiegszeiten realisiert durch MOSFETS



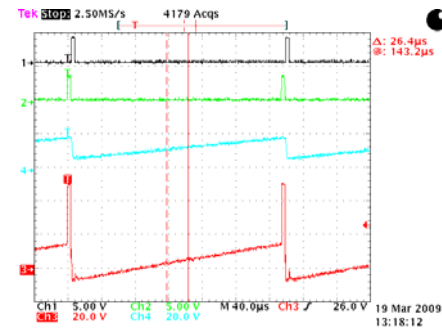
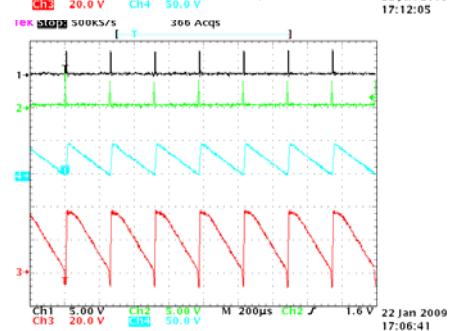
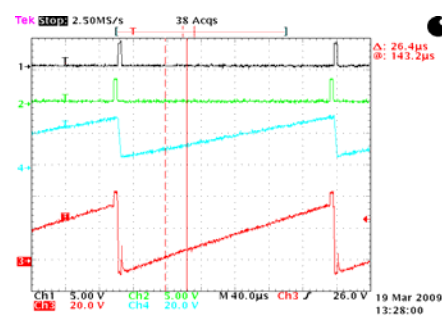
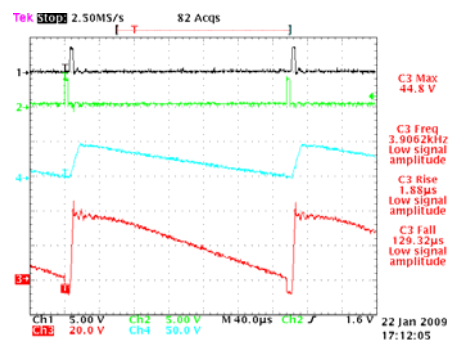
Prinzip der Ansteuerung des Piezoschlittens

20. April 2009

Zentralinstitut für Elektronik

Folie 19

Ergebnisse Piezo-Ansteuerung

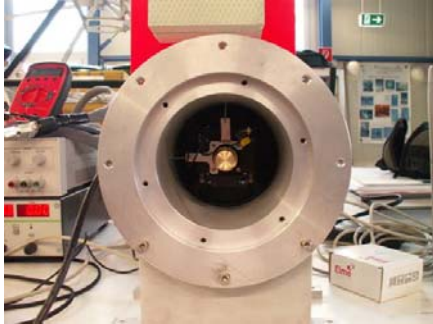


20. April 2009

Zentralinstitut für Elektronik

Folie 20

Kältetests am Forschungszentrum Karlsruhe



- Temperatureigenschaften des Piezo wurden charakterisiert
- Kältemessungen mit Hilfe von kapazitiver Wegmessung
- Messvorrichtung um Festfrieren zu verhindern
- Kühlung mit Trockeneis auf Temperaturen bis zu -70°C

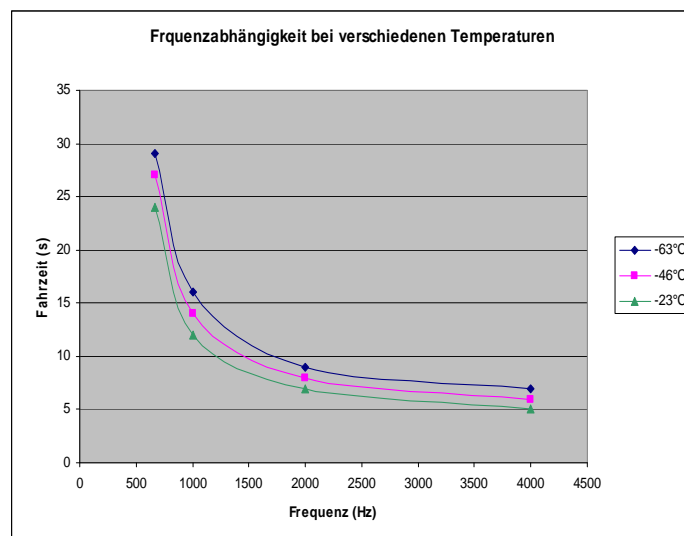
20. April 2009

Zentralinstitut für Elektronik

Folie 21

Frequenzabhängigkeit

- Spannung: 48V
- Dummy-Gewicht: 200g
- Wegstrecke: 4cm
- Bewegung nach oben



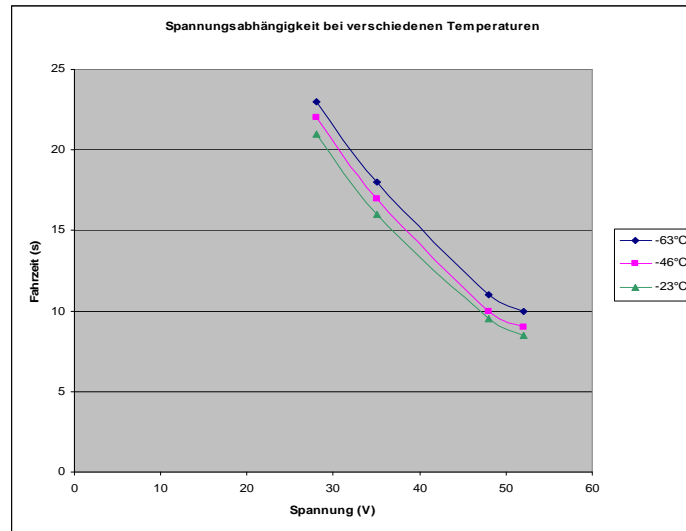
20. April 2009

Zentralinstitut für Elektronik

Folie 22

Spannungsabhängigkeit

- Frequenz: 667Hz
- Dummy-Gewicht: 200g
- Wegstrecke: 4cm
- Bewegung nach unten



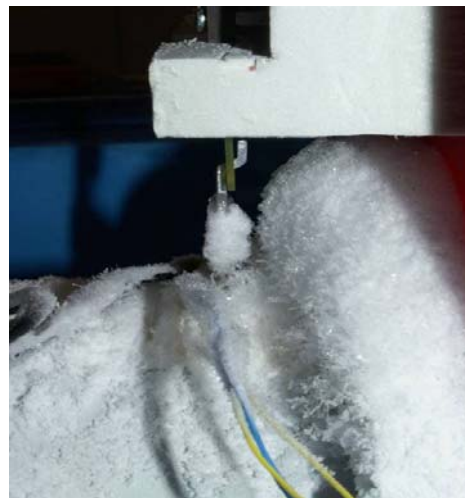
20. April 2009

Zentralinstitut für Elektronik

Folie 23

Fazit Piezo

- Piezoausdehnung nimmt mit fallender Temperatur minimal ab
- Piezo bewegt sich jedoch auch bei Temperaturen von -70°C
- Frequenz- und Spannungsabhängigkeit wurden bestimmt
- Beste Ergebnisse bei 4kHz und 48V Spannung
- Festfrieren konnte nicht gänzlich vermieden werden



20. April 2009

Zentralinstitut für Elektronik

Folie 24

Implementierung des Schrittmotors



- Halbschritt- und Vollschrittbetrieb wurden implementiert
- Vollschrittbetrieb wird als sinnvoller erachtet, da höheres Drehmoment möglich, effektive mechanische Auflösung des Objektivs sehr gut, d.h. Motorschrittweite ausreichend
- Maximaler Fahrweg der Linse: 4mm
- Schneckenumdrehungen pro mm: 148
- Motorschritte pro Schneckenumdrehung: 200
- Motorschritte pro mm: 29.600
- Motorschritte für volle 4mm: 118.400
- Motorfrequenz: ~ 500Hz – 2kHz (150-600 U/min)
- Stromaufnahme: 1,2A
- Betriebsspannung: 42V

20. April 2009

Zentralinstitut für Elektronik

Folie 25

Schrittmotor und Drehgeber

Weitere Optimierungen der Schrittmotoransteuerung:

- Einstellbare Strombegrenzung mittels PWM
- Anfahrtrampen für Strom und Frequenz
- Regelung mit Strommessung per ADC

Drehgeber:

- 10 Bit Singleturn (1 Bit entspricht ~0,35°)
- 15 Bit Multiturn (32768 Umdrehungen)
- SSI-Schnittstelle im FPGA implementiert
- Reset-Eingang

Der Drehgeber wird benötigt um die exakte Position des Objektivs bestimmen zu können und Festsitzen der Mechanik zu detektieren



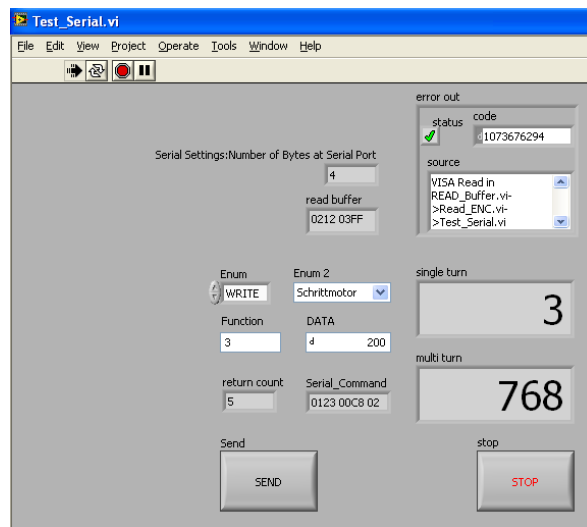
20. April 2009

Zentralinstitut für Elektronik

Folie 26

NI LabVIEW Testumgebung

- Steuerung der Justageeinheiten mittels Telekommando Befehlen
- Auslesen des Drehgebers
- Basierend auf die VISA Treiber für RS232
- ADC wird noch implementiert



20. April 2009

Zentralinstitut für Elektronik

Folie 27

Zusammenfassung Ausblick

- Hardware zum Test der Justageeinheiten wurde entwickelt und erfolgreich in Betrieb genommen
- VHDL Code für den FPGA wurde implementiert und mit der Hardware getestet
- Erste Tests am FZK für den kryogenen Einsatz zeigten gute Ergebnisse
- Weitere Arbeiten sind in erster Linie für die Ansteuerung des Schrittmotors durchzuführen:
 - Strombegrenzung
 - Anfahrampen
 - Weitere Kältetests

20. April 2009

Zentralinstitut für Elektronik

Folie 28

Danke

Tom Neubert
Heinz Rongen
Ralf Engels
Günter Kemmerling
Jakob Schelten

MIPAS-Gruppe des Instituts für Meteorologie und
Klimaforschung am Forschungszentrum Karlsruhe

Neue Entwicklungen in der Strahlenschutzmesstechnik

Dr. Alfred Klett
Berthold Technologies, Bad Wildbad

SEI-Frühjahrstagung Studiengruppe für Elektronische Instrumentierung
Forschungszentrum Juelich 23.-25. März 2009

Übersicht

- ▣ Einführung
- ▣ Kontaminationsmessung mit Szintillations-Detektoren
- ▣ Neues Verfahren zur Ortsdosis-Messung in gepulsten Neutronenfeldern
- ▣ Spektroskopie mit LaBr₃ bei der Messung luftgetragener Radioaktivität

Alfred Klett 23. März 2009

2

Berthold Technologies in Bad Wildbad

- ▣ Namhafter, führender mittelständischer Messgeräte-Hersteller mit 60 Jahre Tradition
- ▣ Produkte für
 - ▣ Industrielle Prozessmesstechnik
 - ▣ Bioanalytik
 - ▣ Strahlenschutz
- ▣ schön gelegen im Nordschwarzwald in der Nähe von Karlsruhe



Alfred Klett 23. März 2009

3

Berthold Technologies

- ▣ 1949 Gründung Prof. R. Berthold
- ▣ 1960 Weiterführung Dr. F. Berthold
- ▣ 1989 Verkauf an EG&G Inc. USA (später PerkinElmer Inc.)
- ▣ 2000 Rückkauf
- ▣ 2008 knapp 60 Mio. € Umsatz
- ▣ weltweit 335 Mitarbeiter
- ▣ Eigene Tochterunternehmen in Belgien, Frankreich, Italien, Österreich, Schweiz, UK und USA
- ▣ Quality Management System nach ISO 9001, ISO 14001, KTA 1401



Alfred Klett 23. März 2009

4

Unsere Kunden in der Prozessmesstechnik

- ▣ Chemische Industrie
- ▣ Raffinerien
- ▣ Kraftwerke
- ▣ Kohle
- ▣ Bergbau
- ▣ Zement
- ▣ Keramik
- ▣ Nahrungsmittel
- ▣ Stahlindustrie
- ▣ Papierindustrie
- ▣ Glasindustrie
- ▣ Baustoffindustrie

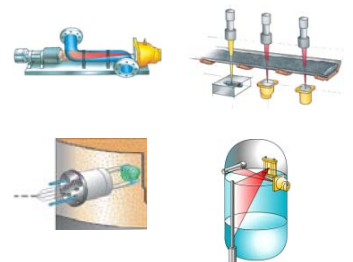


Alfred Klett 23. März 2009

5

Anwendungen in der Prozessmesstechnik

- ▣ Füllstand
- ▣ Dichte
- ▣ Feuchte
- ▣ Durchsatz
- ▣ Flächengewicht
- ▣ Konzentration
- ▣ Schwefelgehalt
- ▣ Prozessanalytik

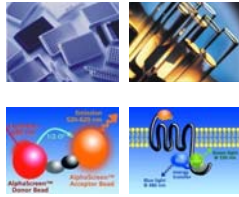


Alfred Klett 23. März 2009

6

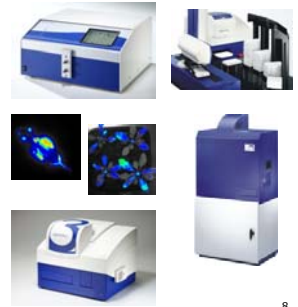
Unsere Kunden in der Bioanalytik

- ▣ Biotechnologie
- ▣ Pharmazeutische Wirkstoff-Forschung
- ▣ Life Sciences Research
- ▣ Diagnostik und Nuklearmedizin
- ▣ Hygiene - Überwachung



Anwendungen & Produkte in der Bioanalytik

- ▣ Microplate Readers
- ▣ Imaging Instrumente
- ▣ Röhren Luminometer
- ▣ Radio HPLC Monitore
- ▣ Gamma Zähler



Unsere Kunden im Strahlenschutz

- ▣ Radionuklidlabors
- ▣ Nuklearmedizin
- ▣ Forschungslabors
- ▣ Kernkraftwerke
- ▣ Nuklearindustrie
- ▣ Lebensmittelindustrie
- ▣ Aufsichtsbehörden
- ▣ Staatliche Ämter



Anwendungen & Produkte im Strahlenschutz

- ▣ Kontaminations-Messung
- ▣ Dosis- und Dosisleistungs-Messung
- ▣ Aktivitäts-Messung und Low-level- α/β -Counting
- ▣ Luftüberwachung auf Aerosole, Jod, Edelgas, Tritium
- ▣ Strahlenschutzsysteme nach speziellen Kundenanforderungen



Einführung

- ▣ Die Messung von Kontamination und Aktivität sind wesentliche Aufgaben im Strahlenschutz
- ▣ Dazu sind zuverlässige, leicht bedienbare und robuste Messgeräte erforderlich
- ▣ Neue Produkte basierend auf Szintillations-Messtechnik sind den mit Gas betriebenen traditionellen Detektoren deutlich überlegen hinsichtlich
 - ▣ Messeigenschaften
 - ▣ Leichte Bedienbarkeit
 - ▣ Service und Wartung
 und beginnt nun überall gasbetriebene Geräte zu ersetzen



Eine neue Technologie-Plattform

- ▣ Vorteile der Szintillations-Messtechnik
 - ▣ keine Gasversorgung erforderlich
 - ▣ in der Regel höhere Ausbeuten und niedrigere Nachweisgrenzen
 - ▣ einfache Reparatur von Eintrittsfenstern
 - ▣ geringes Gewicht
 - ▣ geringere Kosten für Service und Instandhaltung
- ▣ Neue Berthold-Messgeräte mit Szintillations-Messtechnik
 - ▣ Kontaminations-Monitor LB124 SCINT
 - ▣ Kontaminations-Monitor LB124-300 (mit 300 cm² Fläche)
 - ▣ Hand-Fuß-Kleider-Monitor LB 147
 - ▣ Aktivitätsmessplatz LB 2046 zur Alpha- / Beta-Messung

Nachteile gasgefüllter Detektoren

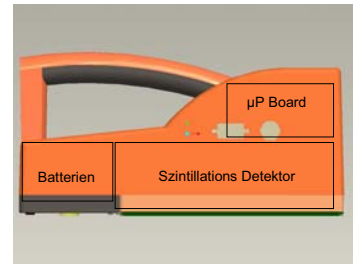
- ▣ Eintrittsfenster kann leicht beschädigt werden
- ▣ Relativ hohe Kosten für Service und Instandhaltung
- ▣ Abgeschmolzene Detektoren können nur beim Hersteller repariert werden
- ▣ Für Durchflusszähler ist eine Gasversorgung erforderlich
- ▣ Manche Zählgase sind brennbar
- ▣ Butan-Zähler können nicht bei Temperaturen unter 5°C betrieben werden
- ▣ Gasgefüllte Detektoren sind relativ schwer, da sie meistens ein Metallgehäuse besitzen

Alfred Klett 23. März 2009

13

Neues Design

- ▣ Problem
 - ▣ kompaktes Design eines Detektors mit großer Messfläche
 - ▣ Lichtsammlung aus den Ecken des Detektors
- ▣ Lösung
 - ▣ ZnS:Ag als Szintillator
 - ▣ Innovative Reflektor Geometrie

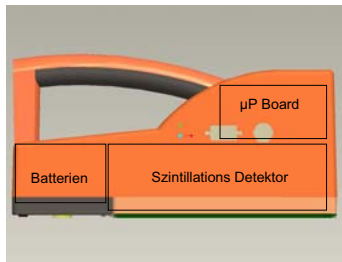


Alfred Klett 23. März 2009

14

Prinzipieller Aufbau des LB 124 SCINT

- ▣ Flacher, kompakter Szintillationsdetektor mit einer empfindlichen Messfläche von 170 cm²
- ▣ Gleichzeitige und getrennte Messung von α- und β-γ-Strahlung



Alfred Klett 23. März 2009

15

Kontaminationsmonitor LB 124 SCINT



- ▣ Flacher ZnS:Ag Szintillator
- ▣ Lichtnachweis über PMT
- ▣ Gleichzeitige und getrennte Messung von α- und β-γ-Strahlung
- ▣ Gleichmäßiges Ansprechvermögen über 170 cm² empfindliche Fläche
- ▣ Hohe Efficiencies und sehr niedrige Nachweisgrenzen bei kurzer Messzeit
- ▣ 6 µm Eintrittsfenster aus aluminisiertem Kunststoff 0.4 mg/cm²

Alfred Klett 23. März 2009

16

Kontaminationsmonitor LB 124 SCINT



- ▣ Leichte Bedienbarkeit
- ▣ Verschieden Benutzerprofile
- ▣ Akustische Warnung
- ▣ Speicher für >1000 Datenpunkte
- ▣ RS 232 Schnittstelle
- ▣ Batteriebetrieben
 - > 25 h (Ni-MH 3.5 Ah)
 - > 50 h (Alkaline 7.8 Ah)
- ▣ Schutzart IP53
- ▣ 1300 g Gesamtgewicht mit Batterien
- ▣ Temperaturbereich: -20°C bis +40°C

Alfred Klett 23. März 2009

17

Technische Daten LB 124 SCINT



- ▣ Messfläche 170 cm²
- ▣ Eintrittsfenster 6 µm Kunststoff aluminisiert 0.4 mg/cm²
- ▣ Efficiencies

¹⁴ C	11%
³⁶ Cl	43%
⁶⁰ Co	29%
^{99m} Tc	8%
²⁴¹ Am (alpha)	8%
- ▣ Nulleffekt

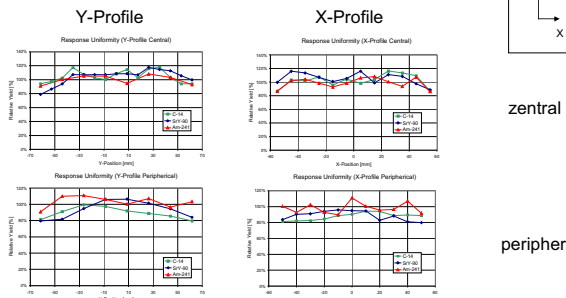
Beta	10 cps
Alpha	0.1 cps
- ▣ Spillover

Alpha -> Beta	< 50%
Beta -> Alpha	< 2 x 10 ⁻⁵
- ▣ Schutzgitter 80% geometrical transmission
- ▣ Schutzrechte DPMA Gebrauchsmuster Nr. 20 2006 003 818.3
US Patent No. 7,368,722

Alfred Klett 23. März 2009

18

Gleichmäßiges Ansprechvermögen



zentral

peripher

Alfred Klett 23. März 2009

19

LB 124SCINT-300 mit 300cm² Messfläche

- ▶ bei Kontaminationsmessung nach §44 StrSchV max. 300 cm² Mittelungsfläche
- ▶ Vorteil größerer Messflächen
 - ▶ Besseres Suchverhalten
 - ▶ Schnellere Messung



Alfred Klett 23. März 2009

20

Hand-Fuss-Kleider Monitor LB 147

- ▶ Szintillations-Detektoren
 - ▶ Hand 130 mm x 210 mm (345 cm²)
 - ▶ Fuss 150 mm x 360 mm (540 cm²)
- ▶ Gleichzeitige und getrennte Alpha- und Beta-Gamma Messung
- ▶ Kleidersonde
- ▶ Speicher für >1000 Messdaten
- ▶ USB, RS232, RS485
- ▶ Networking capability
- ▶ Optionaler Kartenleser



Alfred Klett 23. März 2009

23

Hand-Fuss-Kleider Monitor LB 147

- ▶ Großes leicht ablesbares graphisches LCD Display (Touchpanel)
- ▶ Service Funktionen
 - ▶ Plateau-Messung
 - ▶ Kalibrierung
 - ▶ System Test
- ▶ Zugangskontrolle
- ▶ Positionssensoren
 - ▶ Hand: infrarot
 - ▶ Fuß: μ -switch



Alfred Klett 23. März 2009

22

Hand-Fuss-Kleider Monitor LB 147

- ▶ Nuklid-Bibliothek
- ▶ Konfiguration nur für Alpha- oder nur für Beta-Gamma-Messung möglich
- ▶ Handrückenmessung konsekutiv softwaregesteuert
- ▶ Datenkommunikation
- ▶ Spannungsversorgung 65-230 VAC



Alfred Klett 23. März 2009

23

Aktivitätsmessplatz LB 2046

- ▶ Detektor: ZnS(Ag) und PMT, \varnothing 60 mm
- ▶ Gleichzeitige und getrennte α - und β - γ -Messung
- ▶ Schublade für Probenschälchen oder Filter mit \varnothing 60 mm oder \varnothing 100 mm
- ▶ Typischer Nulleffekt
 - ▶ 0.02 ips (α)
 - ▶ 0.3 ips (β - γ)



Alfred Klett 23. März 2009

24

Aktivitätsmessplatz LB 2046

- ▣ Ausbeute
 - ▣ 22% for ^{241}Am (α)
 - ▣ 41% for ^{36}Cl (β - γ)
 - ▣ 8% for ^{14}C (β - γ)
- ▣ Nachweisgrenzen mit 1h Messzeit
 - ▣ ^{241}Am : 0.03 Bq (α)
 - ▣ ^{36}Cl : 0.06 Bq (β - γ)
- ▣ Spillover
 - ▣ $\alpha \rightarrow \beta$ - γ < 10% (^{210}Po)
 - ▣ β - $\gamma \rightarrow \alpha$ < 2×10^{-5} (^{90}Sr)



Alfred Klett 23. März 2009

25

Rechtliche Aspekte und Kalibrierung

- ▣ Verlassen Kontrollbereich nach § 44 StrlSchV
 - ▣ Prüfung Kontamination von Personen und Gegenständen (bei Umgang mit offenen radioaktiven Stoffen)
 - ▣ 300 cm² max. Mittelungsfläche
 - ▣ Grenzwerte nach StrlSchV Anlage III Tabelle 1 Spalte 4
- ▣ Freigabe nach § 29 StrlSchV
 - ▣ Grenzwerte Oberflächenkontamination Anlage III Tabelle 1
 - ▣ Spalte 8 Freigabe von Gebäuden zur Wiederverwendung
 - ▣ Spalte 10 Freigabe von Gebäuden zum Abriss
 - ▣ Mittelungsflächen 1000 cm² und größer
- ▣ Transportrecht - Anlage 3 StrlSchV Transportbehälter
 - ▣ Oberflächen freigestellter Versandstücke: für β - γ 0.4 Bq/cm² bzw. für α 0.04 Bq/cm²
 - ▣ Oberflächen nichtfreigestellter Versandstücke: für β - γ 4 Bq/cm² bzw. für α 0.4 Bq/cm²
 - ▣ max. Mittelungsfläche 300 cm²

Alfred Klett 23. März 2009

26

Kontamination

- ▣ Definition: Unerwünschte Verunreinigung von Arbeitsflächen, Geräten, Räumen, Wasser, Luft usw. durch radioaktive Stoffe (Lexikon zur Kernenergie, W. Koelzer)
- ▣ Die Messgröße ist Aktivität pro Fläche in [Bq/cm²]
- ▣ zu definieren
 - ▣ Bezug auf welche Fläche?
 - ▣ Bezug auf Aktivität oder Teilchenfluss



Alfred Klett 23. März 2009

27

Kalibrierung Kontaminationsmonitore

- ▣ Durchführung bei NUCLITEC (ehemals QSA Global) in Braunschweig
- ▣ Akkreditiertes DKD Labor für Aktivität
- ▣ Die Aktivitäten und Teilchenflüsse sind rückführbar auf
 - ▣ nationale Normale
 - ▣ traceability to NIST (nach ANSI. N42.22-1995)
- ▣ 3% relative Unsicherheit der Aktivitäten mit k=2 und 95% Konfidenzlevel
- ▣ Genauigkeitsangaben entsprechend *Guide to the Expression of Uncertainty in Measurement*, ISO Guide, 1995
- ▣ Beta-Teilchenflüsse werden gemessen mit fensterlosem Proportionalzählrohr
- ▣ Messgeräte (jeweils mehrere normale Seriengeräte)

Alfred Klett 23. März 2009

28

Strahlungsquellen

- ▣ offene Strahlungsquellen
- ▣ aktive Fläche 100 mm x 100 mm
- ▣ gute Homogenität der Aktivitätsverteilung
- ▣ Aluminium-Trägerplatte mit den Abmessungen 120 mm x 120 mm x 3 mm
- ▣ Aktivitäten ca. 10 bis 200 kBq

Alfred Klett 23. März 2009

29

Radionuklide

- ▣ Neue Nuklide
 - ▣ Ni-63, Sm-153, Er-169, Re-186, Re-188
- ▣ weitere QSA Strahlungsquellen
 - ▣ F-18, P-32, P-33, S-35, Cr-51, Mn-54, Co-57,
 - ▣ Co-58, Fe-59, Ga-67, Se-75, Sr-89, Y-90, Tc-99m,
 - ▣ In-111, Sn-113, I-123, I-125, I-131, Tl-201
- ▣ Berthold Strahlungsquellen
 - ▣ C-14, Cl-36, Fe-55, Co-60, Sr-90, I-129, Cs-137, Tl-204, Po-210, U-238, Pu-238, Pu-239, Am-241

Alfred Klett 23. März 2009

30

Durchführung Messungen



Alfred Klett 23. März 2009

31

Kalibrierung tragbare Messgeräte



Messung von Alpha- und Beta / Gamma-Brutto-Zählraten

- Nulleffekt
- mit Strahlungsquellen

Alfred Klett 23. März 2009

32

Prüfadapter mit Quelle



Alfred Klett 23. März 2009

33

Wohldefinierte Prüfgeometrie



Alfred Klett 23. März 2009

34

Tochternuklide in der StrlSchV Anlage III

- ▣ Radionuklide mit der Kennzeichnung „+“, „++“ oder „sec“ sind Mutternuklide im Gleichgewicht mit den in Tabelle 2 angegebenen Tochternukliden
- ▣ Die Strahlenexpositionen durch diese Tochternuklide sind bei den Freigrenzen, Freigabewerten oder Werten der Oberflächenkontamination bereits berücksichtigt
- ▣ Die Aktivitätsangaben beziehen sich also nur auf die Mutternuklide
- ▣ Beispiel: Sr-90+ ist Sr-90 im Gleichgewicht mit Y-90; die Freigrenze von 10.000 Bq für Sr-90 bezieht sich also nur auf das Mutternuklid

Alfred Klett 23. März 2009

35

StrlSchV Anlage III Tabelle 2 Tochternuklide

Mutternuklid	Tochternuklide
Sr-90+	Y-90
Ru-106+	Rh-106
Sn-113+	In-113m
Cs-137+	Ba-137m
W-188+	Re-188
Pb-210+	Bi-210
Pb-210++	Bi-210, Po-210
Rn-222+	Po-218, Pb-214, Bi-214, Po-214

Alfred Klett 23. März 2009

36

StrlSchV Anlage III Tabelle 2 Tochternuklide

Mutternuklid Tochternuklide

Ra-226+	Rn-222, Po-218, Pb-214, Bi-214, Po-214
Ra-226++	Rn-222, Po-218, Pb-214, Bi-214, Po-214, Pb-210, Bi-210, Po-210, Po-214
Th-232sec	Ra-228, Ac-228, Th-228, Ra-224, Rn-220, Po-216, Pb-212, Bi-212, Tl-208, Po-212U
U-238+	Th-234, Pa-234m, Pa-234
U-238sec	Th-234, Pa-234m, Pa-234, Th-230, Ra-226, Rn-222, Po-218, Pb-214, Bi-214, Po-214, Pb-210, Bi-210, Po-210, Po-214

Neue Berechnung für einige Nuklide

- ▣ Zum Beispiel für das Nuklid Sr-90+ beziehen wir uns ab jetzt konform zur Strahlenschutzverordnung nur noch auf die Aktivität des Mutternuklids
- ▣ Bisher hatten wir uns auf die Summenaktivität der Nuklide Sr-90 + Y-90, also auf die verdoppelte Aktivität bezogen
- ▣ Wir haben das meist als „SrY-90“ oder „Sr+Y-90“ bezeichnet, um anzudeuten, dass die Summenaktivität gemeint war
- ▣ Ein Kontaminationsmonitor hat damit bisher bei einer SrY-90 Kalibrierung bezüglich der Aktivität des Mutternuklids den doppelten Wert angezeigt
- ▣ Bei den neuen Kalibrierungen wird weniger Aktivität angezeigt
- ▣ Die Efficiency scheint sich gegenüber früher zu verdoppeln.

Neue Berechnung für einige Nuklide

- ▣ Deutlich bemerkbare Unterschiede ergeben sich vor allem bei den Radionukliden
 - ▣ Sr-90+
 - ▣ U-238sec
- ▣ Bei folgenden Nukliden wurde es im Prinzip immer schon so gemacht
 - ▣ Sn-133+
 - ▣ Cs-137+
 - ▣ Pb-210+
 - ▣ Ra-226++
 - ▣ Th-232sec

Berechnung Kontaminations-Messwert

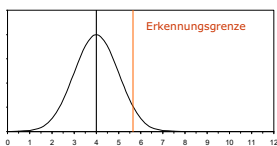
- ▣ Bezug auf Aktivität und auf 100 cm² Fläche

$$A_{Surface} = \frac{R_{Sample} - R_{Bgrd}}{\epsilon_{Detection} \times 100cm^2} \quad \epsilon_{Detection} = \frac{R_{Source} - R_{Bgrd}}{A}$$

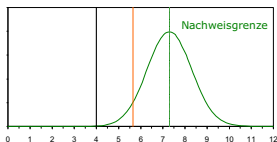
- ▣ Bezug auf Teilchenfluss $q_{2\pi}$ und empfindliche Detektorfläche W (ISO 7503-1)

$$A_{Surface} = \frac{R_{Sample} - R_{Bgrd}}{\epsilon_{Detection} \times W \times \epsilon_{Source}} \quad \epsilon_{Detection} = \frac{R_{Source} - R_{Bgrd}}{q_{2\pi}}$$

Nachweis- und Erkennungsgrenze



Nulleffekt



Probenbeitrag

Normen Nachweisgrenze

- ▣ Wir verwenden weiter DIN 25482-1 (oder in internationalen Unterlagen ISO 11929-1)
- ▣ Die neue DIN 25482-10 regelt alles komplett neu und basiert auf der Bayes-Statistik; Akzeptanz in Fachkreisen noch nicht sehr hoch
- ▣ Die älteren Normen DIN 25482 Teil 1-7 und ISO 11929 parts 1-5 wenden den „Guide to the Expression of Uncertainty in Measurement (GUM)“ noch nicht an
- ▣ Die neueren Normen DIN 25482 Teile 10-13 und ISO 11929 parts 6-8 wenden den GUM an

Formeln DIN 25482-1

- Erkennungsgrenze (= Decision Threshold)

$$R_n^* = \frac{1}{2I_0} \cdot k_{1-\alpha}^2 \cdot \left(1 + \sqrt{1 + \frac{4 \cdot R_0 \cdot I_0}{k_{1-\alpha}^2} \cdot \left(1 + \frac{I_0}{I_B} \right)} \right)$$

- Nachweisgrenze (= Detection Limit)

$$\rho_n^* = (k_{1-\alpha} + k_{1-\beta}) \cdot \sqrt{\rho_0 \cdot \left(\frac{1}{I_0} + \frac{1}{I_B} \right)} + \frac{1}{4} \cdot (k_{1-\alpha} + k_{1-\beta})^2 \cdot \left(\frac{1}{I_0} + \frac{1}{I_B} \right)$$

- Mit den Faktoren $k_{1-\alpha} = k_{1-\beta} = 1.65$ und den Messzeiten T_0 für Nulleffekt und T_B für Probe

Normen Nachweisgrenze

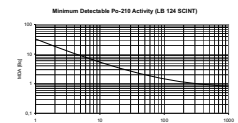
DIN 25482 - Nachweisgrenze und Erkennungsgrenze bei Kernstrahlungsmessungen	ISO 11929 - Determination of the detection limit and decision threshold for ionizing radiation measurements
DIN 25482-1 , 1989-04 - Zählende Messungen ohne Berücksichtigung des Probenbeeinflussungseffektes	ISO 11929-1:2000 - Fundamentals and application to counting measurements without the influence of sample treatment
DIN 25482-2 , 1992-09 - Zählende spektrometrische Messungen ohne Berücksichtigung des Probenbeeinflussungseffektes	
DIN 25482-3 , 1993-02 - Messungen mit linearen analog arbeitenden Zählrohrmeßgeräten (Ratometer)	ISO 11929-4:2001 - Fundamentals and application to measurements by use of linear-scale analogue ratemeters, without the influence of sample treatment
DIN 25482-4 , 1995-12 - Zählende alphaspektro-metrische Messungen ohne Berücksichtigung von Probenbeeinflussungseffekten	
DIN 25482-5 , 1993-06 - Zählende hochauflösende gamma-spektrometrische Messungen ohne Berücksichtigung des Probenbeeinflussungseffektes	ISO 11929-3:2000 - Fundamentals and application to counting measurements by high resolution gamma spectrometry, without the influence of sample treatment

Normen Nachweisgrenze

DIN 25482 - Nachweisgrenze und Erkennungsgrenze bei Kernstrahlungsmessungen	ISO 11929 - Determination of the detection limit and decision threshold for ionizing radiation measurements
DIN 25482-6 , 1993-02 - Zählende Messungen mit Berücksichtigung des Probenbeeinflussungseffektes und Gerätebeeinflussungseffektes	ISO 11929-2:2000 - Fundamentals and application to counting measurements with the influence of sample treatment
DIN 25482-7 , 1997-12 - Zählende Messungen an Filtern während der Anreicherung radioaktiver Stoffe	ISO 11929-5:2005 - Fundamentals and applications to counting measurements on filters during accumulation of radioactive material
DIN 25482-10 , 2000-05 - Allgemeine Anwendungen	ISO 11929-7:2005 - Fundamentals and general applications
DIN 25482-11 , 2003-02 - Messungen mit Albedodosimetern	
DIN 25482-12 , 2003-02 - Entfaltung von Spektren	ISO 11929-8:2005 - Fundamentals and application to unfolding of spectrometric measurements without the influence of sample treatment
DIN 25482-13 , 2003-02 - Zählende Messungen an bewegten Objekten	ISO 11929-6:2005 - Fundamentals and applications to measurements by use of transient mode

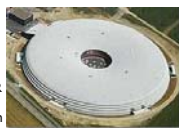
Polonium-210 Nachweis mit LB 124 SCINT

- 2006 in London Anschlag auf Alexander W. Litwinenko
- Eigenschaften von ^{210}Po
 - 1898 entdeckt durch Marie and Pierre Curie
 - benannt nach Marie's Heimat Polen
 - Erzeugung durch Kernreaktionen
 - Reiner Alpha-Emitter
 - Alpha Energie 5.3 MeV
 - Halbwertszeit 138 days
- ^{210}Po kann sehr einfach mit dem LB 124 SCINT gemessen werden



Strahlenschutz an Beschleunigern

- Beschleuniger haben Konjunktur
 - Weltweit bereits mehr als 60 Synchrotron-Lichtquellen
 - Andere Neuentwicklungen: free electron lasers, heavy ion Nuklearmedizin, Antimaterie FAIR
- Beschleuniger in der Nuklearmedizin (PROSCAN, PROHEALTH, Heavy-Ion Heidelberg)
- Es gibt spezielle Bedingungen
 - Gepulste Strahlungsfelder
 - Hohe Energien
 - Gemischte Felder und weitere Teilchen (γ , n , p , μ , π , ...)



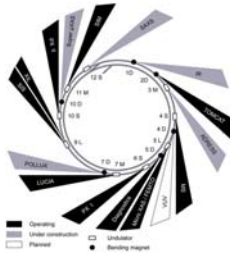
Beschleuniger am CERN/Genf

- Alte Beschleuniger
 - PS Proton Synchrotron max. Energie 26 GeV
 - SPS Super Proton Synchrotron max. Energie 400 GeV
- Large Hadron Collider LHC
 - Zwei gegenläufig umlaufende Protonen- oder Schwerionen-strahlen kollidieren mit 7 TeV/pro Strahl
 - 1232 Supraleitende Dipol-Magnete auf einer Länge von 27 km
 - Erster Strahl am 10. September 2008



Beispiel SLS am Paul-Scherrer-Institut

- ▣ Speicherring für Elektronen zur Erzeugung von Synchrotron-Strahlung
- ▣ Das Synchrotronlicht wird z. B. zur Erforschung von neuartigen Materialien, Biomolekülen, Oberflächen, Mikro- und Nanostrukturen verwendet
- ▣ Besonderheiten am SLS
 - ▣ stark gebündelte Strahlung
 - ▣ höchste Intensität
 - ▣ frei wählbare Wellenlänge
 - ▣ kurze Lichtpulse
 - ▣ sehr stabile Strahlen



Quelle: <http://www.psi.ch>

Medizinische Anwendung PROSCAN/PSI

- ▣ Protonentherapie für spezielle Tumorarten
- ▣ Seit 1984 Augentherapie mit Protonen (OPTIS)
- ▣ Spot-Scanning-Technik (am PSI entwickelt)
- ▣ Seit Februar 2007 Zyklotron COMET im Patientenbetrieb (250 MeV Protonen)
- ▣ Ab 2009 bis zu 500 Patienten pro Jahr
- ▣ Sachinvestitionskosten 35 Mio. CHF



Reference: <http://p-therapie.web.psi.ch/proscan.html>

Weitere Therapie-Zentren

- ▣ Loma Linda University Medical Center, Loma Linda, California, USA 1st Hospital based proton therapy facility in the world
- ▣ Charité/Hahn-Meitner-Institut, Berlin, Protonentherapie Augentumore seit 1998
- ▣ Rinecker Proton Therapy Center (RPTC), München Bau seit 2004 fertig, Inbetriebnahme steht bevor
- ▣ Universitätsklinikum Heidelberg, Schwerionen-Anlage Inbetriebnahme Herbst 2008
- ▣ Westdeutsche Protonentherapiezentrum Essen (WPE), Universitätsklinikum Essen, Fertigstellung 2009
- ▣ Schwerionen-Anlage geplant für Kiel
- ▣ Klinikum Offenbach sucht Betreiber für die Errichtung eines Protonentherapiezentrum
- ▣ Universitätsklinikum Giessen-Marburg errichtet in Marburg eine Strahlentherapie (Protonen und C-12) Inbetriebnahme geplant 2010
- ▣ CNAO in Pavia
- ▣ Proton Ocular Radiotherapy (PORT), Massachusetts General Hospital

Andere ähnliche Forschungseinrichtungen

- ▣ Fusionsforschung
 - ▣ JET Joint European Torus (Culham, UK)
 - ▣ ITER International Thermonuclear Experiment Reactor (Cadarache, France)
 - ▣ Frascati Nuclear Fusion Facility (FTU)
- ▣ Neutronenquellen
 - ▣ Spallationsquellen
 - ▣ SINQ am Paul-Scherrer-Institut/Schweiz
 - ▣ SNS Spallation Neutron Source, Oak Ridge, USA
 - ▣ ESS European Spallation Source, Standort noch unklar
 - ▣ Forschungsreaktoren
 - ▣ FRM II München
 - ▣ ILL Grenoble
 - ▣ GKSS Forschungszentrum Geesthacht
 - ▣ NIST Research Reactor



Welche Strahlungsfelder treten auf?

- ▣ Geladene Teilchen (leicht abschirmbar)
 - ▣ Protonen, Antiprotonen
 - ▣ Elektronen, Positronen
 - ▣ Schwere Ionen
 - ▣ Müonen, Pionen, Kaonen etc.
- ▣ Neutrale Teilchen (schwieriger abschirmbar)
 - ▣ Neutronen
 - ▣ Photonen
 - ▣ Gammastrahlung
 - ▣ Synchrotronstrahlung
 - ▣ X-rays
 - ▣ Neutrinos, Pionen, Kaonen etc.

Welche Größen müssen gemessen werden?

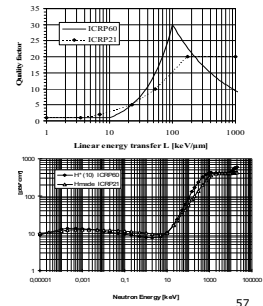
- ▣ Im Kontrollbereich
 - ▣ Ortsdosis Gammas und Neutronen
 - ▣ Personendosis Gammas und Neutronen
- ▣ Raum- und Abluftüberwachung (Aktivierungsprodukte, Tritium, radioaktive Aerosole, Edelgas etc.)
- ▣ Kontamination
- ▣ Umgebungsüberwachung
- ▣ Wasser, Abwasser
- ▣ Aktivierung Grundwasser, Boden, Komponenten
- ▣ Freigabemessung an Abfall

Aktive Messmethoden

- ▣ Gamma-Ortsdosimetrie
 - ▣ Geiger-Müller Zähler
 - ▣ Proportionalzähler
 - ▣ Ionisationskammern
 - ▣ Szintillationszähler
- ▣ Neutronen-Ortsdosimetrie
 - ▣ Rem-Counter
 - ▣ ^3He Zählrohr mit Moderator und Filter
 - ▣ BF_3 Zählrohr mit Moderator und Filter
 - ▣ Bubble Detektoren
 - ▣ Ionisationskammern

Neutronenmessung

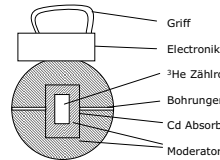
- ▣ Konventionelle Messung mit Rem-Counter
- ▣ Thermischer Neutronen-detektor (z. B. ^3He Counter)
- ▣ Umgeben von Moderatormaterial
- ▣ Zusätzlich interne Neutronenabsorber
- ▣ Nachbildung Konversionsfaktor durch Tuning des Detektors



Neutronensonde LB 6411

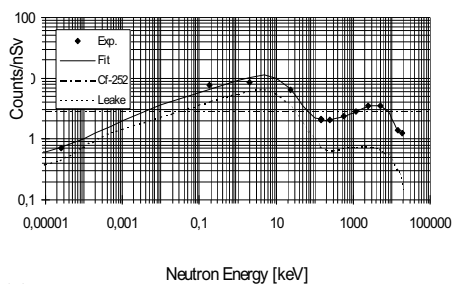
- ▣ Entwicklungskooperation 1993 - 1996
 - ▣ MCNP Simulationen: Forschungszentrum Karlsruhe (B. Burgkhardt, E. Piesch, G. Fieg)
 - ▣ Detektor- und Gerätedesign: Berthold (A. Klett)
- ▣ Neues modernes μP gesteuertes Gerät
 - ▣ Hohe Empfindlichkeit (3 counts/nSv)
 - ▣ Gutes energieabhängiges Ansprechvermögen $\pm 30\%$ zwischen 50 keV und 10 MeV
- ▣ 2 Patente
- ▣ mittlerweile sehr weit verbreitet

Neutronensonde LB6411



- ▣ Messgröße: Umgebungs-Äquivalentdosis $H^*(10)$ für Neutronen (ICRP74)
- ▣ Messbereich 30 nSv/h to 100 mSv/h
- ▣ Neutronenenergien thermisch bis 20 MeV
- ▣ Kalibrierung auf unmoderiertes ^{252}Cf
- ▣ Fluenzansprechvermögen 1.09 cm^2
- ▣ Ansprechvermögen 2.83 Counts pro nSv
- ▣ Kalibrierfaktor 353 pSv pro count oder 1.27 $\mu\text{Sv/h}$ pro cps
- ▣ Energieabhängigkeit $\pm 30\%$ zwischen 50 keV und 10 MeV
- ▣ Gamma-Empfindlichkeit $< 40 \mu\text{Sv/h}$ bei 10 mSv/h (^{137}Cs)
- ▣ Temperaturbereich -10°C bis 50°C
- ▣ Gewicht 10 kg

Energieabhängigkeit LB 6411



Messproblem: Neutronen bei hohen Energien

- ▣ Konventionelle Messung im Neutronenenergiebereich thermisch bis 20 MeV
- ▣ Wirkungsquerschnitte, Ansprechvermögen und Konversionsfaktoren gut bekannt
- ▣ Es gibt viele Messgeräte und es gibt Neutronen-Referenzfelder
- ▣ Bei höheren Energien ist die Neutronen-Dosimetrie nicht so einfach



Die neue Variante LB 6411-Pb

- Es ist seit längerem bekannt, daß das Ansprechvermögen von Rem-Countern bei hohen Neutronenenergien erhöht werden kann
- Man nutzt Spallationsneutronen, die in zusätzlichen Pb-Schichten erzeugt werden
- Spallation: Hochenergetische Projektile bewirken in inelastischen Reaktionen an schweren Targetkernen das "Abdampfen" von Nukleonen mit Energien bis zu 10 MeV
- Die zusätzlichen (niederenergetischen) Neutronen werden konventionell moderiert und detektiert und erhöhen damit das Ansprechvermögen

Alfred Klett 23. März 2009

62

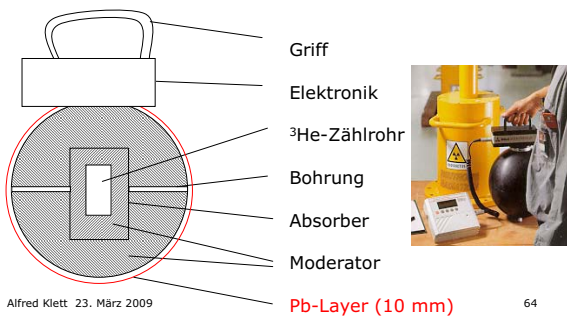
Spallation

- Spallation ist eine nichtelastische Wechselwirkung eines Projektils z. B. Proton oder Neutron mit hoher kinetischer Energie (>100 MeV) mit einem Atomkern.
- Zweistufig: Projektil wechselwirkt zunächst mit einzelnen Nukleonen des Targetkerns, die mit anderen Nukleonen interagieren. Einige Nukleonen verlassen den Targetkern mit hohen Energien. Die Hauptemissionsrichtung ist parallel zur Projektilrichtung (Reaktionsdauer ca. 10^{-21} s).
- Im hochangeregten Restkern ist die Energie statistisch gleichmäßig über alle Nukleonen verteilt. In der zweiten Stufe der Spallationsreaktion dampfen Neutronen und Protonen - weniger häufig auch andere Kernfragmente - mit Energien bis zu 10 MeV vom Targetkern ab. Die Winkelverteilung ist isotrop (Reaktionsdauer ca. 10^{-16} s).

Alfred Klett 23. März 2009

63

Prinzipieller Aufbau Neutronensonde LB6411-Pb

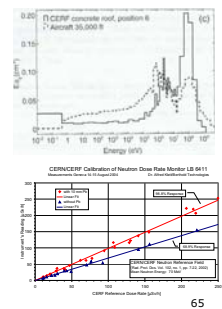


Alfred Klett 23. März 2009

64

Messung hochenergetischer Neutronen

- LB 6411-Pb** mit 10 mm externer Blei-Umhüllung zur zusätzlichen Aus-nutzung von Spallationsneutronen
- Kalibriermessungen mit und ohne Pb-Umhüllung im Hochenergiefeld bei CERN/CERF im August 2004
- CERN-EU high-energy reference neutron field facility (CERF) besteht seit 1992
- Breite Verteilung der Neutronen-energien bis hoch zu 1 GeV
mittlere Energie: 70 MeV
- 98,8% Ansprechvermögen mit Pb
- Underresponse ohne Pb



Alfred Klett 23. März 2009

65

Beispiele: Strahlenschutz am SLS/PSI

- 15 mobile Gamma- + Neutronen Mess-Stationen
- Flexibler Strahlenschutz in änderbaren Experimentier-Arealen
- MEVIS Software



Alfred Klett 23. März 2009

66

Strahlenschutz bei ANKA/Karlsruhe



- Synchrotron-Lichtquelle ANKA
- Booster 500 MeV
- Elektronen Speicherring 2.5 GeV

Alfred Klett 23. März 2009

67

ANKA Konzept

- ▣ Dosisleistungsmessung mit LB111
 - ▣ Gamma: Ionisations-Kammer LB 6720-H10
 - ▣ Neutronen: LB 6411-Pb
- ▣ 8 Messstationen
 - ▣ 6 mobil
 - ▣ 2 fest installiert
- ▣ MEVIS Datenzentrale

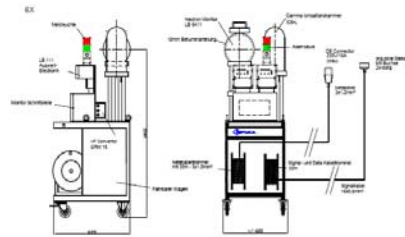


68

Alfred Klett 23. März 2009

Messsysteme Anka

- ▣ Mobile Gamma/Neutron-Messstation



Alfred Klett 23. März 2009

69

ANKA Instrumentation



Alfred Klett 23. März 2009

70

Eine neue Idee

Es sind bessere Lösungen erforderlich zur Messung

- ▣ Gepulster Felder
- ▣ Felder mit hohen Energien

Dr. Albrecht Leuschner/DESY hat ein vollständig neuartiges Konzept zur Messung gepulster Neutronenfelder entwickelt das beruht auf

- ▣ **Aktivierung von instabilen radioaktiven Kernen** (mit kurzen Halbwertszeiten an geeigneten Target-Material)
- ▣ **Zeit-aufgelöster Nachweis von Zerfallsprodukten**
- ▣ Dosis-Information wird als Aktivierung gespeichert
- ▣ Mehrere Patentanmeldungen

Alfred Klett 23. März 2009

71

Forschungszentrum DESY

- ▣ Beschleunigerlabor in HH
 - ▣ Teilchenphysik
 - ▣ Forschung mit Photonen
- ▣ Beschleunigeranlagen
 - ▣ Ursprünglich Deutsches Elektronen Synchrotron
 - ▣ DORIS III
 - ▣ HERA Ringbeschleuniger mit Detektor ZEUS beendet Sommer 2007
 - ▣ FLASH Free-Electron Laser
 - ▣ PETRA III seit 2009
 - ▣ XFEL europäischer Röntgenlaser Inbetriebnahme 2013



Quelle: <http://www.desy.de>

Alfred Klett 23. März 2009

72

DESY XFEL Europäischer X-Ray Laser

- ▣ Konstruktionsbeginn Sommer 2008
- ▣ Betrieb ab Ende 2013
- ▣ Freier Elektron Laser: hochenergetische Elektronen erzeugen intensive kohärente Röntgen-Laser Blitze
- ▣ Gesamtlänge 3.4 km
- ▣ Kosten: 986 Mio. EUR

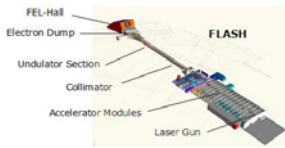


Quelle: <http://www.desy.de>

Alfred Klett 23. März 2009

73

Pilotanlage FLASH für XFEL



- FLASH FEL (Pilot for XFEL)
 - formerly called VUV-FEL
 - 1 GeV e⁻ beam, superconducting linear accel.
 - 1 – 10 Hz, 100 kW
 - commissioned in 2004
 - wavelength down to 6 nm
- XFEL Free Electron Laser
 - about 3 km total length
 - 10–20 GeV e⁻ beam
 - 100 fs pulse width
 - wavelength 0.1 – 6 nm
 - begin construction 2007
 - commissioning 2013



Accelerator Module
Alfred Klett 23. März 2009

Kooperation zwischen DESY - Berthold

Kooperation zur gemeinschaftlichen Entwicklung eines vermarktbaren Systems

- DESY/Dr. Albrecht Leuschner und Norbert Tesch
- Entwicklung eines datenverarbeitenden Sub-Systems (Auftrag an einen externen Supplier)
 - Forschung, Kalibrierung und Tests mit gepulster Strahlung und mit hohen Energien

Berthold Technologies/Dr. Alfred Klett

- Entwicklung und Fertigung eines neuen Detektormoduls mit
- Neutronendetektor ³He und Moderator
 - Plastik-Szintillator
 - System-Integration
 - Entwicklung und Fertigung eines serienreifen Systems
 - Marketing und Vertrieb (weltweit)

Messung gepulster Neutronenstrahlung

- Die Neutronen-Strahlung produziert totzeitfrei am ¹²C Target (Moderator)

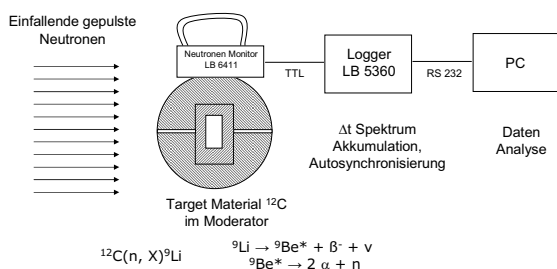
$^{12}\text{C}(n, X)^9\text{Li}$ (CS = 0.1..1 mbarn @ 90 MeV)
- Der ⁹Li Zwischenzustand hat eine Halbwertszeit von 174 ms und zerfällt

$^9\text{Li} \rightarrow ^9\text{Be}^* + \beta^- + \nu$; $^9\text{Be}^* \rightarrow 2\alpha + n$
- Das Neutron wird zeitaufgelöst nachgewiesen

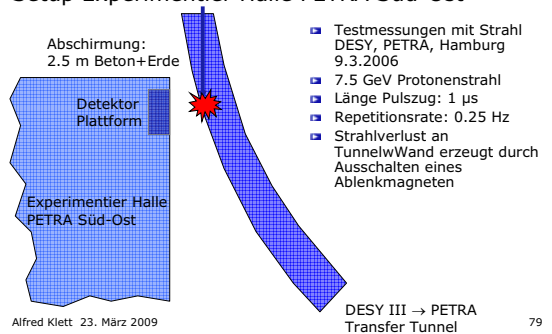
Neutronen Aktivierungsreaktionen

Activation of ¹² C			Decay			
Reaction	Product	Threshold [MeV]	Type	daughter	half life	β max energy [MeV]
(n,p)	¹² B	13	β ⁻	¹² C	20 ms	13.4
(n,pα)	⁹ Li	23	β ⁻	2α	840 ms	13.0
(n,p ³ He)	⁹ Li	39	β ⁻ n	2α	170 ms	13.5

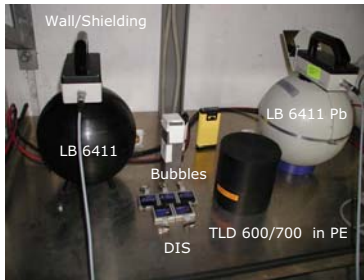
Prototyp Tests mit einer Versuchsanordnung



Setup Experimentier Halle PETRA Süd-Ost



Die Sonden auf der Detektor Plattform

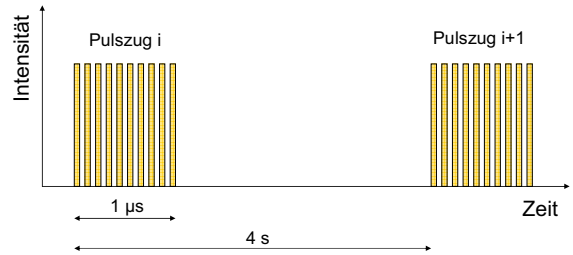


- ▣ Tests mit Strahl bei PETRA 9.3.2006
- ▣ Neutronenmonitore
 - ▣ 1 x LB 6411
 - ▣ 1 x LB 6411-Pb
- ▣ Passive Referenz Dosimeter
 - ▣ TLD 600/700 in PE
 - ▣ DIS
 - ▣ Bubbles
 - ▣ Thorium auf Macrofol

Alfred Klett 23. März 2009

80

7.5 GeV Protonenstrahl Zeit-Struktur

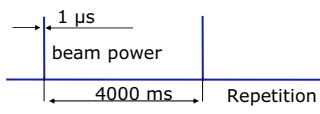


Alfred Klett 23. März 2009

81

Prinzip der Detektion

Information über Neutronenfluenz wird während des Strahlungspulses gespeichert



Information wird später frei über das Zerfallsmuster



Alfred Klett 23. März 2009

82

Zeitskala & typische Verzögerungszeiten

- ▣ Typische Moderationsdauer in einem Rem-Counter 0.1 ms
- ▣ Zeitauflösung Readout 1 ms
- ▣ Transport von thermalisierten Neutrons von der Quellregion zum Detektor ($v_{\text{thermal}} = 2200 \text{ m/s}$) 2 ms
- ▣ Zerfalls-Neutronen-Ereignis aus ${}^6\text{Li}$, das durch hoch energetische Neutronen erzeugt wurde 200 ms

Alfred Klett 23. März 2009

83

Prototyp Ergebnisse pro Einzelschuss

- ▣ Neue Methode
 - ▣ Neutronendosis (hohe Energien) 23 μSv
 - ▣ Nachgewiesene Neutronen aus ${}^6\text{Li}$ 6.0 counts
 - ▣ Dosis-Ansprechvermögen 0.26 counts/ μSv
- ▣ Konventionelles Ansprechvermögen
 - ▣ Neutronendosis (alle Energien) 50 μSv
 - ▣ Total counts ($\Delta t = 3 \text{ s}$) 250 counts
 - ▣ Konventionelle Dosisanzeige 0.09 μSv
 - ▣ Relatives Ansprechvermögen 0.18 %
 - ▣ Faktor **Underresponse** 568

Alfred Klett 23. März 2009

84

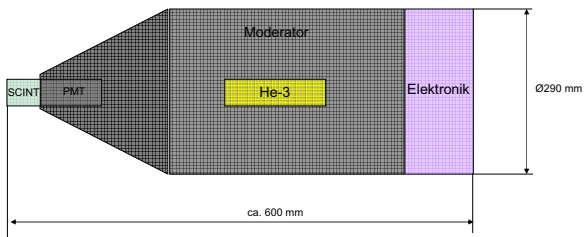
Der neue Detektor LB 6419

- ▣ Detektoren
 - ▣ Neutronendetektor
 - ▣ Moderator
 - ▣ Detektor für thermische Neutronen
 - ▣ Detektor für Beta- und Gammastrahlung
 - ▣ Plastkzintillator
 - ▣ Photomultiplier
- ▣ Targetmaterialien: ${}^{12}\text{C}$
- ▣ Zeitaufgelöste Messung
- ▣ Auch konventionelle Messung

Alfred Klett 23. März 2009

85

Der neue Detektor LB 6419



Alfred Klett 23. März 2009

86

Erster Prototyp LB 6419



Alfred Klett 23. März 2009

87

Der neue Detektor LB 6419

- ▶ Für gepulste und kontinuierliche Strahlungsfelder
- ▶ 2 unabhängige Detektions-Kanäle
 - ▶ He-3 Neutronenzählrohr
 - ▶ Plastik-Szintillator
- ▶ Zeitaufgelöste Messung mit Pulshöhenanalyse
- ▶ 30 Geräte seit 2008 am DESY in Betrieb



Alfred Klett 23. März 2009

88

LaBr₃ Spektroskopie-Anwendung

- ▶ Neuer Szintillator mit interessanten Eigenschaften
 - ▶ Hohe Auflösung
 - ▶ Keine Kühlung erforderlich
- ▶ Neuentwicklung Monitor BAI 9128 Maxi-Spectro
 - ▶ Filterband Monitor zur kontinuierlichen Radioaktivitäts-Überwachung in Abluft oder Umwelt
 - ▶ Nuklidanalyse über Gamma-Spektroskopie
- ▶ Strahlungsmessung
 - ▶ α/β-Messung mit Silizium Halbleiterdetektor 2000 mm²
 - ▶ γ-Messung mit BrillanCe 380 LaBr₃ Detektor Ø51x51 mm mit ORTEC digiBase ADC (1024 channels)

Alfred Klett 23. März 2009

89

Eigenschaften von LaBr₃

- ▶ Dichte 5.08 g
- ▶ Brechungsindex 1.9
- ▶ Schmelzpunkt 1116°C
- ▶ Primary Decay Time 16 ns
- ▶ Hygroskopisch
- ▶ Wellenlänge max. Emission 380 nm
- ▶ Typische Kristallgrößen 1"x1" - 3"x3"
- ▶ Zur Zeit noch teuer
- ▶ Wird hergestellt und vertrieben von Saint Gobain Scintillation Products unter der Bezeichnung BrillanCe™

Alfred Klett 23. März 2009

90

Eigenschaften von LaBr₃

Table 1 - Summary
3"x3" Detector Response vs. Energy
Resolution and Relative Efficiency

Energy (keV)	Resolution BrillanCe 380	Resolution NaI(Tl)	Ratio Peak Counts
122	6.6%	8.9%	1.05
356	3.8%	9.1%	1.06
662	2.9%	7.0%	1.18
1332	2.1%	5.4%	1.43
2615	1.6%	4.5%	1.65

Quelle: Saint-Gobain Crystals Scintillation Products

Alfred Klett 23. März 2009

91

Eigenschaften von LaBr₃

TABLE OF SCINTILLATOR PROPERTIES

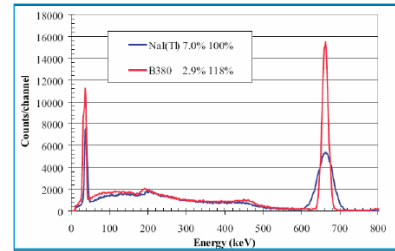
Scintillator	Light Yield (photons/MeV)	1/e Decay Time (ns)	F. O. M. (JELV)	Wavelength of maximum emission (nm)	Refractive index at 3m	Density (g/cm ³)	Thickness (cm) for 50% attenuation (662keV)
NaI(Tl)	38	250	2.6	415	1.85	3.67	2.5
BrillanCe™ 350	49	28	0.8	350	~1.9	3.85	2.3
BrillanCe™ 380	63	16	0.5	380	~1.9	5.08	1.8
BaF ₂	1.8	0.7	0.6	~210	1.54	4.88	1.9
ProLude™ 420	32	41	1.1	420	1.81	7.1	1.1
BGO	9	300	5.8	480	2.15	7.13	1.0

Quelle: Saint-Gobain Crystals Scintillation Products

Alfred Klett 23. März 2009

92

¹³⁷Cs Spektrum NaI – LaBr₃

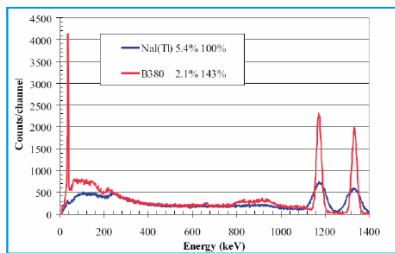


Quelle: Saint-Gobain Crystals Scintillation Products

Alfred Klett 23. März 2009

93

⁶⁰Co Spektrum NaI – LaBr₃

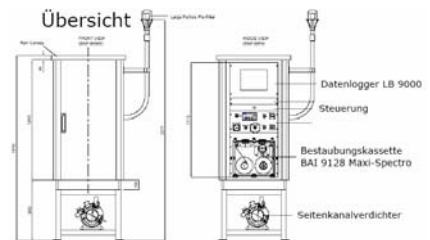


Quelle: Saint-Gobain Crystals Scintillation Products

Alfred Klett 23. März 2009

94

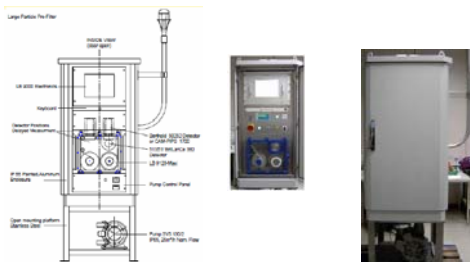
Das System BAI 9128 Maxi Spectro



Alfred Klett 23. März 2009

95

Das System BAI 9128 Maxi Spectro



Alfred Klett 23. März 2009

96

Vorschläge zur SEI

Peter Kämmerling
Forschungszentrum Jülich
März 2009

SEI damals

- gegründet 1960 zum Start DESY zusammen mit anderen 16 Studiengruppen, einzig verbliebene
- Austausch technischer Dokumente
- Erfahrungsaustausch
- Bestrebungen zur technischen Normierung



SEI heute

- Informationsaustausch
- Erfahrungsaustausch



Forschungszentrum Jülich – Zentralinstitut für Elektronik

mögliche weitere Ziele der SEI

- Zusammenarbeit bei Schlüsseltechnologien wie Slow Controll, FPGA, ASIC ... zur Ausbildung gemeinsamer Kompetenz, Projektarbeit und Infrastruktur ...
- gemeinsame Interessenvertretung gegenüber Herstellern von Tools und Hardware, in den Forschungszentren und Hochschulen ...
- Bestreben technischer Normierung, gemeinsame Basisplattformen ...



Forschungszentrum Jülich – Zentralinstitut für Elektronik

FPGA Entwicklung

- Vorschlag: Bildung einer Kompetenzgruppe für FPGA-Entwicklung der SEI
- erster Schritt: IDEs auf Virtuellen Maschinen auf einem zentralen VM-Server



Virtuelle Maschinen

- VM kopieren
 - langatmige Installationen vermeiden
 - Backup abgeschlossener Projekte
- VM Snapshot
 - schnelle Rückkehr bei Problemen
- Unabhängigkeit vom Hostsystem und anderen VMs
- Migration von Installationen auf VM möglich



VMs auf Server

- zusätzliche Vorteile zur Einzelplatzversion:
 - Schnelle Simulation und Synthetisierung
 - Kein Aufwand für Installation und Keyverwaltung
 - Gemeinsame zentrale Lizenzen



Einstieg Zusammenarbeit

- Betrieb eines zentralen Servers für Virtuelle Maschinen mit FPGA-Entwicklungsumgebungen
 - Entwicklung auf lokalem PC
 - Optimierung und Simulation auf VM-Server
 - Firmware-Synthese mit zentralen Lizenzen
 - Legacy-Projekte und -Versionen auf VM-Server



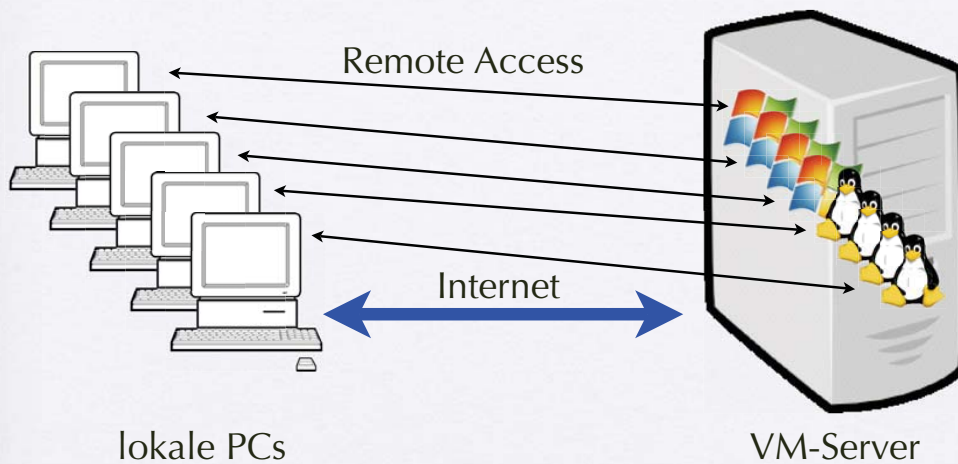
VM-Server

- Leistungsfähige Hardware für die Servermaschine
- Pro User je eine (oder mehrere) Virtuelle Maschine / Betriebssystem / Entwicklungsumgebung
- Zugriff per Remote Access wie VNC, MS-RD, Timbuktu, PC-Anywhere o.ä.
- Eine der vorinstallierten VMs kopieren, dann starten



Forschungszentrum Jülich – Zentralinstitut für Elektronik

Szenario



Forschungszentrum Jülich – Zentralinstitut für Elektronik

SEI Wiki Forum

- Betreut durch Holger Brand, GSI.
 - <http://wiki.gsi.de/cgi-bin/view/SEI/WebHome>
- Im Wiki sollen Soft- und Hardwareentwicklungen, genutzte Schlüsseltechnologien, Basistechnologien sowie Infrastruktur und Ansprechpartner aufgezählt werden.
- Beispiele sind Entwicklungen zu LabView oder ein FPGA-Toolchain-Server.



offene Fragen

- Möchte SEI FPGA-Kompetenzgruppe ?
- Ressourcen für FPGA-Kompetenzgruppe der SEI
- Ressourcen für den VM-Serverbetrieb
- Lizenzen
- Weitere Formen der Zusammenarbeit



NU HORIZONS ELECTRONICS

XILINX
SPARTAN 6

March 24, 2009

Spartan-6 & Virtex-6 Overview

XILINX
VIRTEX 6

Harald Kreidl
Technical Director, harald.kreidl@nuhorizons.com

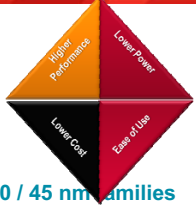
Nu Horizons Electronics GmbH
Elektrastraße 6
D-81925 München
Germany
Tel: +49 89 9233345 40

Copyright © 2007, Nu Horizons Electronics Corp.
All Rights Reserved.
Reproduction in whole, or in part, without the written permission of the copyright holder is prohibited.

XILINX

Spartan-6 & Virtex-6

- **Users requested**
 - Lower power
 - Higher system performance
 - Lower system cost
 - Ease of use, less effort
- **Xilinx is addressing this with 40 / 45 nm families**
 - ✓ Lowest Power
 - ✓ Highest system performance
 - ✓ Lowest system cost
 - ✓ Ease of use, less effort



Page 3

XILINX

XILINX
SPARTAN 6


Product Overview

Xilinx Product Marketing

XILINX

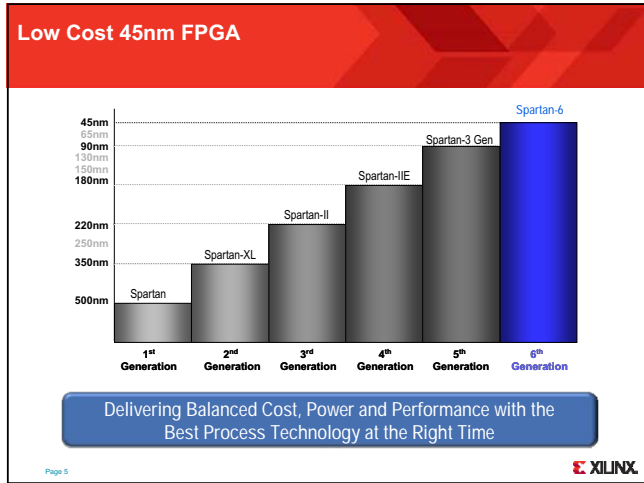
What is the Spartan-6 Family?

- **Next Generation 45 nm Spartan Family**
 - Increased performance & higher density
 - Evolutionary Feature Enhancements
 - Dramatic Cost & Power Reductions
- **Two Platforms**
 - LX: Cost Optimized Logic, Memory
 - LXT: LX Features Plus High-Speed Serial Connectivity
 - More unified and integrated with Virtex
- **Rollout**
 - LX & LXT: Engineering Samples middle 2009
Production 1H 2010



Page 4

XILINX



Xilinx 45-nm Process: Cost Optimized and Low Power

- Industry standard process for high volume production
- Most mature "4x-nm" process technology
 - Earliest transistor models on 4x-nm node
- Performance and power for high volume applications
 - Lower leakage current reduces power
 - Higher yield improves cost

Figure A: 45nm Transistor
Xilinx Technology Development Group

The Right Time for High Volume 45-nm Process Technology Ramp

Page 7 XILINX

Greater Ease-of-Use

<p><u>Benefit</u></p> <p>Meet Cost Target</p> <p>Design Faster</p> <p>Configure Easier</p>	<p><u>Spartan-6 FPGA Features</u></p> <ul style="list-style-type: none"> Low cost 45nm FPGA Cost-optimized packaging New hard IP reduces die size <ul style="list-style-type: none"> Hard IP with new wizards Complete platform kits with IP Common architecture with Virtex <ul style="list-style-type: none"> Broad and low cost 3rd party flash support Simplified 2-pin auto-detect configuration Innovative Slave SPI system configuration
--	--

Page 6 XILINX

Agenda

- > Packaging
- > Hard IP Blocks
- > Configuration
- > Connectivity
- > I/Os
- > Improvements

Page 8 XILINX

Low Cost Packaging: Enables Lowest System Cost

CS225 (13 x 13mm)		<ul style="list-style-type: none"> Lowest total cost for < 300 I/O 0.8mm Ball Pitch ChipScale BGA Packages Minimizes board area
CS324 (15 x 15mm)		
FT256 (17 x 17mm)		<ul style="list-style-type: none"> Lowest total cost for >300 I/O 1.0mm Ball Pitch BGA packages Easier routing Minimizes board cost
FG484 (23 x 23mm)		
FG676 (27 x 27mm)		
TQ144 (22 x 22mm)		<ul style="list-style-type: none"> Traditional Low Cost Flatpack Lowest package cost

Page 9

Spartan-6 FPGA Big Cost Savings: Hard Memory, DSP, PCIe Blocks

Memory Controllers	6K Logic Cells	Hard Block ~24K Logic Cells** Hard Block 24K Logic Cells
PCIe Interface	6K Logic Cells	
General Purpose Logic	22K Logic Cells	
DSP (FFT, FIR, Symmetric TAP etc.)	11K Logic Cells	
Total	45K Logic Cells	

Hard IP Blocks Provide 80%+ Die Area Savings

* Conceptual representation, not intended to show actual chip floorplan
 ** Some added logic required for Hard IP "wrapper"
 Page 11

Agenda

- > Packaging
- > Hard IP Blocks
- > Configuration
- > Connectivity
- > I/Os
- > Improvements

Page 10

More DSP Hard Blocks: Die Area Efficiency Improvement Example

DSP Cost Advantage

One DSP48A Block

Equivalent to ...

18x18 Multiplier & 300 Logic Cells* (on average)

Effective Logic Cell Increase

Logic Cells

Equivalent LCs when DSP48A Blocks Used

6SLX150 (182 DSP48A Blocks)

6SLX9 (16 DSP48A Blocks)

10K 15K 150K >200K

Density in Logic Cells (LC)


* 300 is typical actual range dependent upon application (range 50-1500 logic cells saved)
 ** Assuming 300 LC savings and all DSP48A blocks used


Abundant DSP48A Hard Blocks Enable Lower Cost by Increasing Effective Density by over 40%

Page 12


Memory Controller

- Only low cost FPGA with a hard memory controller
- Guaranteed memory interface performance
 - Reducing engineering & board design time & resource
- Up to 4 hard memory controller blocks
 - Supporting DDR, DDR2, DDR3 & Mobile DDR
 - Provide up to 12.8Mbps bandwidth for each memory controller
- Hard block frees up logic cells & lowers power
- Automatic calibration features
 - DQS centering & DQ per bit de-skew
 - Input termination tuning
- Multiport structure for user interface
 - Six 32-bit programmable ports from fabric
 - Controller interface to 4, 8 or 16 bit memories devices




Page 13 

Agenda




- Packaging
- Hard IP Blocks
- Configuration
- Connectivity
- I/Os
- Improvements

Page 15 


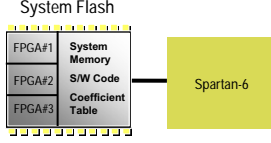
Twice the Capabilities, Half the Power


Benefit	Spartan-6 Features
Process More, Faster	<ul style="list-style-type: none"> • 2X increase in BRAM-to-LC ratio • 2X increase in BRAM ports • 2X logic capacity, 50% more DSP48As • 6-input CLB with dual flip-flops • Low noise and flexible clocking
Reduce Power	<ul style="list-style-type: none"> • 40-50% lower dynamic power • 40-60% lower static power • System level power management
Protect Your IP	<ul style="list-style-type: none"> • Bitstream protection with AES • Cloning prevention with Device DNA

Page 14 


Streamlined Configuration: Simpler, Faster and Lower Cost

- Broad commodity flash support
 - Lowest-Cost Configuration
- Faster configuration
 - SPI x1, x2, x4 (33,66,132MHz)
 - Slave SPI (Processor loading)
 - BPI (Byte Peripheral Interface) modes
- Simplified interface
 - Only two mode pins with auto-detection

Page 16 

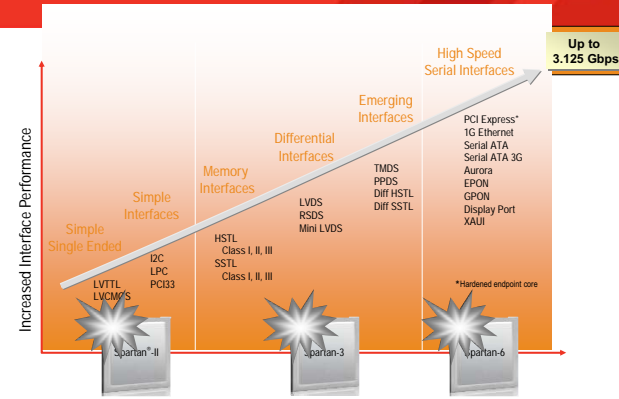
Agenda



- > **Packaging**
- > **Hard IP Blocks**
- > **Configuration**
- > **Connectivity**
- > **I/Os**
- > **Improvements**

Page 17 XILINX

Extensive Interface Support



Page 19 XILINX

Faster, More Comprehensive Connectivity

Benefit

Connect to More

Connect Faster

Connect with Low Cost

Spartan-6 FPGA Features

- All major single and diff I/O standards
- Low cost high speed serial standards
- Wide I/O voltage range (including 3.3V)

- 1 Gbps differential I/O
- Multiple 3.125 Gbps integrated SerDes
- 12.8 Gbps memory bandwidth access

- Hard DRAM memory controller
- PCIe & Slave-SPI standard CPU interfaces
- SerDes with wire bond packaging

Page 18 XILINX

Agenda

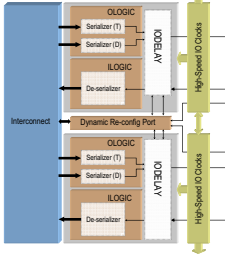


- > **Packaging**
- > **Hard IP Blocks**
- > **Configuration**
- > **Connectivity**
- > **I/Os**
- > **Improvements**

Page 20 XILINX

Improved I/O Features


- **Maintain full 3.3v support on all I/Os!**
- **Higher Performance**
 - LVDS @ 1050 Mbps for HD video & Communications
 - DDR3 @ 800 Mbps & low cost memory
- **Easier to Use**
 - Configurable I SerDes / O SerDes
 - IDELAY / ODELAY for board lane de-skew
 - Dedicated clock routing to I/Os to reduces duty-cycle distortion



XILINX

Page 21

Agenda

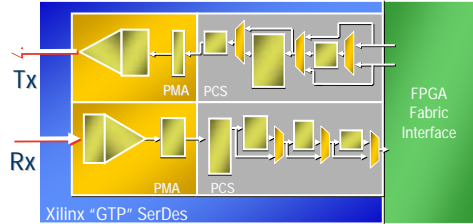


- **Packaging**
- **Hard IP Blocks**
- **Configuration**
- **Connectivity**
- **I/Os**
- **Improvements:**
 - LUT**
 - BRAM**
 - Clocking**
 - Embedded Processing**
 - Power Consumption**
 - Integration Capabilities**

XILINX

Page 23

Spartan-6 FPGA Integrated SerDes




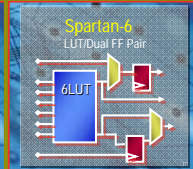
- **Up to 8 transceivers in larger devices**
- **622Mbps to 3.125 Gbps data rates**
- **Less than 150 mW (typical) per channel**
- **Programmable Tx & Rx equalization**
- **Independent PLLs**

XILINX

Page 22

Spartan-6 FPGA Logic Evolution Higher Performance, Increased Utilization

- **Modified Virtex 6-input LUT**
 - 4 additional flip-flops per slice
 - Higher utilization for register intensive designs
- **Efficient and capable:**
 - Logic
 - Arithmetic functions
 - Distributed RAM & shift registers
 - Interconnect
- **Up to 25% higher performance**

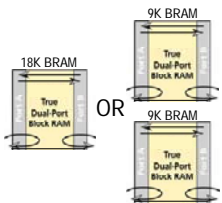
 <p style="text-align: center;">Great General-Purpose Logic</p>	 <p style="text-align: center;">NEW: 6-input LUT and second flip-flop for higher utilization</p>
---	---

XILINX

Page 24

Bigger, Better BRAM

- **More Block RAMs**
 - 2 x BRAM to Logic Cell ratio than Spartan-3A platform
- **More port flexibility**
 - 18K can be split into two 9K BRAM blocks
 - Independently addressed
- **Improves buffering, caching & data storage**
 - Excellent for embedded processing, communication protocols
 - Enables DSP blocks to provide more efficient video and surveillance algorithms
- **Lower Static Power**

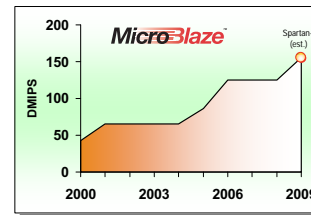


Page 25



Performance Boost for Embedded Designs

- **New MicroBlaze 7.0**
 - Adds MMU and FPU for greater functionality
- **Spartan-6 FPGA architecture improves performance & efficiency**
 - 6-input LUT for comparator & multiplexer
 - 2X flip-flops for embedded registers
 - Hard DRAM memory controller with 12.8Gbps memory bandwidth

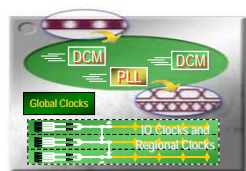


Page 27

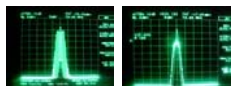


Higher Performance Clocking: Low Noise, Flexible, More GCLK nets

- **Enhanced Virtex block**
 - 1-2 Combination ⇒ PLL(1) - DCM (2)
- **Dedicated I/O clocking**
- **Improved clocking capabilities**
 - Reduction of Jitter, Skew, Duty Cycle Distortion
 - Higher Performance
 - Abundant clock resources
- **Clocking wizard for ease-of-use**



DCM - Spread Spectrum Clocking



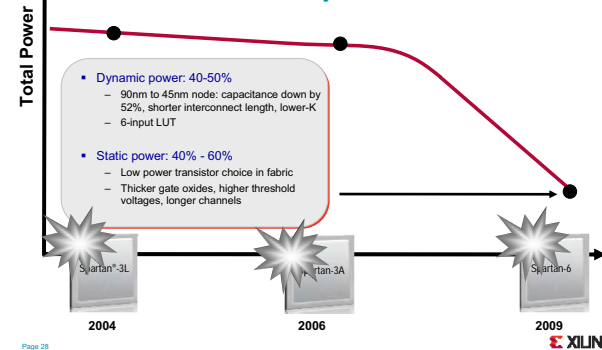
Roughly 13 db EMI reduction

Page 26



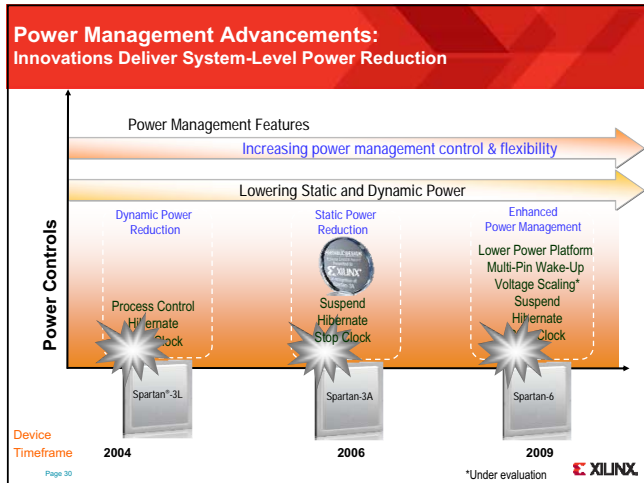
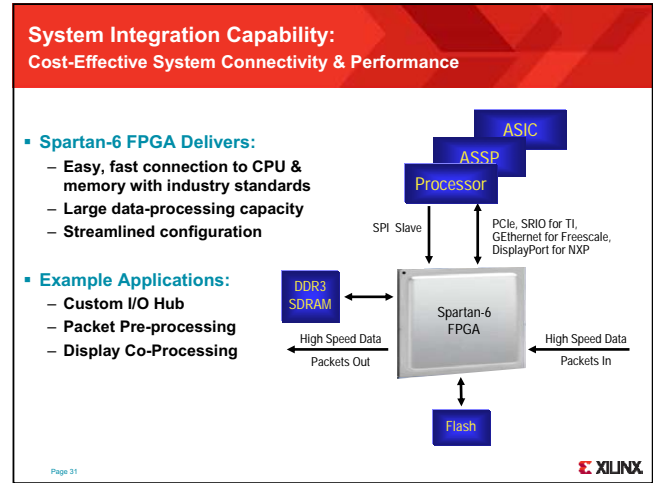
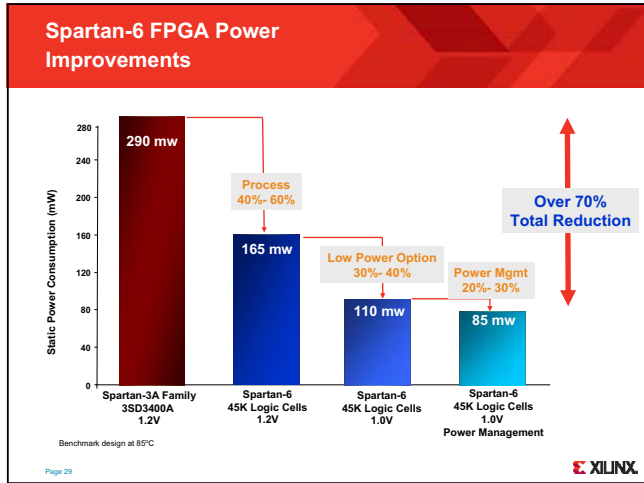
Spartan-6 FPGA: Half the Power

Dramatic Reduction in Dynamic & Static Power



Page 28





XILINX SPARTAN 6

Targeted Design Platform

XILINX VIRTEX 6

XILINX

What is a Targeted Design Platform?

Platform Elements

- Boards & Kits
- Reference Designs
- Engineering Services
- Applications Software
- Design Tools
- IP
- Silicon

Enabling Customers to Focus on their Value-Add & Differentiation

Page 33

Challenges and Changes

Challenges:

- One size does not fit all**
 - System Designer, Algorithm Designer, SW coders, Logic Designers – each match a different user-profile
 - ISE 11 addresses the different needs and design flows
- Many customers lack all the tools to get the job done**
 - Difficult to later sell add on tools like ChipScope, PlanAhead, etc.
- We've made it difficult!**
 - Runtimes, memory usage, SW coders load 6GB just to write SW

Changes:

- User-Profile based flows - Enables using effective design methodologies and platforms, not individual tools and features
- ISE Design Suite 11 - Enhances our platform design strategy with a strong foundation based on flows and IP
- New packaging and pricing – meet the customers needs

Page 35

Agenda

ISE Design Suite 11

- **What is new?**
- **Logic Edition**
- **Embedded Edition**
- **DSP Edition**
- **Socketable IP**
- **Pricing & packaging**

Page 34

Moving the Discussion to Design Methodology

User Profile	Tool Flow / Methodology
Push Button	HDL Simulation – Core Generator IP - Project Navigator – XST – Constraints Editor – Bitstream
Interactive	Core Generator IP - 3rd Party Synthesis / XST - Timing Analyzer – SmartGuide - PlanAhead - ChipScope
Expert	MIG – RTL/Tech View - Command line MAP/PAR - FPGA Editor – SmartXplorer – Serial IO Toolkit - ChipScope
ASIC User	HDL Linting – Formal Verification - Source Code Control

Page 36

Moving the Discussion to Design Methodology

User Profile	Tool Flow / Methodology
DSP Designer	<ul style="list-style-type: none"> • Simulink: System Generator - Synplify DSP – DSP IP - Logic Tools • MATLAB: AccelDSP – Logic Tools • HDL: DSP IP - Logic Tools
Embedded Designer	<ul style="list-style-type: none"> • HW & SW: EDK / SDK – Embedded IP - Logic Tools
Software Developer	<ul style="list-style-type: none"> • Software Only: SDK standalone

Page 37

XILINX

Agenda

ISE Design Suite 11

- **What is new?**
- **Logic Edition**
- **Embedded Edition**
- **DSP Edition**
- **Socketable IP**
- **Pricing & packaging**

Page 39

XILINX

Editions To Match Methodologies

Page 38

XILINX

PlanAhead

Better Design Control for Timing Closure

- **Proven design optimization and timing closure advantage**
- **New features**
 - ChipScope integration
 - Integration with Project Navigator
 - RTL environment: HDL synthesis, analysis and editing
- **Pin planning with robust DRCs**
 - Assigns I/O ports to physical package pins
- **Unparalleled floorplanning capabilities**

Full PlanAhead now provided with ISE 11.1

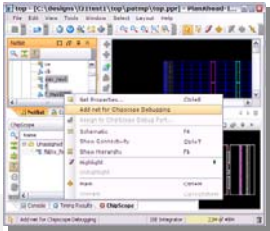
Page 40

XILINX


ChipScope and ISim Now Included

Faster, Easier Design Verification and Debug

- **ChipScope standard with Logic Edition**
- **Automatic ChipScope insertion from PlanAhead**
 - Enable users to focus on the *methodology*, not the tools
- **ISE Simulator standard with Logic Edition**
 - Mixed VHDL/Verilog



Now provided with Logic Edition

Page 41 


Logic Edition Summary

- **Complete flow for RTL design**
 - PlanAhead standard for all pin-planning & floorplanning tasks
 - ChipScope and ISim included
- **Improved runtime, memory usage**
 - 2x runtime speedup over 10.1
 - Additional 2x speedup on incremental runs with SmartGuide
- **Improved usability**
 - ChipScope + PlanAhead simplifies chip-level debug. Focus on methodology, not the tools.
- **Improved power optimization & accuracy**
 - 10% power savings with software optimizations

Design Entry

Design Implementation

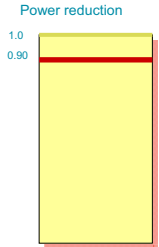
Design Verification

Page 43 


Improved Power Optimization

10% average dynamic power reduction

- **ISE 11.1 delivers new power-oriented place and route improvements**
- **New optimizations bring 10% reduction over ISE 11.1 default settings**
 - Applicable to Virtex-5 and Spartan-3
 - Data pending for Virtex-6 and Spartan-6




Note: Data normalized to 11.1


Page 42 

Agenda

ISE Design Suite 11



- **What is new?**
- **Logic Edition**
- **Embedded Edition**
- **DSP Edition**
- **Socketable IP**
- **Pricing & packaging**

Page 44 

The diagram shows 'Xilinx Logic Edition' on the left, a plus sign in the middle, and 'Xilinx Embedded Edition' on the right. Between the plus sign and the equals sign is a vertical stack of components: EDK, XPS & SDK, IP, Microprocessors, Ecosystem, and Documentation. Below the diagram is the text 'Value of using Xilinx embedded systems' followed by a bulleted list.

Value Proposition

Xilinx Logic Edition + **EDK** (XPS & SDK, IP, Microprocessors, Ecosystem, Documentation) = **Xilinx Embedded Edition**

Value of using Xilinx embedded systems

- One tool chain for hard and soft microprocessors
- Reduces board complexity and cost
- Allows users focus on their intellectual property

Page 45 XILINX

Embedded Edition Summary

- Xilinx offers a better overall embedded portfolio
 - Only Xilinx offers a hard processor option
 - Same tool suite for all processors
 - Comparable soft processor portfolio
- New features in 11.1 will provide competitive advantage
 - Software engineer focused product
 - Greatly improved dual processor design creation
 - Improved integration with Project Navigator
- New Embedded Edition configuration simplifies getting started with the Xilinx solution

Page 47 XILINX

Embedded Solution In 11.1

What's New in the Embedded Development Kit (EDK)

- **Standalone Software Development Kit (SDK)**
 - Smaller footprint for software developers
 - Doesn't require installation of ISE and EDK
 - **New** software development classes available now
- **Dual-core design creation support**
 - Base System Builder automates the creation of 2 processor systems in Xilinx Platform Studio (XPS)
- **Improved integration with ISE Project Navigator**
 - Automated UCF management
- **Size optimized MicroBlaze systems**
 - Improved value on Spartan by lowering cost

Page 46 XILINX

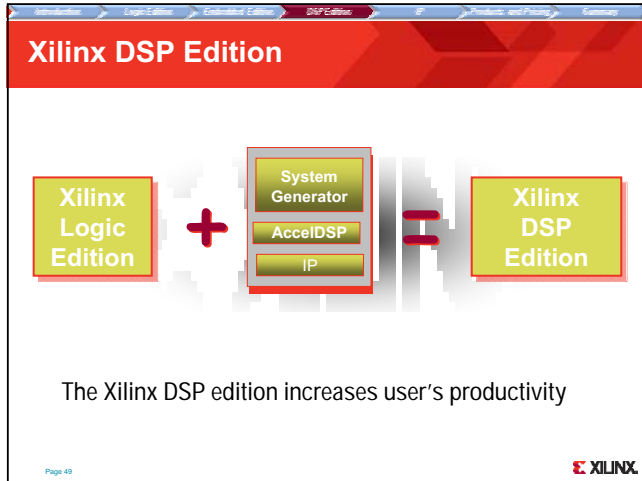
Agenda

The illustration shows a man in a suit pointing at a presentation board. To the right of the board is a box labeled 'ISE Design Suite 11' and a list of agenda items.

ISE Design Suite 11

- **What is new?**
- **Logic Edition**
- **Embedded Edition**
- **DSP Edition**
- **Socketable IP**
- **Pricing & packaging**


Page 48 XILINX

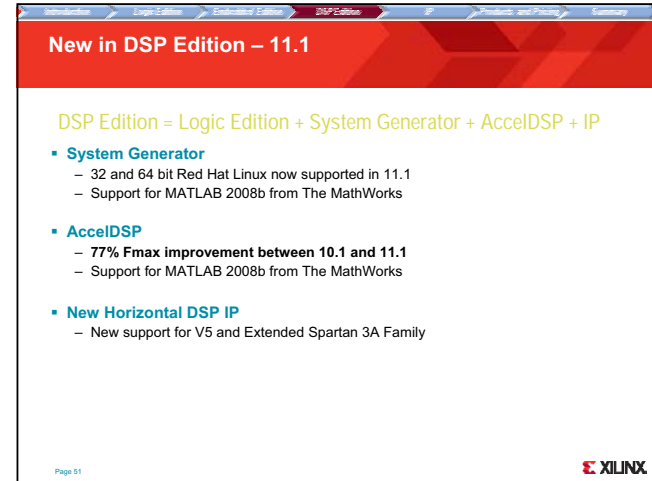


Xilinx DSP Edition

The diagram shows a box labeled 'Xilinx Logic Edition' plus a box containing 'System Generator', 'AcceIDSP', and 'IP', followed by an equals sign and a box labeled 'Xilinx DSP Edition'.

The Xilinx DSP edition increases user's productivity


Page 49 

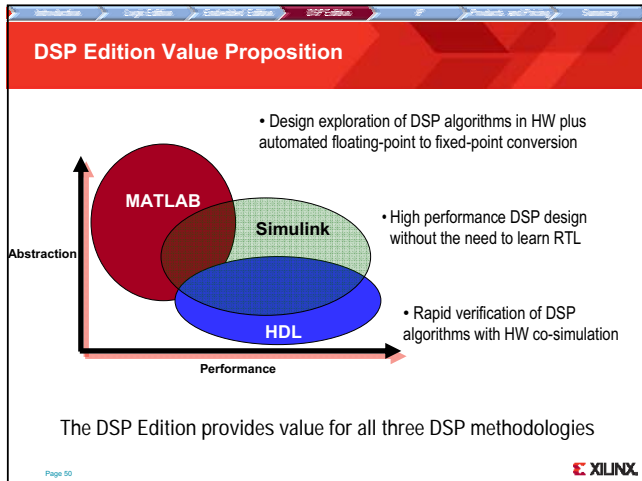


New in DSP Edition – 11.1

DSP Edition = Logic Edition + System Generator + AcceIDSP + IP

- **System Generator**
 - 32 and 64 bit Red Hat Linux now supported in 11.1
 - Support for MATLAB 2008b from The MathWorks
- **AcceIDSP**
 - 77% Fmax improvement between 10.1 and 11.1
 - Support for MATLAB 2008b from The MathWorks
- **New Horizontal DSP IP**
 - New support for V5 and Extended Spartan 3A Family

Page 51 




DSP Edition Value Proposition

The diagram shows a 2D plot with 'Abstraction' on the vertical axis and 'Performance' on the horizontal axis. Three overlapping circles represent 'MATLAB' (top-left), 'Simulink' (middle), and 'HDL' (bottom-right).

- Design exploration of DSP algorithms in HW plus automated floating-point to fixed-point conversion
- High performance DSP design without the need to learn RTL
- Rapid verification of DSP algorithms with HW co-simulation

The DSP Edition provides value for all three DSP methodologies

Page 50 



DSP Edition Summary

- **Opens up new opportunities by targeting MATLAB and Simulink algorithm developers**
- **AcceIDSP and System Generator are now only sold as a bundle**
- **System Generator on Linux opens up enterprise wide deployment**

Page 52 

Introduction Logic Edition Embedded Edition DSP Edition IP Product and Pricing Summary

Agenda

ISE Design Suite 11

- **What is new?**
- **Logic Edition**
- **Embedded Edition**
- **DSP Edition**
- **Socketable IP**
- **Pricing & packaging**




Page 53 


Introduction Logic Edition Embedded Edition DSP Edition IP Product and Pricing Summary

Fixing IP Licensing

- **Faster IP fulfillment time with ISE Design Suite 11**
 - 10-day to 2 hours
- **Easier to find, obtain & activate**
 - Single web location for:
 - Evaluation, Fulfillment and IP key licenses request
 - Single archive for:
 - CoreGen IP Updates and ISE Service Packs




Access to IP in Under Two Hours

Page 55 

Introduction Logic Edition Embedded Edition DSP Edition IP Product/Portfolio FLEX Licensing

Socketable IP Vision

Key Changes	Benefit
<ul style="list-style-type: none"> • New standards: PCIe Gen2, Ethernet AVB, USB, DisplayPort, 3GPP-LTE... 	Faster time to production
<ul style="list-style-type: none"> • Move to industry-standard IP-XACT repository format in CoreGen 	Opens up CoreGen to 3rd Party & customer IP for design reuse
<ul style="list-style-type: none"> • Improved IP Security <ul style="list-style-type: none"> – Plugging holes enabling broader customer use – Move to IEEE VHDL and Verilog standards 	Enables customers and 3rd parties to protect their IP


Page 54 


Introduction Logic Edition Embedded Edition DSP Edition IP Product and Pricing Summary

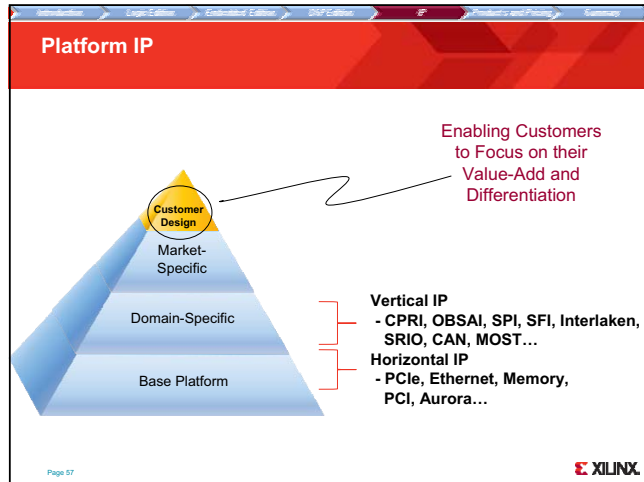
Enhancing 3rd Party IP Quality

Applies to Entire Third-Party Company

- **Audit Top IP, Services and Board Partners**
 - Prioritize Partners by Market and Application Needs
 - Only Audit Top 10-15% of XAP Partners
 - Goal certify ~50 IP partners



Page 56 



DisplayPort

- **New Serial Standard for HDTV**
- **Protocol Benefit:**
 - More bandwidth for rapidly growing HDTV market
 - Leverages the advantages of serial protocols
- **Benefit:**
 - Xilinx 1st FPGA IP CORE
 - Ability to deliver solution today - Altera cannot
- **Availability starting ISE 11.2**

Page 59

XILINX

Ethernet

- **Integrated TEMAC (Tri-mode Ethernet MAC) for Virtex-6**
 - 4th speed 2.5 Gbps enhancement to Virtex-5 TEMAC functionality
 - Benefit: Free IP, Low power **AND** 2.5G support
- **Ethernet AVB (Audio Video Bridging)**
 - Emerging Ethernet standard for high quality of service of streaming video and audio
 - Benefit: Xilinx 1st FPGA IP Core- No Altera solution to date
- **RXAUI (Reduced XAUI) for Virtex-6**
 - 10G using 2 GTX lanes targeting 40G and 100G applications
 - Benefit: Save SerDes (Half the SerDes)
 - No charge LogiCORE scheduled for 11.4

Page 58

XILINX

Memory Interfaces

- **Virtex-6 advantages**
 - Superior effective bandwidth (scheduling controller)
 - Unencrypted RTL files for maximum flexibility
 - Complete QDRII+ and RLD RAM II solutions (controller + PHY)
 - Higher data rates (DDR3, QDR II+, RLD RAM II)
- **Spartan-6 advantages**
 - Up to 4 Hard Block Memory Controller per device
 - Benefits:
 - Higher performance: 800 Mbps
 - Save Fabric Resources
 - Lower power
 - Easy to design

Page 60


XILINX

Introduction Logic Edition Embedded Edition DSP Edition IP Products and Pricing Summary

Socketable IP Summary

Leadership in IP


- **Xilinx**
 - Socketable IP Initiative: IP can be used easily & effectively
 - Focused on strategic IP
 - Expanding to new and emerging markets
- **Alliance Partners**
 - Enabling technologies for better integration

Page 61 

Introduction Logic Edition Embedded Edition DSP Edition IP Products and Pricing Summary

Licensing Model Changes

- **Prior to 11.1**
 - User based, each user needed a license
 - No ability to float a license
- **Starting in 11.1**
 - **Node-Locked:** Locked to single computer
 - Multiple users & simultaneous runs – limited to single computer.
 - **Floating:** Resides on network license server
 - World wide float, multi-user, only one at a time

Page 63 

Introduction Logic Edition Embedded Edition DSP Edition IP Products and Pricing Summary

Agenda



ISE Design Suite 11

- **What is new?**
- **Logic Edition**
- **Embedded Edition**
- **DSP Edition**
- **Socketable IP**
- **Pricing & Packaging**


Page 62 

Introduction Logic Edition Embedded Edition DSP Edition IP Products and Pricing Summary

Release 11 Software Pricing

NL = Node-Locked FLEX License
FL = Network Floating Server License


<p>NL = Free FL = N/A</p> <p>ISE WebPack</p> <p>Limited Devices</p> <p>PlanAhead</p> <p>ISE Foundation ISim Lite</p>	<p>NL = \$2995 FL = \$3595</p> <p>Logic Edition</p> <p>ChipScopePRO Serial I/O Toolkit</p> <p>PlanAhead</p> <p>ISE Foundation ISim Full</p>	<p>NL = \$3395 FL = \$4095</p> <p>Embedded Edition</p> <p>EDK</p> <p>Logic Edition</p>	<p>NL = \$4195 FL = \$4995</p> <p>DSP Edition</p> <p>System Generator</p> <p>AccelDSP</p> <p>Logic Edition</p>	<p>NL = \$4595 FL = \$5495</p> <p>System Edition</p> <p>EDK</p> <p>System Generator</p> <p>AccelDSP</p> <p>Logic Edition</p>
Discounts over 10.1 List: 43% 45% 48% 50%				

Page 64 

Introduction Logic Edition Embedded Edition DSP Edition IP Product and Pricing Summary

FLEX Licensing


- **Customer Benefits**
 - Track their own usage – ensure compliance
 - Industry standard licensing they're probably already using
 - Floating licenses: Company-wide deployments with fewer seats
 - Purchased licenses never expire
- **Xilinx Benefits**
 - Better usage tracking
 - Licensing matches contract expiration to better drive renewals
- **Competitive**
 - Altera's FLEX approach equivalent to Xilinx's

Page 65 


Introduction Logic Edition Embedded Edition DSP Edition IP Product and Pricing Summary

"Upgrade" Policies

- **Moving from 10.1 in-warranty product to an Edition**
 - Sell either new Standalone products or new full Edition
- **Moving from one Edition to another**
 - Sell Standalone products to create the equivalent of desired Edition
- **E.g:**



Xilinx Logic Edition + EDK = Xilinx Embedded Edition

Page 67 

Introduction Logic Edition Embedded Edition DSP Edition IP Product and Pricing Summary

Renewals and Transitions

Renewals

Prior to 11.1:


- All software renewals, including XPAs, must be done using the current (10.1) software products and pricing

Starting in 11.1

- Renew/Purchase into the Release 11 products and pricing

Release 11: In-warranty software product transitions


- **In-warranty customers will be able to generate a FLEX license for the equivalent product they paid for in 10.1**
 - They will **not** be transitioned to an Edition
 - All ISE customers will receive a license containing full PlanAhead
 - No extra charge to choose floating licenses while under pre-existing contract

Page 66 

Introduction Logic Edition Embedded Edition DSP Edition IP Product and Pricing Summary

Product Pricing Summary

- **ISE Design Suite Editions**
 - Software sales just got easier
 - Targeted products provide everything customer needs
 - High value for price
- **Transitions from 10.1 to Release 11**
 - Customers will get what they paid for with floating license capabilities as a free bonus.
 - Full PlanAhead - a bonus for all in-warranty 10.1 customers
- **XPA rules change once ISE 11 ships**
 - More to come on XPA requirements

Page 68 

Agenda

ISE Design Suite 11

- What is new?
- Logic Edition
- Embedded Edition
- DSP Edition
- Socketable IP
- Pricing & Packaging
- Releases

Device Support & Application Changes

- Removed from ISE Design Suite 11:

Device Families Removed	Application	Alternatives
9500XV	FloorPlanner	Use PlanAhead
Virtex & Virtex-E	PACE	CPLD support only
Virtex-II & Virtex-IIIP	ABEL Support	Use 10.1
Spartan-II & Spartan-IIIE	StateCad	
	HDL Bench	HDL Testbench Examples

- All families, except 9500XV, are still being manufactured with no plans to discontinue
- 10.1 SP3 will remain available for download after ISE Design Suite 11 launch to support removed devices

ISE Design Suite 11 - Summary

- Stronger value proposition**
 - New packaging (Editions) match main user profiles and their primary methodologies
 - Sell effective methodologies, not individual tool features
 - ISE Design Suite 11 offers more value
- Enhanced Xilinx Platform Design Strategy**
 - Strong foundation of flows and IP
 - New IP positions Xilinx well in new markets
- Making it easier!**
 - New features and improved runtime accelerates customer development and our competitive outlook

Application Example: In car infotainment

- Accelerated development cycle using Target Design Platforms
- Flexibility to address changing standards
- Deploy fully programmable solution for scalability

Platform	IP
Host Platform	Spartan-6 + SW
Domain Specific	DSP, Advanced Connectivity IP
Market Specific	Memory interface IP
System Specific	Host interfaces

Results: Reduced power by 70% and system cost by 55%
Migrate to larger FPGAs for scalable solution

Application Example: Large format, high resolution flat panel display

- Lower power using Spartan-6 low voltage option
- Integrate serial connectivity and integrated display port
- Fast time-to-market and flexibility for scalable solution

Results: Reduced power by 60% and system cost by 45%
Leverage 100% reusable IP

Page 73

Spartan-6 LXT FPGA Platform

Spartan-6 LXT Estimated Resources Per Device	High-Speed Serial Devices			
	LX25	LX45	LX100	LX150
Logic Cells	24K	43K	101K	147K
6-input LUTs	15K	27K	63K	92K
FPGA Flip-Flops	30K	54K	126K	184K
18k BRAM Blocks	52	116	268	268
BRAM Kbits	936	2.1K	4.8K	4.8K
Clock Managers (DCM/PLL)	4/2	8/4	12/6	12/6
DSP48A1 Multipliers	38	58	182	182
Hardened PCI Express Lanes	1	1	1	1
High Speed External Memory Ports	2	2	4	4
High Speed SerDes (GTP) Channels	2	4	8	8
Package	Size (mm)	SelectIOs, Memory Controllers, GTP Channels		
CSG324 (4L)	15x15	174,2,2	174,2,4	
FGG484	23x23	264,2,2	296,2,4	296,2,4
FGG676	27x27		370,2,4	396,4,8

Page 75

Spartan-6 LX FPGA Platform

Spartan-6 LX Estimated Resources Per Device	Base Devices							
	LX4	LX9	LX16	LX25	LX45	LX100	LX150	
Logic Cells	3.4K	9K	15K	24K	43K	101K	147K	
6-input LUTs	2.1K	6K	9K	15K	27K	63K	92K	
FPGA Flip-Flops	4.2K	11K	18K	30K	54K	126K	184K	
18k BRAM Blocks	8	32	32	52	116	268	268	
BRAM Kbits	144	576	576	936	2.1K	4.8K	4.8K	
Clock Managers (DCM/PLL)	2/1	4/2	4/2	4/2	8/4	12/6	12/6	
DSP48A1 Multipliers	4	16	32	38	58	182	182	
High Speed External Memory Ports	0	2	2	2	2	4	4	
Package	Size (mm)	SelectIOs, Memory Controllers						
TQG144	20x20	100,0	100,0					
CSG225	13x13	120,0	160,2*	160,2*	160,2*			
FTG256	17x17			186,2	186,2			
CSG324 (2L)	15x15		200,2	232,2	232,2			
FGG484	23x23			264,2		354,2	354,2	
FGG676	27x27					370,2	498,4	

* All memory controller support x16 interface, except in CSG225 package where x8 only is supported

Page 74

Xilinx Low-Cost FPGA Roadmap

Page 76

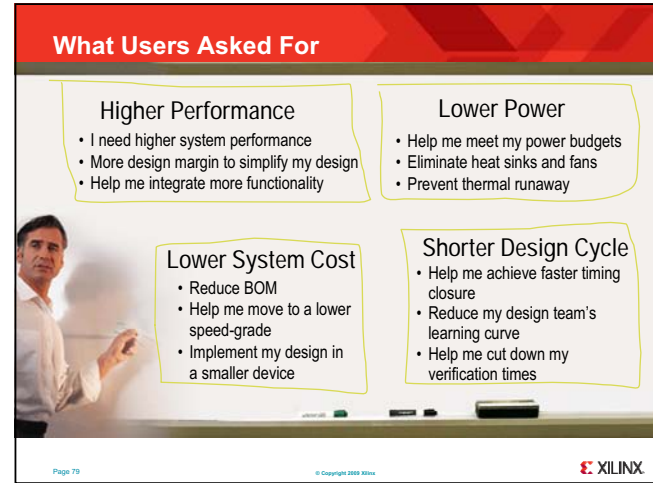


XILINX

XILINX
VIRTEX 6

Product Overview
Xilinx Product Marketing

February 1, 2009



What Users Asked For

Higher Performance

- I need higher system performance
- More design margin to simplify my design
- Help me integrate more functionality

Lower Power

- Help me meet my power budgets
- Eliminate heat sinks and fans
- Prevent thermal runaway

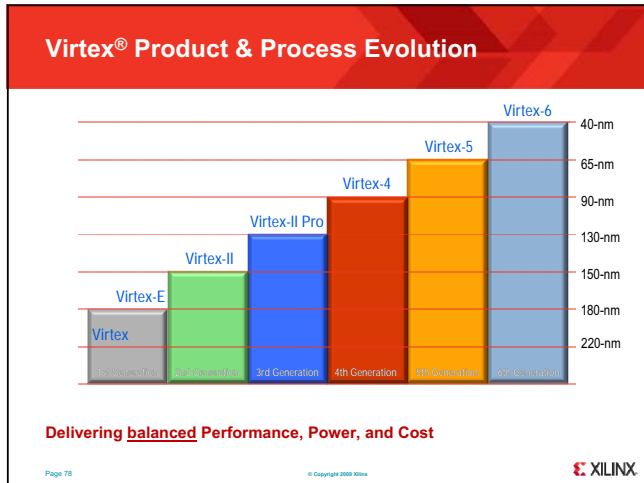
Lower System Cost

- Reduce BOM
- Help me move to a lower speed-grade
- Implement my design in a smaller device

Shorter Design Cycle

- Help me achieve faster timing closure
- Reduce my design team's learning curve
- Help me cut down my verification times

Page 79 © Copyright 2009 Xilinx

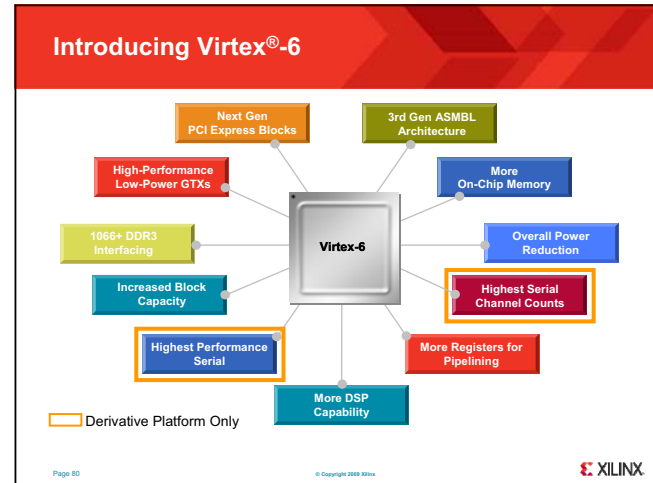


Virtex® Product & Process Evolution

Product	Generation	Process Node
Virtex	1st Generation	220-nm
Virtex-E	2nd Generation	180-nm
Virtex-II	3rd Generation	150-nm
Virtex-II Pro	3rd Generation	130-nm
Virtex-4	4th Generation	90-nm
Virtex-5	5th Generation	65-nm
Virtex-6	6th Generation	40-nm

Delivering balanced Performance, Power, and Cost

Page 78 © Copyright 2009 Xilinx



Introducing Virtex®-6

Virtex-6

- Next Gen PCI Express Blocks
- 3rd Gen ASMBL Architecture
- High-Performance Low-Power GTXs
- More On-Chip Memory
- 1066+ DDR3 Interfacing
- Overall Power Reduction
- Increased Block Capacity
- Highest Serial Channel Counts
- Highest Performance Serial
- More Registers for Pipelining
- More DSP Capability

Derivative Platform Only

Page 80 © Copyright 2009 Xilinx

Virtex-6 FPGA Family

Optimized for Diverse Applications

Virtex-6	LXT	SXT	Future
Optimized for:	Logic/Serial	DSP/Serial	High SIO B/W
Logic	High	Medium	Low
On-chip RAM	High	Medium	Low
DSP Capabilities	Low	High	Medium
Parallel I/Os	Low	Medium	High
Serial I/Os	High	Medium	Low
	2009	2009	2010

- Right mix of features leveraging ASMBL™ architecture
- Flexibility through pin compatibility

Page 81 © Copyright 2009 Xilinx XILINX

Higher Performance for Pipelined Designs

Virtex-4 and Earlier
LUT/FF Pair

Great General-Purpose Logic

Virtex-5
LUT/FF Pair

Substantial increase in LUT logic capability: Drives performance

Virtex-6
LUT/Dual FF Pair

NEW: Second flip-flop added to increase utilization of heavily pipelined designs

Page 83 © Copyright 2009 Xilinx XILINX

Breakthrough Performance

- Fabric: 15% Faster**
 - Advanced process, improved routing, faster pipelining
- Serial Transceivers: >200% higher bandwidth**
 - Up to 36, 6.5Gbps in LXT and SXT platforms
- SelectIO™ Technology: 37% higher bandwidth**
 - Enabling advanced memory interfaces, including 1066+ Mbps DDR3
- Clocking: 10% faster**
 - Lower skew, improved jitter, faster clock trees
- DSP: >200% higher bandwidth**
 - Over 2,000 enhanced DSP slices

(Mt. Blanc LXT/SXT compared to Virtex®-5 LX/LXT/SXT FPGAs)

Page 82 © Copyright 2009 Xilinx XILINX

BRAM/FIFO Features

- 600Mhz operation using pipeline option
- Optimized for low power
- Independent read and write port widths
- Multiple configurations
 - True dual-port, single-port
 - Simple dual-port with Asymmetric Read & Write Ports
- Integrated cascade logic
 - Creates 64k x 1 from two 32k x 1 BRAMs
- Byte-write enable
 - Enhances processor memory interfacing
- Integrated 64-bit error correction
- Integrated logic for fast efficient FIFOs

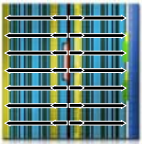
Configure as BRAM or FIFO

Page 84 © Copyright 2009 Xilinx XILINX

Most Advanced Clocking

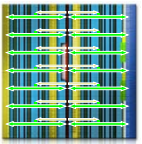
New "Performance Paths"

- Directly connect to I/O & Regional Clocks
- Lower skew for non-GCLK sources
- 500MHz differential



New Mid-Point GCLK Buffering

- Lower skew between columns
- Leveraged by SW tools
- 600MHz differential



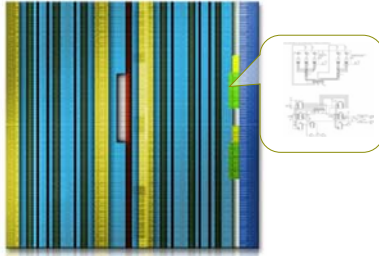
- Up to 18 Mixed-Mode Clock Managers (MMCMs)
- 32 global buffers

Abundant High-Performance Flexible Clock Resources

Page 85 © Copyright 2009 Xilinx XILINX

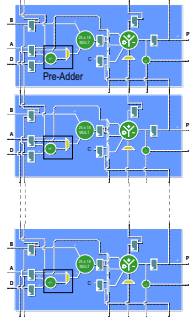
Hardened Protocol Support: Saves FPGA Resources

- **Built-in PCI Express**
 - Gen1 up to 8 lanes
 - Gen2 up to 4 lanes
 - Endpoint Support
 - Root Complex (via soft IP wrapper)
- **Built-in Ethernet MAC**
 - 10/100/1000 TEMAC
 - Supports 2.5Gbps (oversampling)



Page 87 © Copyright 2009 Xilinx XILINX

Higher DSP Performance with Fewer Resources




- **Nearly a TeraMAC of DSP performance**
- **Powerful third-generation DSP slice**
 - Up to 600 MHz operation
 - New optional pre-adder
 - Design compatible with Virtex-5
 - Familiar cascade capability for highest performance and utilization
- **Highest DSP slice capacity**
 - Up to 2K DSP Slices

Page 86 © Copyright 2009 Xilinx XILINX

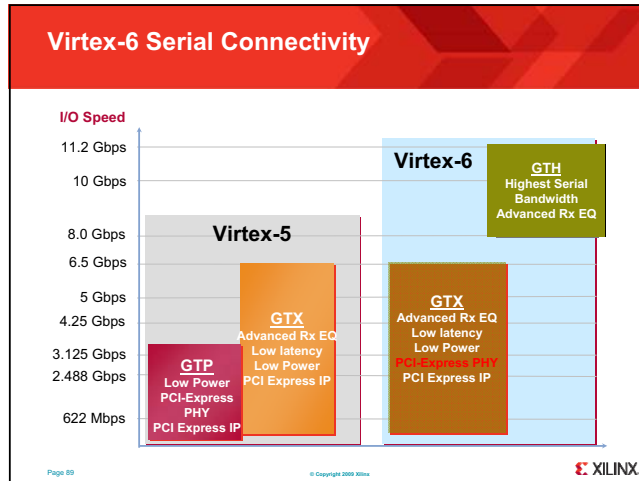
Leading Edge SelectIO™ Technology

- **Extended performance**
 - 1.4 Gbps LVDS for DDR
 - Supports 1066+ Mbps DDR3
- **Powerful parallel I/O capabilities**
 - 1.0 to 2.5 V operation
 - ChipSync™ technology
 - Programmable I/O Delay
 - XCITE Digitally Controlled Impedance (DCI) termination
- **Support for many standards**
 - SFI-4, HSTL, SSTL, differential HSTL/SSTL, LVCMOS



All Standards and All Speeds on All Banks

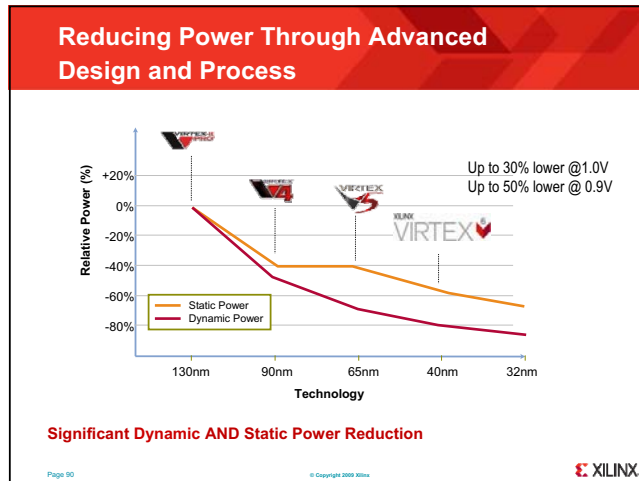
Page 88 © Copyright 2009 Xilinx XILINX



Lowest Power

- **Total power: up to 50% lower**
 - Dynamic power reduction through process innovation
 - Static power reduction through architecture innovation
- **Reduced I/O power: up to 50% lower**
 - Next-generation SelectIO™ technology
- **Lowest-power transceivers: 25% lower**
 - 150mW at 6.5Gbps

Page 91 © Copyright 2009 Xilinx XILINX



Maximize Productivity

- **2 x Faster compile times:**
 - Rapid design turn-around
- **Design reuse: Focus on backward compatibility**
 - Leverage existing Virtex-5 FPGA IP
- **Enhanced built-in hard IP**
 - Focus on your unique added value
- **Streamlined, focused platform solutions**
 - Get started quickly, finish faster

Page 92 © Copyright 2009 Xilinx XILINX

Tools: Integrated Development System ISE 11 Highlights

- **Runtime:**
 - Average 2X faster runtimes compared to ISE® suite 10.1
- **Power Optimization:**
 - 15% Dynamic Power Reduction
- **Memory:**
 - 30% Reduction in memory requirements
- **IP Timing Predictability:**
 - for Memory Interface Generator (MIG) and PCIe® technology
- **Graphical Tools:**
 - Better Interoperability between tools
 - Simplified, easier to navigate graphical interfaces
 - Better support for third-party source code management tools
- **Domain Specific Configurations**
 - Logic, Embedded, DSP

Page 93
© Copyright 2009 Xilinx

Preserving Your Design Investment

<ul style="list-style-type: none"> • Programmable logic • Block RAM • SelectIO™ pins • Clocking • Multipliers • Serial transceivers 	<ul style="list-style-type: none"> • Programmable logic • Block RAM • SelectIO™ pins • Clocking • DSP slices • Serial transceivers • Ethernet MAC blocks • System Monitor blocks 	<ul style="list-style-type: none"> • Programmable logic • Block RAM • SelectIO™ pins • Clocking • DSP slices • Serial transceivers • Ethernet MAC blocks • System Monitor blocks • PCIe® endpoint blocks 	<ul style="list-style-type: none"> • Programmable logic • Block RAM • SelectIO™ pins • Clocking • DSP slices • Serial transceivers • Ethernet MAC blocks • System Monitor blocks • PCIe® blocks
---	--	---	--

Virtex-6 supports designs based on previous-generation silicon capabilities

Page 95
© Copyright 2009 Xilinx

Leverage FPGA Hard IP for Must Have Functionality

Clocking Flexibility

PLL (precision synthesis +Low jitter)

Enhanced Support for
PCI Express®
technology

Integrated x1, x4, x8

Optimized Serial IO
Power & Performance

150Mbps to 6.5Gbps GTX

Page 94
© Copyright 2009 Xilinx

Targeted Design Platforms

Enabling users to achieve more, faster...

Individual User Design

Communication • Video • AVB

(market-specific IPs, custom tools, custom boards)

Embedded • DSP • Connectivity

(domain IPs, domain tools, daughter cards)

Virtex

(base IPs, ISE program, base boards)

Page 96
© Copyright 2009 Xilinx

What Virtex-6 Delivers!

- ✓ **Higher Performance**
 - I need higher system performance
 - More design margin to simplify my design
 - Help me integrate more functionality
- ✓ **Lower Power**
 - Help me meet my power budgets
 - Eliminate heat sinks and fans
 - Prevent thermal runaway
- ✓ **Lower System Cost**
 - Reduce BOM
 - Help me move to a lower speed-grade
 - Implement my design in a smaller device
- ✓ **Shorter Design Cycle**
 - Help me achieve faster timing closure
 - Reduce my design team's learning curve
 - Help me cut down my verification times

Page 97

© Copyright 2009 Xilinx

XILINX

Virtex-6 Base Platform

Part Number	LX75T	LX130T	LX195T	LX240T	LX365T	LX560T	LX790	5K315T	5K475T
Logic Cells	74.5K	126K	200K	241K	364K	550K	759K	319K	479K
Maximum Distributed RAM (Kbits)	1,045	1,740	3,040	3,650	4,130	6,200	8,280	5,090	7,640
Block RAM/FIFO (36Kbits each)	156	264	344	416	416	632	720	704	1,064
Total Block RAM (Kbits)	5,616	9,504	12,384	14,976	14,976	22,752	25,920	25,344	38,304
Mixed Mode Clock Manager (MMCM)	6	10	10	12	12	18	18	12	18
DSP48E1 Slices	288	480	640	768	576	864	864	1,344	2,016
PCI Express® Interface Blocks	1	2	2	2	2	2	0	2	2
10/100/1000 Ethernet MAC Blocks	4	4	4	4	4	4	0	4	4
GTX Low-Power Transceivers	12	20	20	24	24	36	0	24	36
Package	Size (Pitch)	Maximum User I/O: Select I/O* Interface Pins (GTX Transceivers)							
FF484	23 x 23 mm (1.0 mm)	240 (8)	240 (8)						
FF794	29 x 29 mm (1.0 mm)	360 (12)	400 (12)	400 (12)	400 (12)				
FF1156	35 x 35 mm (1.0 mm)		600 (20)	600 (20)	600 (20)	600 (20)			
FF1759	42.5 x 42.5mm (1.0 mm)			720 (24)	720 (24)	720 (24)	840 (36)	720 (24)	840 (36)
FF1790	42.5 x 42.5mm (1.0 mm)						1,200 (0)	1,200 (0)	

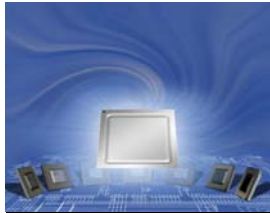
Page 99

© Copyright 2009 Xilinx

XILINX

Virtex-6 Base Platform Feature Highlights

- **Up to 3 Quarters of a Million Logic Cells with Close to 1 Million Fabric Flip Flops**
 - Largest FPGA Ever
- **Up to 38 Mbits BRAM**
 - Extremely Memory Rich Architecture
- **Up to 2 Thousand DSP Slices**
 - Unparalleled DSP Performance
- **Up to Twelve Hundred SelectIO**
 - Low-latency parallel and memory | interfacing
- **Up to (36) 6.5 Gbps Serial Transceivers**
 - 225 Gbps Aggregate Serial Bandwidth in a Single Device
- **Hardened, Full-Featured PCI-Express Blocks and 10/100/1000 Mbps Ethernet MACs**
 - Easy, High-Performance Protocol Support that Saves Programmable Logic



Virtex-6 Base Platform 98

© Copyright 2009 Xilinx

XILINX



NU HORIZONS ELECTRONICS





Shelf Management for optimized cooling in ATCA shelves

Dietmar Mann
Schroff GmbH

1

08.10.2008, DM



What is the problem with existing systems?

- ▶ Nothing monitors the health of the whole system
- ▶ You only detect failures after they occur and have caused damage
- ▶ High cost of experiment failure: a simple broken fan or clogged air filter can ruin weeks of preparations
- ▶ Limited redundancy

2

08.10.2008, DM



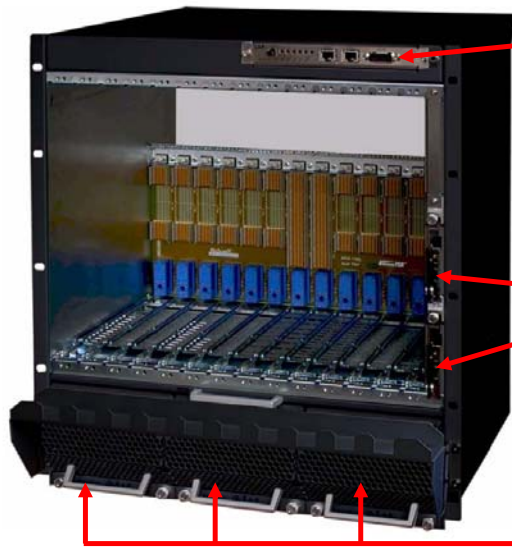
Why ATCA?

- ▶ Maximum System Reliability
- ▶ Shelf manager monitors all sensors in the chassis, possible failures can be “predicted” and corrected before they cause damage
- ▶ Can send event message when something goes wrong

How can ATCA improve the reliability of the system?

- ▶ Prediction of failures (a fan does normally not fail instantly)
- ▶ Monitoring of every temperature sensor on every blade and FRU
- ▶ Isolation of faulty boards (e.g. powering down over-heated boards)
- ▶ Power management
 - ▶ Power assigned to a board by the shelf manager
 - ▶ Capability of multiple power levels for every board
- ▶ Redundancy

Shelf Management Building Blocks (Front View)



Shelf Alarm Panel (SAP)

- Interface for Telco Alarms
- Console Port Access for ShMC

2 x Shelf Manager

- Radial or Bused IPMB
- 2 Shelf Manager for Redundancy

3 x Fan Tray

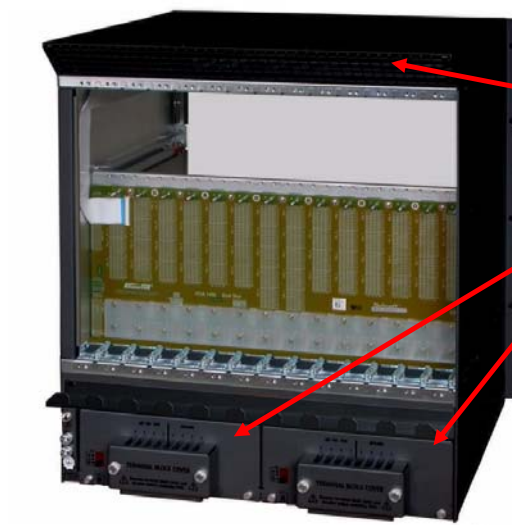
- with integrated Fan Controller
- Hot Swap Functionality
- Redundant power supplies

5

08.10.2008, DM



Shelf Management Building Blocks (Rear View)



3 x Exhaust Temperature Sensors

2 x Power Entry Module (PEM):

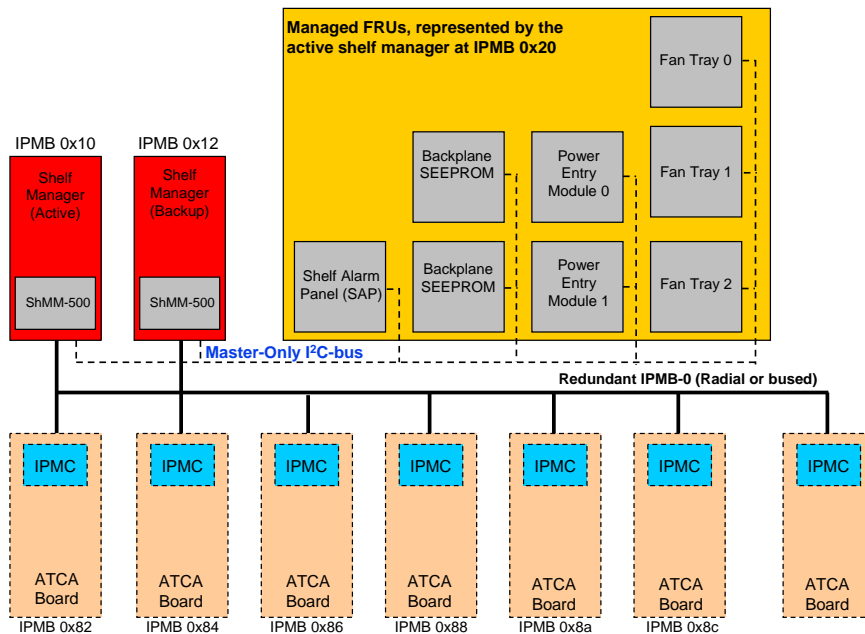
- Fusing (4 x 30A)
- Filtering
- Voltage monitoring
- HS LEDs and Push Button
- Redundant power feeds to boards and FRUs

6

08.10.2008, DM



Schroff Shelf Management Structure

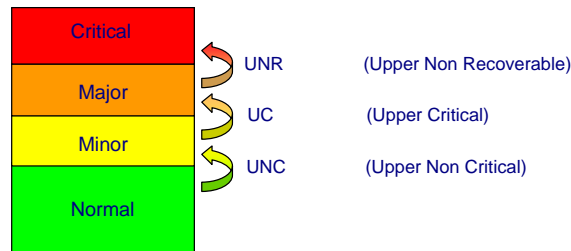


IPMI temperature sensors

- ▶ All temperature sensors are represented by an IPMC or the shelf manager as IPMI sensor
- ▶ Monitor all temperature sensor on boards and FRUs in the chassis
- ▶ Monitor intake and exhaust temperature in the chassis
- ▶ Chassis temperature sensors on fan trays, PEMs, SAP, Shelf Manager
- ▶ Board temperature sensors on ATCA blades
- ▶ Temperature sensors can have 6 thresholds
- ▶ In total >100 temp sensors in the shelf

IPMI Temperature Sensor thresholds

- ▶ Three alert levels
 - ▶ Minor alert:
A warning that things are somewhat out of normal range, but not really a “problem” yet
 - ▶ Major Alert:
Things are still in valid operating range, but are getting close to the edge; unit still operating within vendor-specified tolerances
 - ▶ Critical Alert:
Unit no longer operating within vendor-specified tolerances



You can also have three lower temperature thresholds. These are usually reserved for outdoor applications

Failure prediction

- ▶ Monitor fan speed and temperature over time
- ▶ Fan speed of a certain fan goes down over time: fan bearing gradually wears out → replacement
- ▶ Adaptive fan speed thresholds detect failing, not failed, fans
- ▶ Intake temperature rises: external cooling system problem
- ▶ Fan level higher than normal: clogged air filter



Shelf Event Log (SEL)

- ▶ The shelf manager logs all events in the Shelf Event Log (SEL)
- ▶ SEL entries standardized according to ATCA spec PICMG 3.0

```
0x0001: Event: at Jan 1 00:08:28 1970; from:(0x10,0,0); sensor:(0x01,2); event:0x1(asserted): "Upper Non-Critical", Threshold: 0x0a, Reading: 0x1e
0x0002: Event: at Jan 1 00:08:31 1970; from:(0x10,0,0); sensor:(0x01,2); event:0x1(deasserted): "Upper Non-Critical", Threshold: 0x28, Reading: 0x1e
0x0003: Event: at Jan 1 00:08:49 1970; from:(0x20,0,0); sensor:(0x01,120); event:0x1(asserted): "Upper Critical", Threshold: 0x0a, Reading: 0x1b
0x0004: Event: at Jan 1 00:08:52 1970; from:(0x20,0,0); sensor:(0x01,120); event:0x1(deasserted): "Upper Critical", Threshold: 0x3c, Reading: 0x1b
0x0005: Event: at Jan 1 00:09:04 1970; from:(0x94,0,0); sensor:(0x01,10); event:0x1(asserted): "Upper Non-Recoverable", 0x0B 0xFF 0xFF
0x0006: Event: at Jan 1 00:09:04 1970; from:(0x94,0,0); sensor:(0xf0,0); event:0x6f(asserted): HotSwap: FRU 0 M4->M6, Cause=0x1
0x0007: Event: at Jan 1 00:09:14 1970; from:(0x94,0,0); sensor:(0xf0,0); event:0x6f(asserted): HotSwap: FRU 0 M6->M1, Cause=0x0
0x0008: Event: at Jan 1 00:09:14 1970; from:(0x94,0,0); sensor:(0xf0,0); event:0x6f(asserted): HotSwap: FRU 0 M1->M2, Cause=0x3
0x0009: Event: at Jan 1 00:09:15 1970; from:(0x94,0,0); sensor:(0xf0,0); event:0x6f(asserted): HotSwap: FRU 0 M2->M3, Cause=0x1
0x000A: Event: at Jan 1 00:10:03 1970; from:(0x94,0,0); sensor:(0x01,10); event:0x1(deasserted): "Upper Non-Recoverable", 0x0B 0xFF 0xFF
0x000B: Event: at Jan 1 00:10:04 1970; from:(0x94,0,0); sensor:(0xf0,0); event:0x6f(asserted): HotSwap: FRU 0 M3->M4, Cause=0x0
```

Chassis Power / Cooling Management

- ▶ The shelf manager keeps records of the power capabilities of every FRU
- ▶ Stored in the shelf FRU file in a SEEPROM on the backplane
- ▶ Shelf manager / System manager controlled power up
- ▶ When the shelf is powered on, the shelf manager compares the available power for a slot and the required power of the FRU
- ▶ Different power levels of a FRU

```
[Power Management]
Format Version = 2
Vendor Format Version = 1
Activation Readiness = 20
0x41, 0xFE = 200, 1, 0, 0
0x42, 0xFE = 200, 1, 0, 0
0x43, 0xFE = 200, 1, 0, 0
0x44, 0xFE = 200, 1, 0, 0
0x45, 0xFE = 200, 1, 0, 0
0x46, 0xFE = 200, 1, 0, 0
0x47, 0xFE = 200, 1, 0, 0
0x48, 0xFE = 200, 1, 0, 0
0x49, 0xFE = 200, 1, 0, 0
0x4A, 0xFE = 200, 1, 0, 0
0x4B, 0xFE = 200, 1, 0, 0
0x4C, 0xFE = 200, 1, 0, 0
0x4D, 0xFE = 200, 1, 0, 0
0x4E, 0xFE = 200, 1, 0, 0
0x08, 0xFE = 030, 1, 0, 0
0x09, 0xFE = 030, 1, 0, 0
0x10, 0x00 = 10, 1, 0, 0
0x10, 0x03 = 100, 1, 0, 0
0x10, 0x04 = 100, 1, 0, 0
0x10, 0x05 = 100, 1, 0, 0
0x10, 0x06 = 20, 1, 0, 0
0x10, 0x07 = 20, 1, 0, 0
0x10, 0x08 = 10, 1, 0, 0
```

Shelf manager cooling algorithm

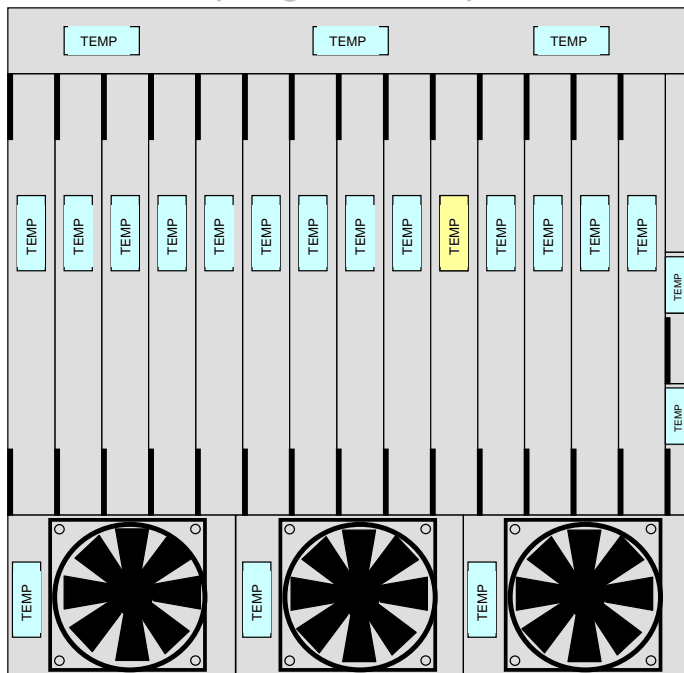
- ▶ Requirements for managing the fan speed
 - ▶ Low Noise level, NEBS and ETSI
 - ▶ GR-63-CORE, R4-96: 78dB Attended rooms @ 27°C
 - ▶ ETSI EN 700 753: 72dB Attended room @ 23°C
 - ▶ Long Life time of the fans (MTBF)
 - ▶ Fans are the most critical part in the shelf in terms of life time
 - ▶ Low Energy consumption
 - ▶ Fans for an ATCA Shelf can consume >500 W on full speed

Shelf manager cooling algorithm

- ▶ How to determine the cooling working point with more than 100 temperature sensors in the chassis?
- ▶ Different approaches:
 - ▶ Algorithm based on intake (environmental) temperature
 - ▶ Fixed relationship between intake temperature and fan speed
 - ▶ Disadvantage: Only precise when thermal load does not change
 - ▶ Algorithm based on the temperature differential between intake and exhaust temperature
 - ▶ Disadvantage: exhaust temperature is just an average temperature and does not react on hot spots on the blades
 - ▶ Algorithm based on assertion/deassertion of sensor thresholds of the temperature sensors
 - ▶ Advantage: every temperature sensor in the chassis can demand the exact amount of cooling it needs
 - ▶ Maximizes the MTBF of the chassis

ShMgr cooling algorithm: MINOR alarm

- ▶ Goal: adapting the fan speed to changed thermal load



Shelf Cooling state:
MINOR

15	15
14	14
13	13
12	12
11	11
10	10
9	9
8	8
7	7
6	6
5	5
4	4
3	3
1	1
0	0

Min Fan level Current fan level

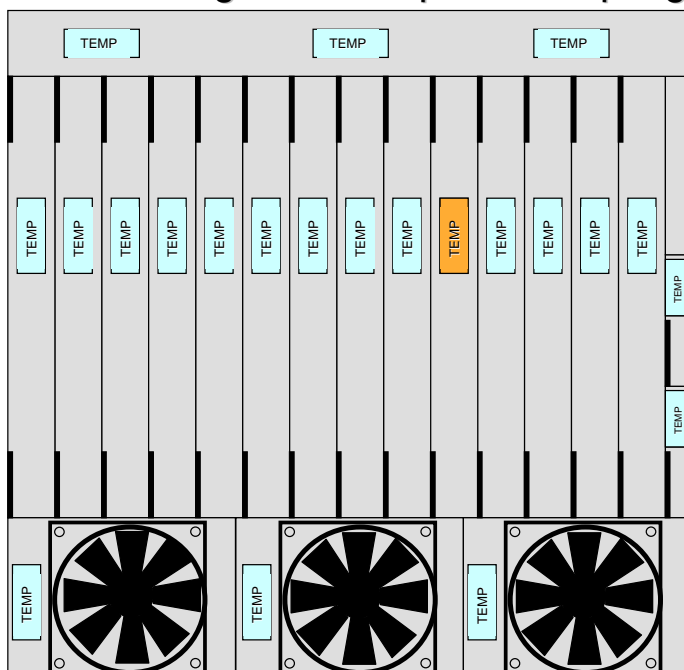
X

15

08.10.2008, DM

ShMgr cooling algorithm: MAJOR alarm

- ▶ Goal: fan go to max speed. Adapting power level



Shelf Cooling state:
MAJOR

15	15
14	14
13	13
12	12
11	11
10	10
9	9
8	8
7	7
6	6
5	5
4	4
3	3
1	1
0	0

Min Fan level Current fan level

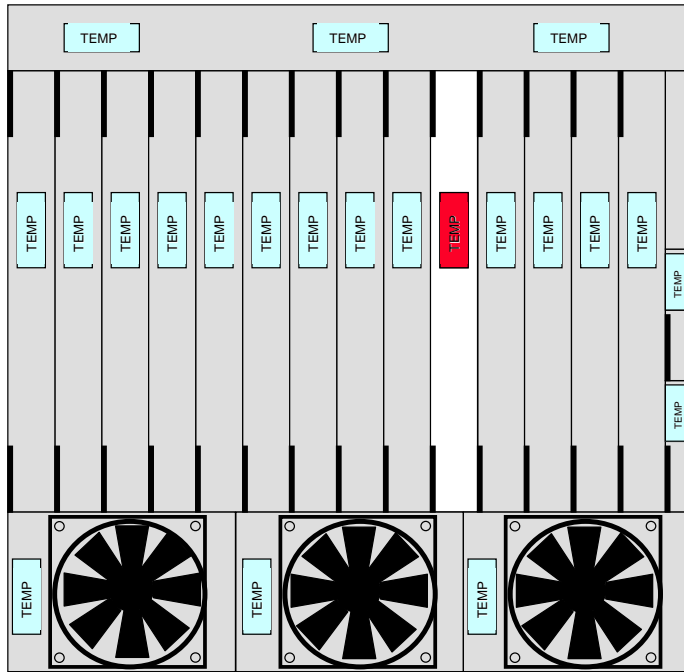
X

16

08.10.2008, DM

ShMgr cooling algorithm: CRITICAL alarm from blade

- ▶ Goal: Power down (isolate) the faulty blade



Shelf Cooling state:
CRITICAL

15	15
14	14
13	13
12	12
11	11
10	10
9	9
8	8
7	7
6	6
5	5
4	4
3	3
1	1
0	0

Min Fan level Current fan level

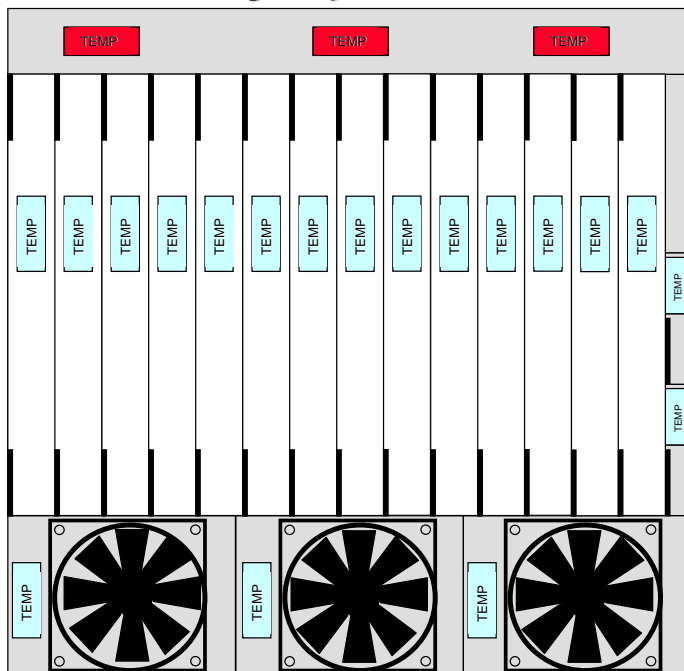
X

17

08.10.2008, DM

ShMgr cooling algorithm: CRITICAL alarm from shelf

- ▶ Goal: Emergency situation: Power down all blades



Shelf Cooling state:
CRITICAL

15	15
14	14
13	13
12	12
11	11
10	10
9	9
8	8
7	7
6	6
5	5
4	4
3	3
1	1
0	0

Min Fan level Current fan level

X

18

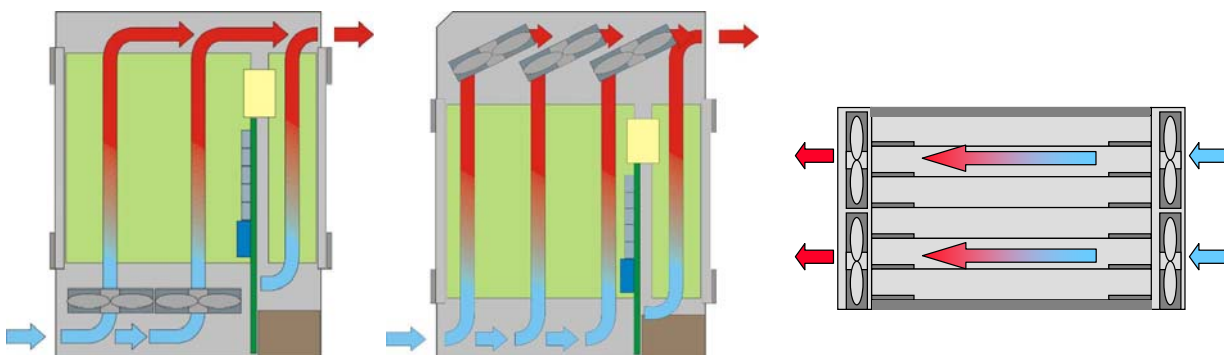
08.10.2008, DM

How can a blade contribute to optimize cooling?

- ▶ Place the temperature sensor at the hot spots so it really measures the temperature of the device it should monitor
- ▶ A temperature threshold set too low will unnecessarily lead to a high fan speed. Board designers tend to set the thresholds at a too low level to improve MTBF figures.
- ▶ Each temperature sensor on a blade needs individual thresholds. An intake temperature sensor typically needs lower thresholds than a temperature sensor that monitors a CPU

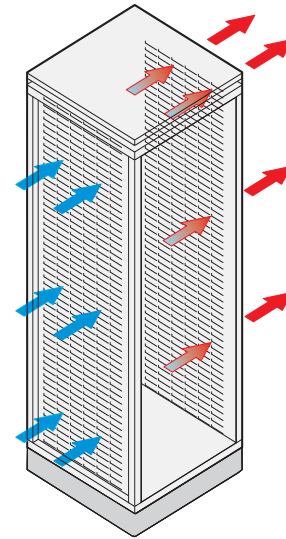
Cooling architecture with forced air cooling

- ▶ Push cooling
- ▶ Pull cooling
- ▶ Push-Pull cooling



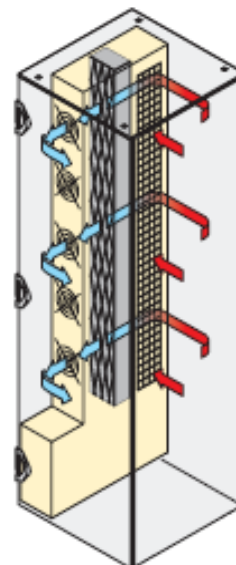
Downsides of cooling with ambient air

- ▶ The fans transport the hot air just outside the chassis but not out of datacenter or accelerator ring
- ▶ Environment of the chassis needs to be cooled
- ▶ Dust is carried into the chassis from the ambient air



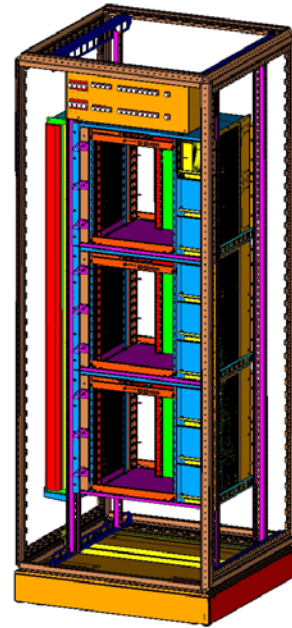
What is the alternative to ambient air for cooling?

- ▶ **Hybrid cooling:** Air-to-water heat exchanger
- ▶ First step: Transition of the thermal energy from the electrical device on the blade to the air
- ▶ Second step: Transition of the thermal energy from the air to the water in the heat exchanger
- ▶ Chassis runs at low environmental temperature
→ higher MTBF
- ▶ Intake temperature of the ATCA chassis given by the supplied water and not by the ambient air
- ▶ No “fresh” air from outside the cabinet required: no issues with dust from the environment



Solution: Cabinet with air-to-water heat exchanger

- ▶ Hybrid cooling
- ▶ 3x 14 slot ATCA chassis
- ▶ Heat exchanger at air outlet of the shelf means no danger of condensing water in the shelf
- ▶ Rear and front access
- ▶ Large areas for cable installation
- ▶ Minimum noise
- ▶ No dust in the shelf
- ▶ Low intake temperature: Boards can run at a maximum power



Moderne Designtechniken und Verifikationsmethodiken für den IP Reuse

Oliver Neumann
Application Engineer

**Mentor
Graphics®**

Agenda

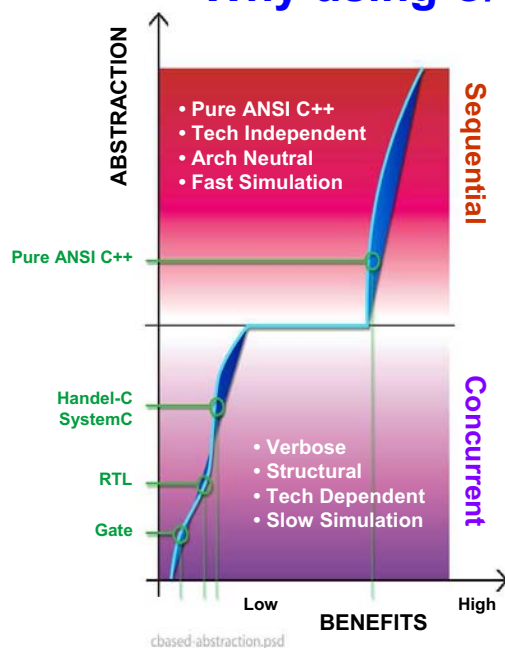
- IP generation on C/C++
- Easy Reuse of existing HDL blocks and IPs
- Methodology to verify IPs within a system on a chip/FPGA
- Summary

Agenda

- IP generation on C/C++
- Easy Reuse of existing HDL blocks and IPs
- Methodology to verify IPs within a system on a chip/FPGA
- Summary



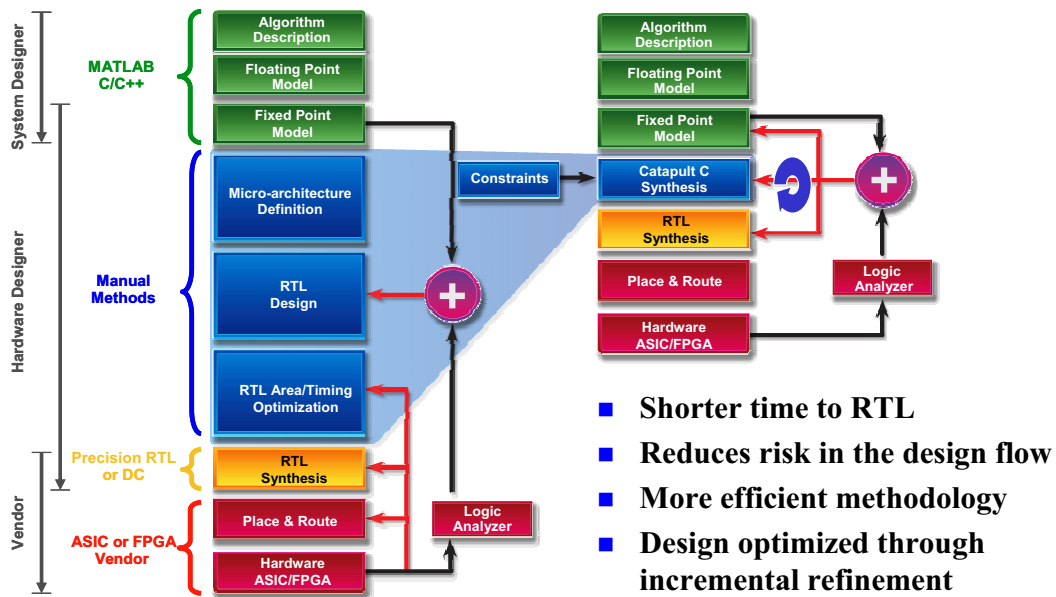
Why using C/C++ as base for IPs



- Pure ANSI C/C++
 - No timing, no architectural details
- Natural description language
 - Known to most engineers
 - Simple and concise
- Can be synthesized to any target
 - DSP or hardware
 - Impossible with structural languages
- Simulation 100-1000x faster than SystemC

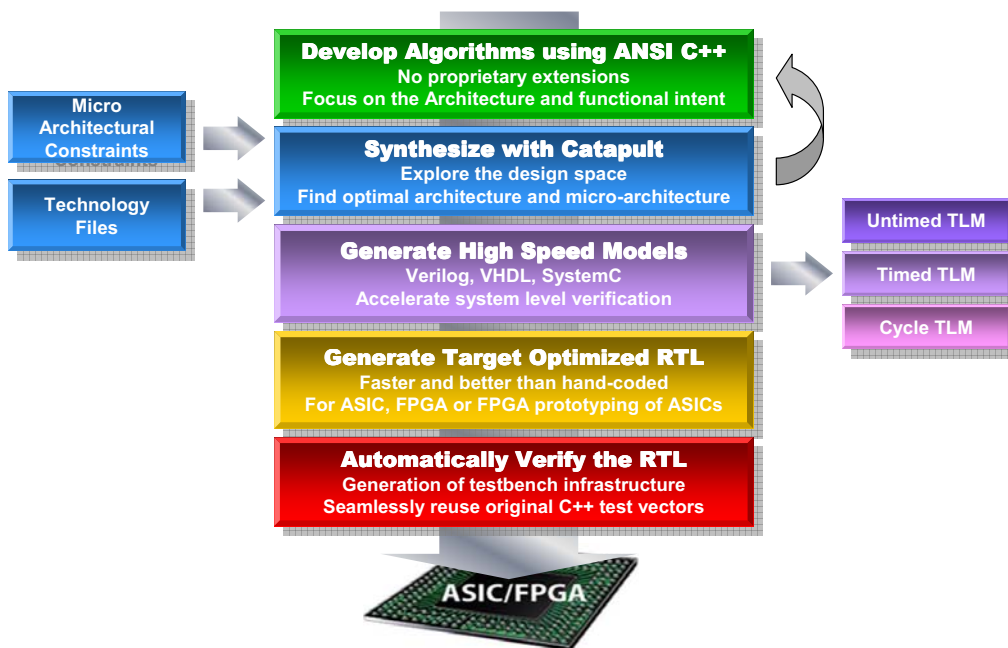


Traditional Flow vs. Catapult® Flow



Mentor Graphics SEI-Frühjahrstagung 23.- 25. März 2009 am Forschungszentrum Jülich Company Confidential Do Not Copy

Catapult Synthesis – Algorithm to RTL

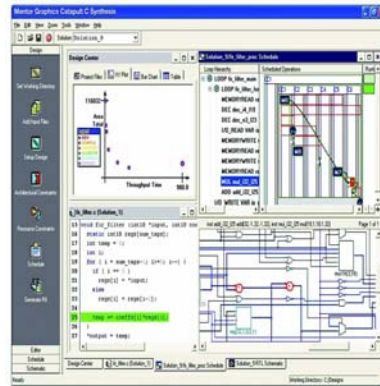


Mentor Graphics SEI-Frühjahrstagung 23.- 25. März 2009 am Forschungszentrum Jülich Company Confidential Do Not Copy

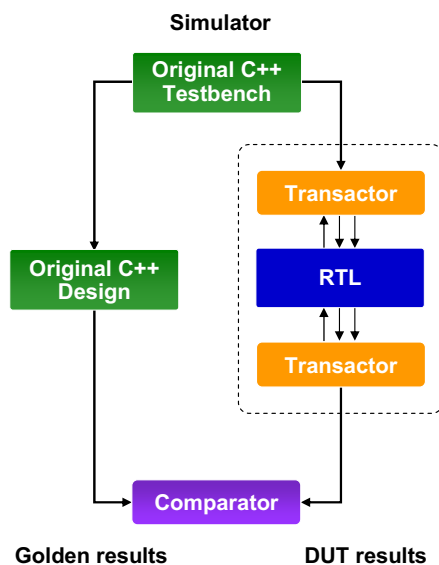
Catapult C Synthesis

The Five Key Technologies which Make Catapult Different

- **Key: Synthesize standard ANSI C++**
 - Not a hardware C but pure ANSI C++
 - No proprietary extensions, universal standard, Easiest to write & debug
- **ASIC or FPGA Optimization**
 - Generation of technology optimized RTL
- **Incremental design methodology**
 - Maximum visibility, maximum control
- **Interface synthesis**
 - Interface exploration and optimization
- **SystemC verification extension**
 - Provides automatic verification environment
 - Pure ANSI C++ IN, SystemC OUT for verification



Automatic Verification



- **The original C++ testbench is reused to verify the design**
 - RTL or Cycle Accurate
 - SystemC, VHDL or Verilog
- **Transactors convert function calls to pin-level signal activity**
- **Push button solution includes Makefiles and Simulation scripts**
- **Facilitates the Verification of the synthesized design**



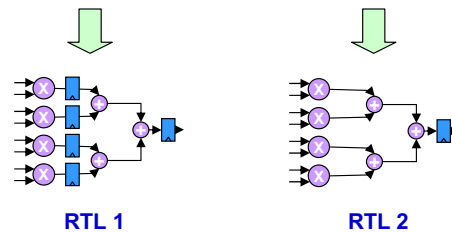
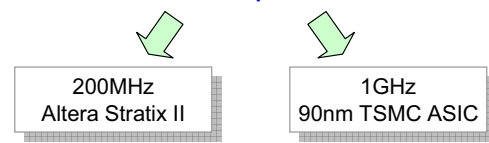
Optimized FPGA or ASIC Hardware

With Technology-Driven Synthesis

- **Algorithmic source stays uncommitted and architecture-neutral**
- **Synthesis constraints drive device and technology specific results**
- **Catapult C synthesis makes design reuse a practical reality by enabling “functional reuse”**

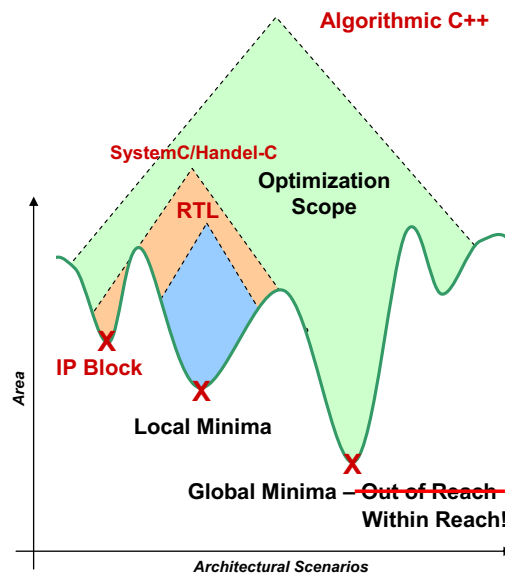
```
int37 multaddadd (int18 A[4], int18 B1[4])
{
    return (A[0]*B[0]) + (A[1]*B[1]) + \
           (A[2]*B[2]) + (A[3]*B[3]);
}
```

Architecture-neutral description



Optimized Design Architecture

- **RTL confines your implementation to one solution**
- **Structural languages offer limited trade-off's**
 - Architectural details are embedded in the source
- **Pure ANSI C/C++ models allows faster exploration of design space**
 - By applying synthesis constraints
 - More concise C++ recoding
- **Exhaustive exploration is possible**
 - Serial vs. parallel
 - Sequential vs. pipelined



Agenda

- **IP generation on C/C++**
- **Easy Reuse of existing HDL blocks and IPs**
- **Methodology to verify IPs within a system on a chip/FPGA**
- **Summary**

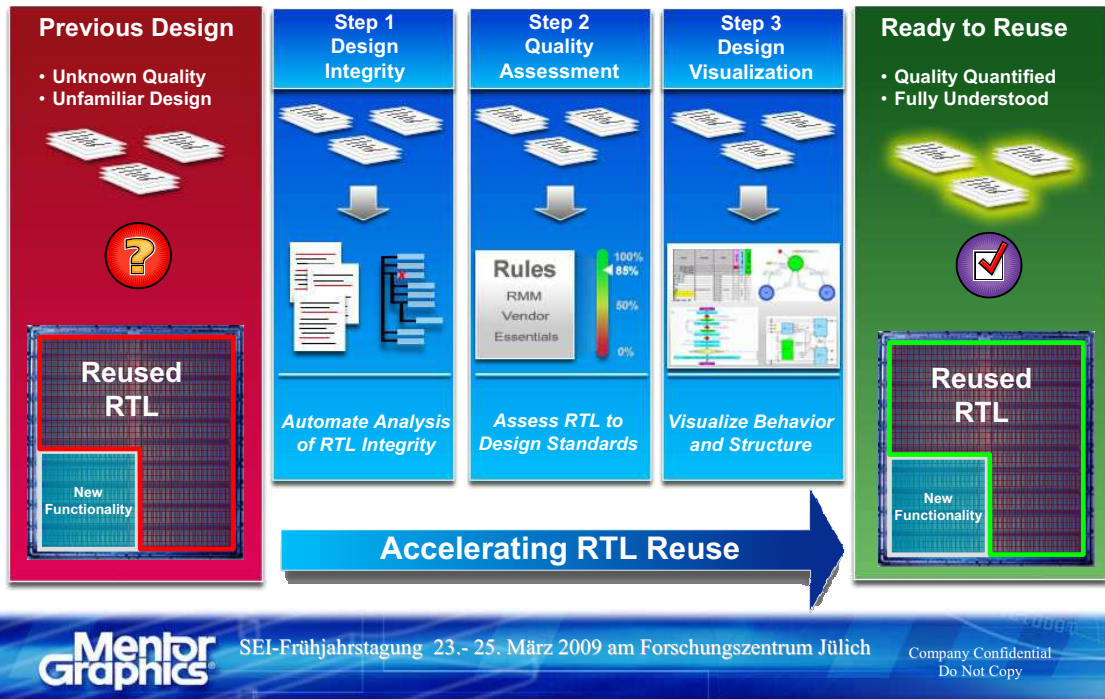


Advantages of HDL Reuse

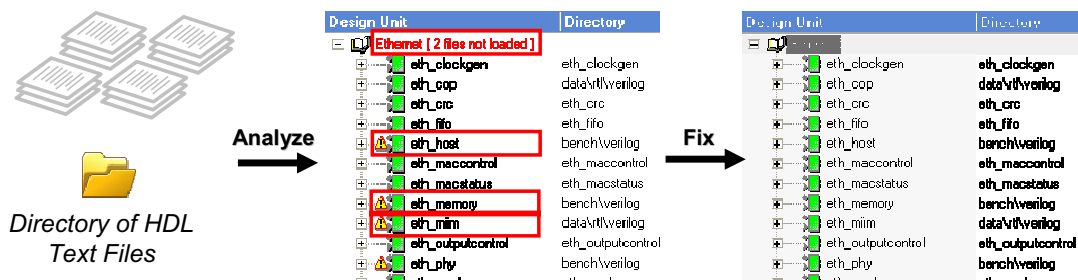
- **Accelerate HDL design for new designs**
- **Make HDL design more secure**
- **Shorten design project time**
- **Nearly no internal knowledge of the reused code is needed**
- **....**



Challenges of RTL Reuse

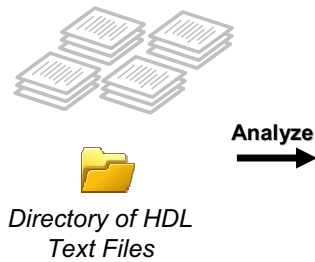


Design Integrity



- Automated Analysis of RTL for Integrity
- Analyze Thousands of Files in Minutes
- Quickly Identify and Fix Syntax and File Issues

Code Quality Assessment

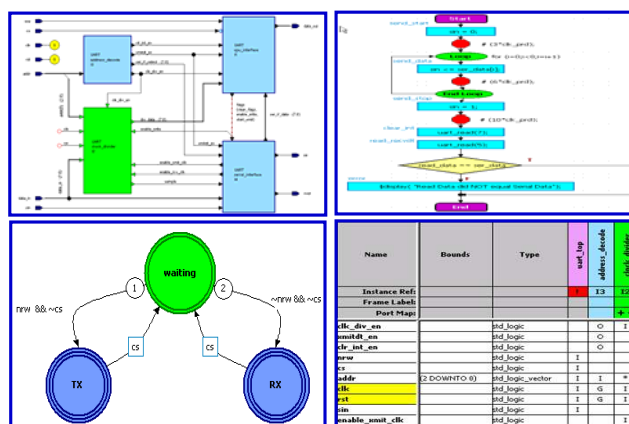
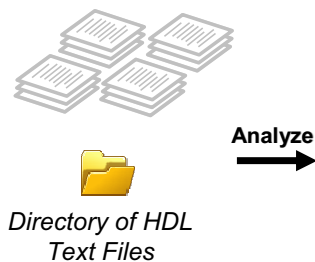


Summary						
Settings						
Design Quality: 156/198 (79%)						
Quality Score: 79%						
Score/Total Possible Score: 156/198 Excludes 0 Disabled Rules						
Ruleset Hierarchy Report:						
Ruleset	Score	%	Error	Warning	Note	Disabled
My_Essentials_Policy	156/198	79%	3	6	0	0
Essentials	156/198	79%	3	6	0	0
Coding Practices	56/72	78%	1	3	0	0
Downstream Checks	64/90	71%	2	3	0	0
Code Reuse	36/36	100%	0	0	0	0
Violations: 45						
Rules: (Using policy My_Essentials_Policy)						
Design Units:						

- Determine Schedule Impact of Reusing RTL
- Automated Scoring of RTL to Design Rule Standards (like RMM Reuse Methodology Manual)
- Powerful UI for Analysis of Results

Mentor Graphics SEI-Frühjahrstagung 23.- 25. März 2009 am Forschungszentrum Jülich Company Confidential Do Not Copy

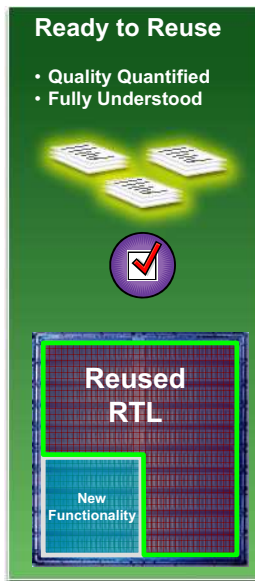
Visualization



- Visually Navigate Design for Understanding
- Automated Extraction and Visualization of Block Diagrams, State Machines, Flow Diagrams
- Documentation Ready Results

Mentor Graphics SEI-Frühjahrstagung 23.- 25. März 2009 am Forschungszentrum Jülich Company Confidential Do Not Copy

How HDL Designer Accelerates RTL Reuse



- ✓ Saves time by analyzing & correcting design integrity
- ✓ Ensures the best reuse decision by measuring code quality
- ✓ Accelerates design understanding of structure & behavior
- ✓ Reduces pain when integrating legacy/old code
- ✓ Makes designs more reusable for the future



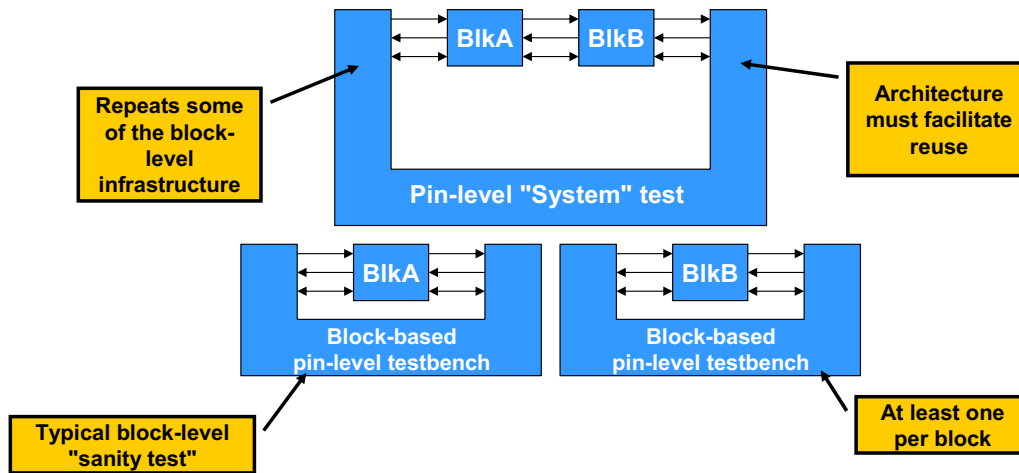
Agenda

- **IP generation on C/C++**
- **Easy Reuse of existing HDL blocks and IPs**
- **Methodology to verify IPs within a system on a chip/FPGA**
- **Summary**



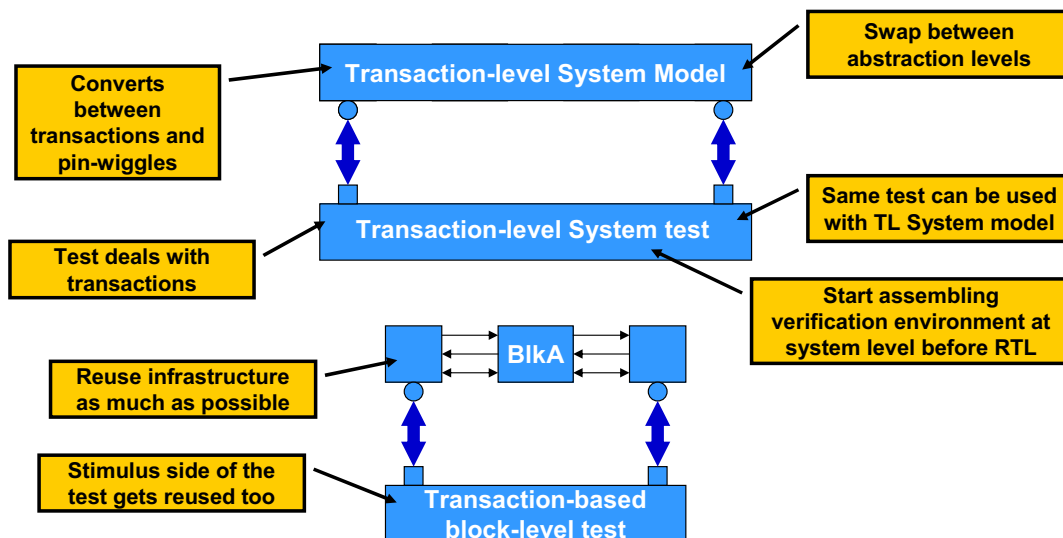
RTL vs. System-Level Verification

HDL-Centric View



RTL vs. System-Level Verification

System-Centric View



OVM Benefits

- **Open**
 - Written in IEEE 1800 System
 - Runs on any simulator supporting 1800 standard
 - Verified on Cadence's Incisive Graphics' Questa Verification
 - True open-source license agreement (Apache 2.0)
- **Interoperable**
 - Ensures VIP interoperability with simulators
 - Enables VIP 'plug and play' designers
 - Ensures interoperability with various languages
- **Proven**
 - Based on Cadence's Incisive Plan-to-Closure URM methodology and Mentor's Advanced Verification Methodology (AVM)
 - Incorporates best practices from >10 years of experience

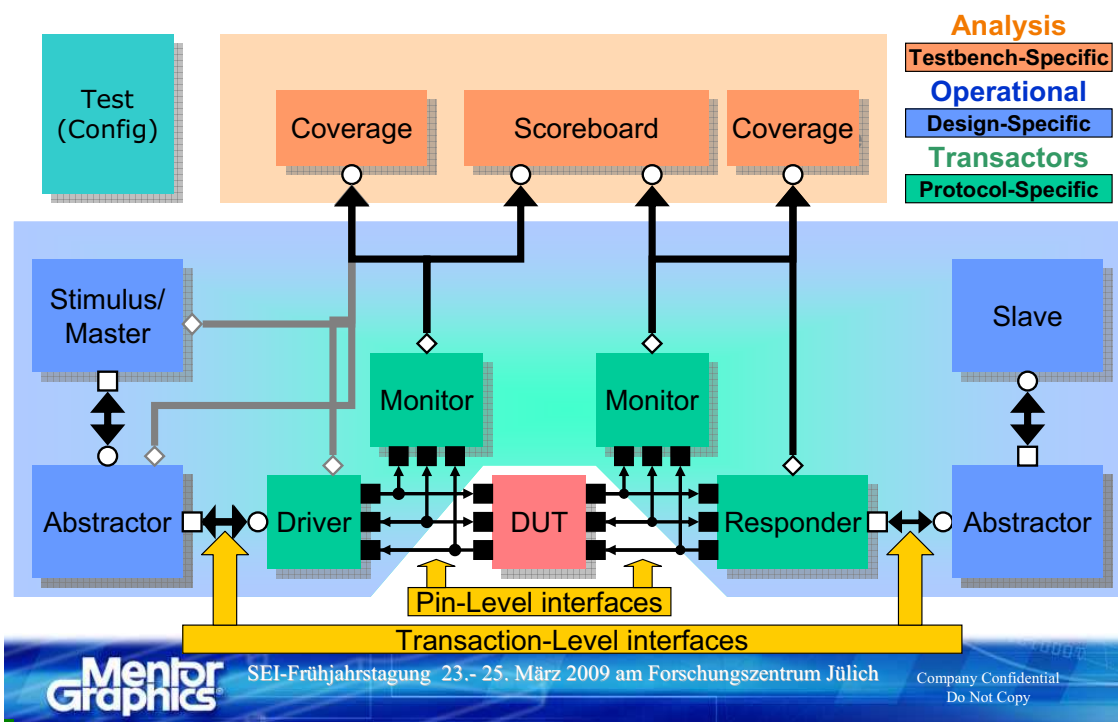


Open Verification Methodology

Language
IEEE 1800 Compliant
Simulator

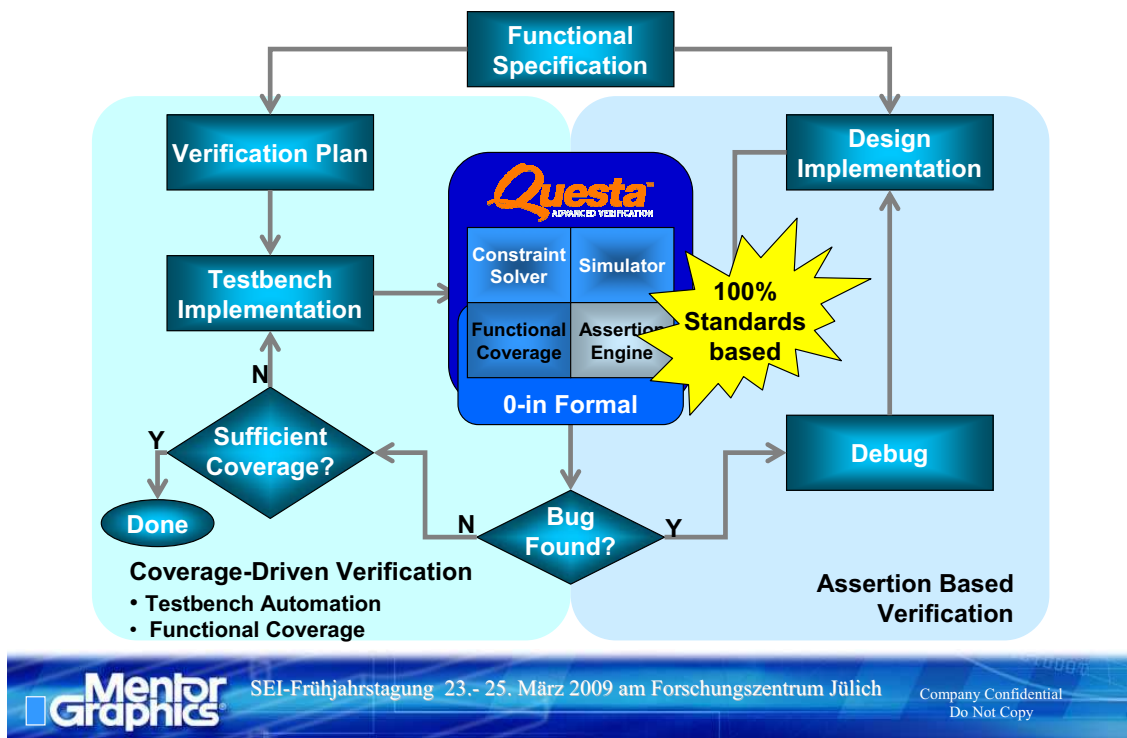
Mentor Graphics SEI-Frühjahrstagung 23.- 25. März 2009 am Forschungszentrum Jülich Company Confidential Do Not Copy

A Layered Approach to Verification



Mentor Graphics SEI-Frühjahrstagung 23.- 25. März 2009 am Forschungszentrum Jülich Company Confidential Do Not Copy

The Verification Process



For Further Learning



- “FPGA Simulation,” Ray Salemi
 - www.fpgasimulation.com is book website and includes much information and many examples
- Mentor Graphics functional verification product info
 - <http://www.mentor.com/products/fv/>
- Open Verification Library (free pre-written assertion library)
 - <http://www.eda.org/ovl>
- “Creating Assertion-Based IP,” Harry D. Foster
- “Applied Formal Verification,” Douglas L. Perry, Harry D. Foster
- Open Verification Methodology (OVM)
 - <http://www.ovmworld.org/>

Agenda

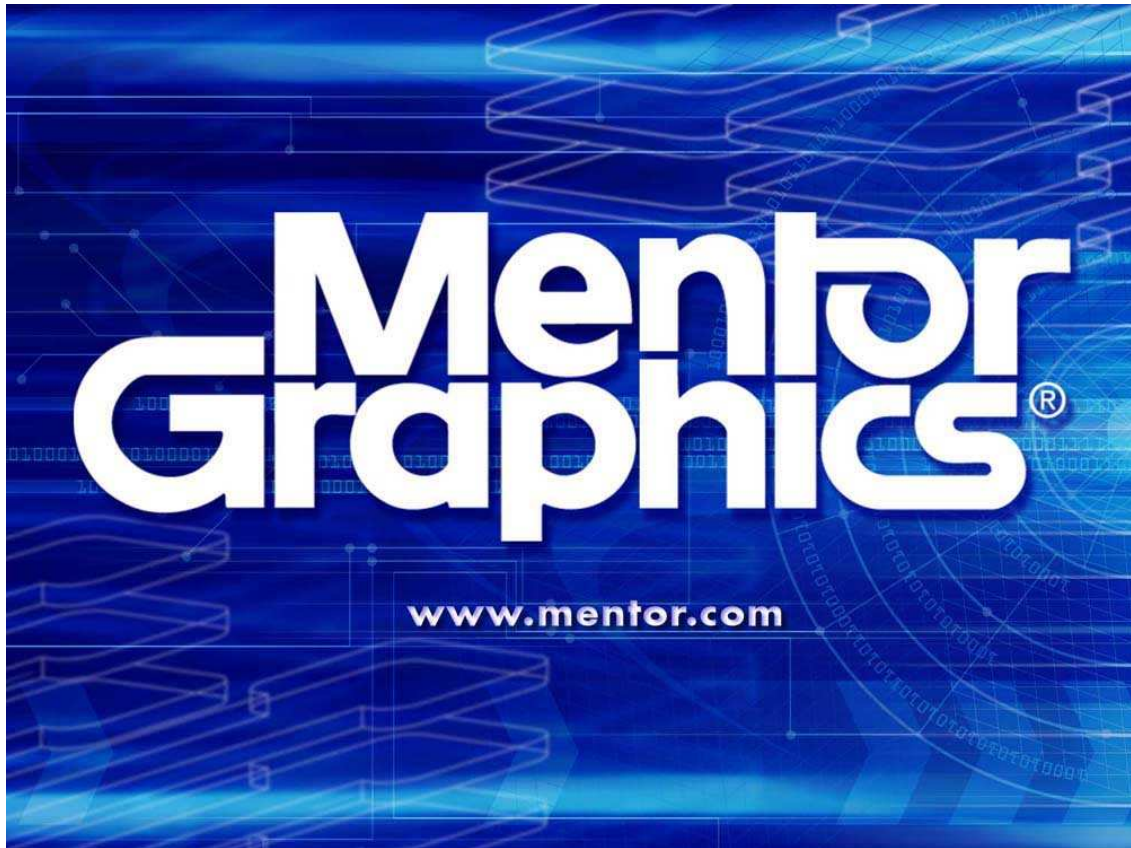
- **IP generation on C/C++**
- **Easy Reuse of existing HDL blocks and IPs**
- **Methodology to verify IPs within a system on a chip/FPGA**
- **Summary**



Summary

- **IP generation base on C++ (with CatapultC)**
 - **Fast simulations possible**
 - **Speeds up the RTL generation**
 - **Generates the verification environment**
 - **Map it on every target technology**
- **HDL Reuse (with HDL Designer)**
 - **Speedup HDL design and shorten project time**
 - **HDL Designer accelerate HDL reuse with design checks, automated documentation and automated integrity validation.**
- **IP verification in a system with OVM**
 - **Make is possible to reuse IP testbenches**
 - **Works on standards**
 - **Ease of use and proven methodology**





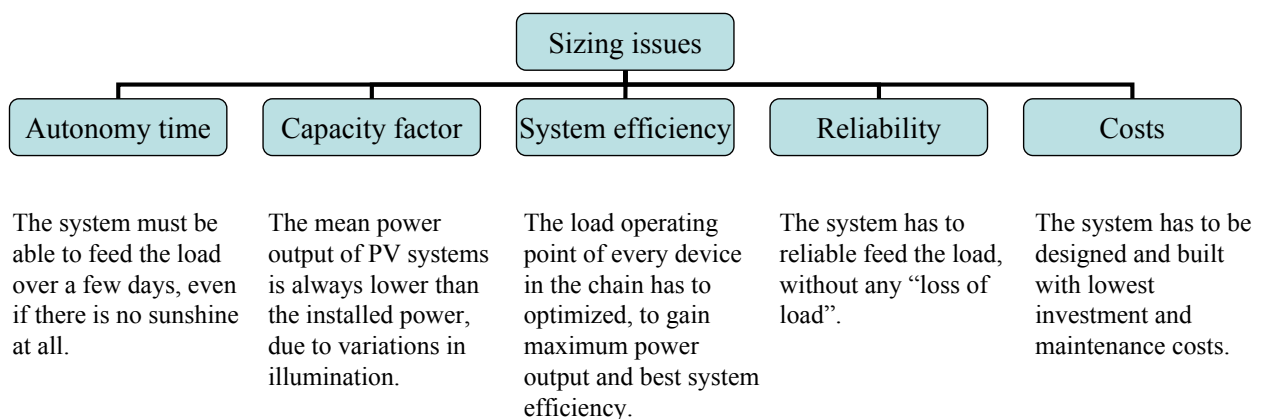
Dimensionierung von Photovoltaikanlagen für Inselbetrieb und Netzkopplung

Dr. Sven Bönisch
Helmholtz-Zentrum Berlin für Materialien und Energie GmbH
Glienicker Str. 100
D-14109 Berlin
Germany

Email: boenisch@helmholtz-berlin.de
Phone: +4930 80622374

1

Motivation for sizing



2

Sizing methods and goals



Stand alone (island)

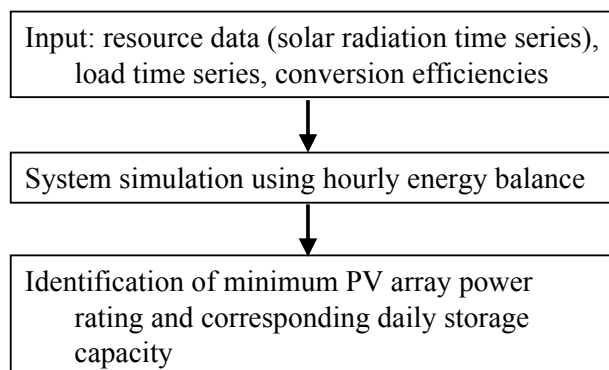
- Demand oriented
- Mainly storage and generator optimization
- Methods: Simple, intuitive, analytical, software based

Grid connected

- Yield oriented
- Mainly system efficiency and loss optimization
- Methods: Software based

3

Time series sizing I



4

Time series sizing II

Input data:

System data

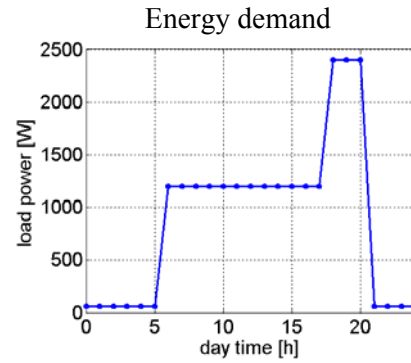
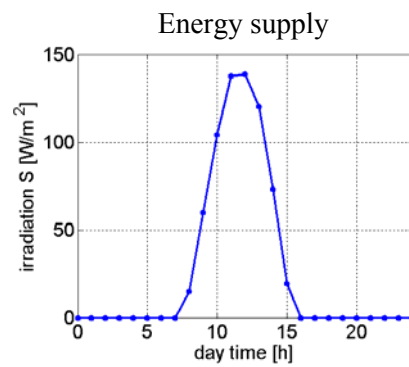
$$\eta_{module} = 0.13$$

$$\eta_{batt} = 0.86$$

$$DoD = 0.2$$

$$V_{batt} = 110V$$

$$DoA = 4$$



Worst-case scenario:
 • mean values of month December
 • location Berlin

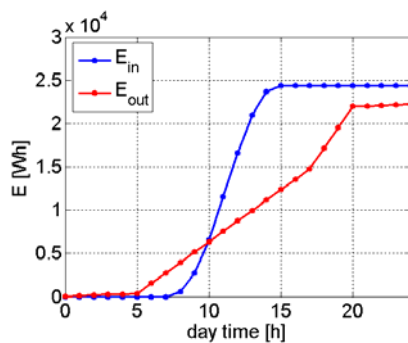
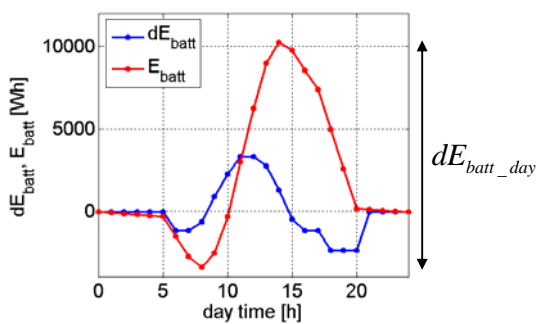
Common daily load cycle of a 4-people household

Output data:

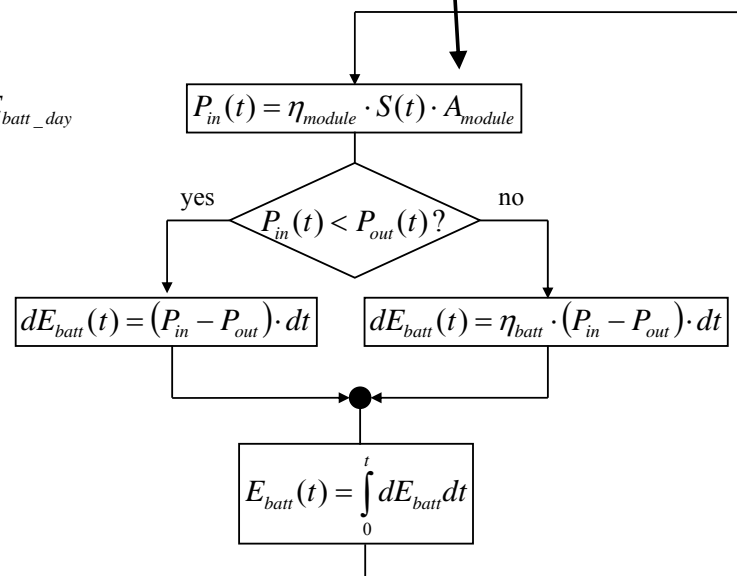
$$A_{module} ?$$

$$C_{batt} ?$$

Time series sizing III



Manually change of A_{module} until a closed energy cycle has been established



Time series sizing IV

Determination of battery size:

Battery size in Wh considering depth of discharge

$$C_{batt}[Wh] = \frac{dE_{batt_day}}{DoD}$$

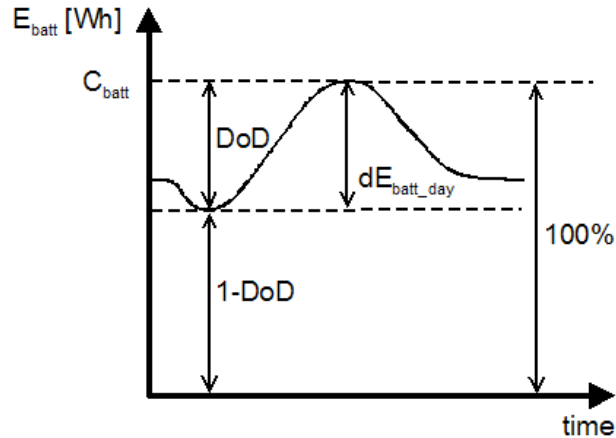
Nominal battery capacity in Ah

$$C_{10}[Ah] = \frac{C_{batt}[Wh]}{V_{batt}}$$

Results:

$$A_{module} = 280m^2$$

$$C_{10} = 621Ah$$



7

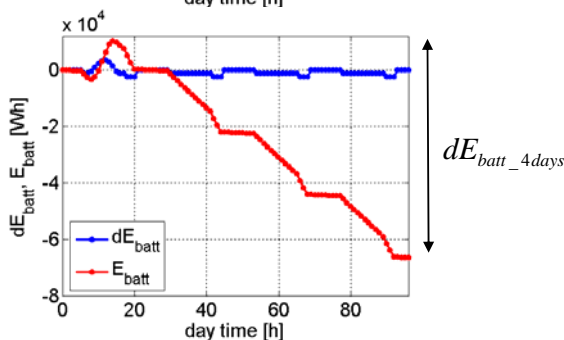
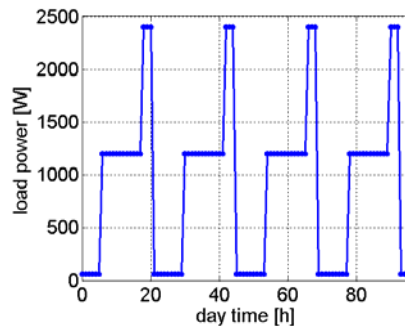
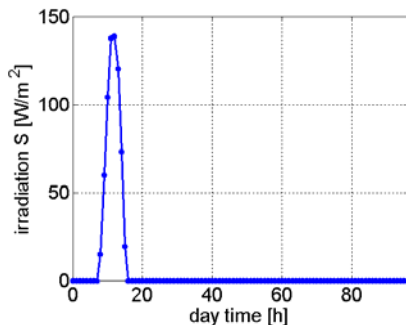
Time series sizing V – Considering DoA

Estimation of battery size:

Battery size in Ah considering DoA days of autonomy

$$C_{10}[Ah] = DoA \cdot \frac{C_{batt}[Wh]}{V_{batt}} \leftarrow \text{Serious underestimation!!}$$

Exact calculation of battery size:



Results:

$$A_{module} = 280m^2$$

$$C_{10} = 3489Ah$$

8

Yield oriented sizing (Grid-tied systems) I

System sizing for grid tied systems aims to maximize the energy yield and to minimize system investment costs. For that, the powers ratings of the generator and the inverter must fit in order to optimize the return of investment. **In most grid-tied PV power systems the inverter is slightly undersized! The question is how much!** To describe the significant sizing variable a power ratio of inverter power and generator power has to be defined:

$$\text{Power ratio} = \frac{P_{\text{inverter}}}{P_{\text{module}}}$$

where:

P_{inverter} is the maximum input power of the inverter,

P_{module} is the peak output power of the panel at standard test conditions (1000W/m²).

It should be noted, that the real output power of the panel may be higher (1.1 ... 1.2x for Germany).

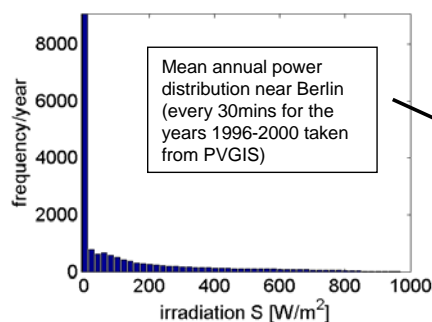
In order to optimize the system for long time periods (10-20 years) not the power is of interest, but the supplied energy. So we have to discuss:

1. Annual solar energy distribution
2. Dependency of the system energy yield to the power ratio
3. Optimum of investment costs.

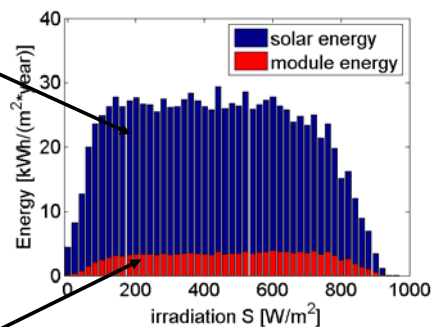
Yield oriented sizing (Grid-tied systems) II

To calculate the energy loss of an undersized inverter, the power distribution must be known.

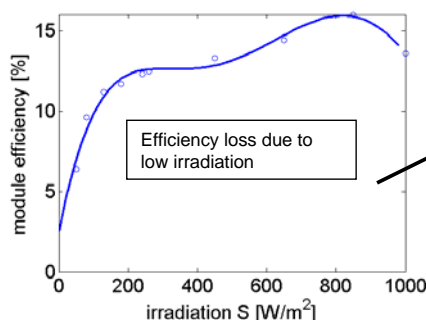
The integration of the irradiation over the measurement time leads to an annual energy distribution.



$$\text{Energy} = \frac{\text{irradiation} \cdot \text{frequency} \cdot dt}{\text{years}}$$

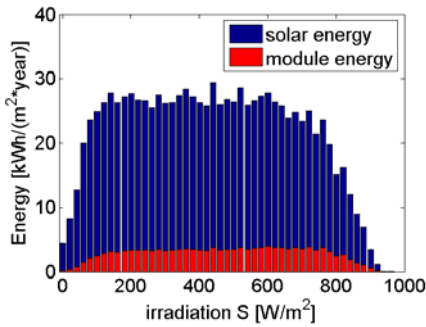


To calculate the energy supply of the generator additional parameters have to be taken into account.

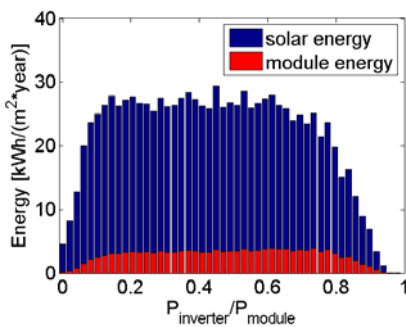


Yield oriented sizing (Grid-tied systems) III

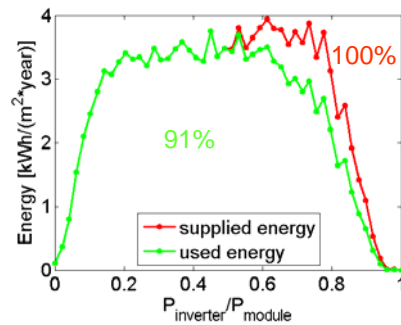
Starting from the annual energy distribution...



We choose the power level of the inverter to fit the power level of the panel at maximum irradiation.



Due to variations in irradiation, the inverter will never fit the power level of the panel. In most cases the inverter is undersized (power ratio < 1). If the panel delivers more power than the maximum input power rating of the inverter, the inverter limits the power throughput by shifting the panel operating point to the maximum inverter input power. If we would choose a power ratio of 0.5 power levels below 0.5 are fed, while power levels above are clipped to max. power (here 0.5). This leads to relatively high power throughput even if the inverter is undersized.



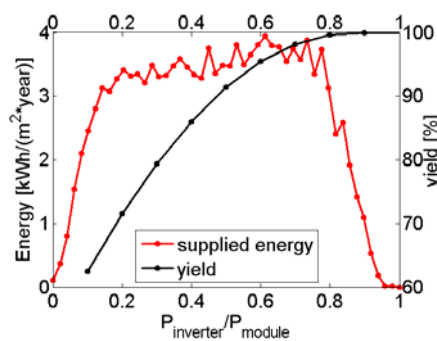
Supplied and used energy using an undersized inverter (power ratio 0.5)

11

Yield oriented sizing (Grid-tied systems) IV

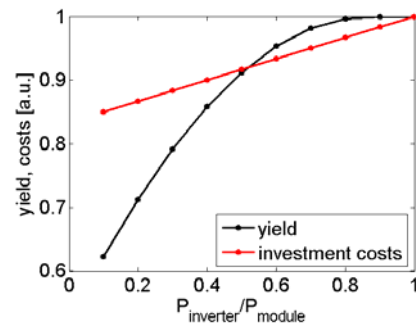
The yield of a system using an undersized inverter is generally significantly higher than the power ratio suggests.

$$\text{investment costs} = \frac{\text{invest relation} + \text{power ratio}}{\text{invest relation} + 1}$$

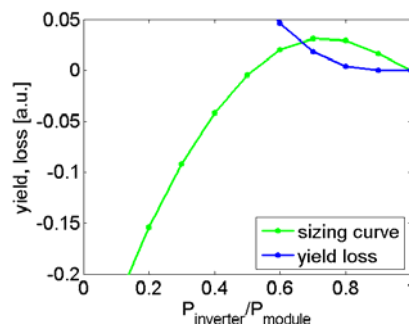


The tradeoff between lower investment costs for an undersized inverter and the yield loss needs to be optimized for the specific system. For the identification of the economic optimum only a relation between investment costs for the inverter and the module is needed. It is assumed, that for a power ratio of 1 the yield covers exactly the investment costs.

$$\text{invest relation} = \frac{\text{module costs}}{\text{inverter costs}} = \frac{5 [\text{€}/\text{W}]}{1 [\text{€}/\text{W}]}$$



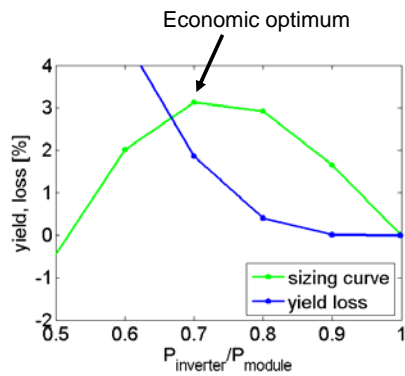
$$\text{sizing curve} = \text{yield} - \text{investment costs}$$



12

Yield oriented sizing (Grid-tied systems) V

The economic optimum for that specific system can be found at a power ratio of about 70%. The inverter has to be undersized by about 30%. The yield loss is about 2%.



Thumb-rules for grid tied systems:

1. Yield loss $\leq 1\%$
2. Power ratio:
 - 80...100% for annual yield 800...1000kWh/kWp
 - 90...110% for annual yield 1000...1500kWh/kWp
 - 100...120% for annual yield >1500kWh/kWp
3. Further inverter undersizing allowed if panel inclination differs significantly from optimum.
4. Lowest inverter input voltage must be sized to module MPP-voltage at 1000W/m² and T=70°C.
5. Highest inverter input voltage must be sized to module MPP-voltage at 1000W/m² and T=-10°C.

Dimensionierung von Photovoltaikanlagen für Inselbetrieb und Netzkopplung

Sven Bönisch
Helmholtz-Zentrum Berlin für Materialien und Energie

Die richtige Dimensionierung von photovoltaischen Anlagen erfordert eine genaue Kenntnis der Zusammenhänge in diesen technisch relativ komplizierten und aufwendigen Energiesystemen. Oftmals werden zur Bemessung moderne Softwaretools eingesetzt, die zugrundeliegenden Gesetzmäßigkeiten bleiben für den Anwender jedoch weitestgehend verborgen. Die vorliegende Arbeit soll mit dazu beitragen grundlegende Verfahren der Dimensionierung leicht verständlich darzustellen. Dazu werden 2 Verfahren vorgestellt und detailliert beschrieben. Dabei wird auf die stark verbrauchsorientierte Dimensionierung von Inselnssystemen und die eher ertragsorientierte Bemessung netzgekoppelter Systeme gesondert eingegangen und beispielhaft die Vorgehensweise erläutert.

Dimensionierung von PV-Inselnssystemen:

Die Dimensionierung von Inselnssystemen erfolgt verbrauchsorientiert. Dazu wird für eine gegebene Last ein Optimum von Generatorleistung (Modulfläche) und Batteriekapazität bestimmt, um auch bei fehlendem Energieangebot die Last sicher versorgen zu können.

Dieses Verfahren basiert auf der Verwendung zeitlich abhängiger Einstrahlungs- und Lastdaten (Zeitreihen-Verfahren). Außerdem müssen die Wirkungsgrade der einzelnen Systemkomponenten bekannt sein (Modul, Laderegler, Batterie, etc.). Aus den bekannten Daten von Einstrahlungsleistung und Verbrauchsleistung wird die zeitabhängige Energiebilanz an der (zunächst kapazitätsmäßig unbekannt) Speicherkomponente (Batterie) berechnet. Die Generatorleistung (Modulfläche) wird solange vergrößert, bis ein geschlossener Energiezyklus über den gewünschten Zeitraum erreicht wird. D.h. die am Ende eines Tages in der Batterie gespeicherte Energie muß genauso groß sein, wie am Anfang des Tages. Aus dem Energiehub an der Batterie über den Zeitraum eines Tages kann unter Berücksichtigung der Entladetiefe und bei bekannter Batteriespannung die nominelle Batteriekapazität bestimmt werden. Das gleiche Verfahren wird auch angewendet um die nötige Batteriekapazität für eine längere Autonomiezeit des Systems zu bestimmen.

Dimensionierung von netzgekoppelten PV-System:

Die Dimensionierung von netzgekoppelten Anlagen erfolgt eher ertragsorientiert. Dazu wird in einem System das Verhältnis von Generatorleistung (Modulfläche) zu Einspeiseleistung (Wechselrichterleistung) optimiert, um einen möglichst hohen Energieertrag bei möglichst geringen Investitionskosten zu erzielen und damit die Anlage wirtschaftlich optimal betreiben zu können.

Zur Bestimmung der Einstrahlungsbedingungen an einem bestimmten Standort werden statistische Daten der Strahlungsleistungsdichte benötigt. Diese können z.Zt. noch frei zugänglichen Datenbanken entnommen werden (z.B. PVGIS). Aus der Häufigkeitsverteilung der Strahlungsleistung kann durch Integration die Energiedichteverteilung in Abhängigkeit von der Strahlungsleistung berechnet werden. Nach Berücksichtigung des Modulwirkungsgrades ist die so erhaltene elektrische Eingangsleistung ein Maß für den maximal möglichen Energieertrag für den entsprechenden Standort. Die Übertragungsleistung des Wechselrichters zur

Netzeinspeisung ist jedoch zunächst noch unbekannt. Natürlich ist es möglich den Netzwechselrichter stark überzudimensionieren, so daß die gesamte zur Verfügung stehende Energie auch eingespeist wird, dies ist jedoch aufgrund der Investitionskosten nicht unbedingt auch wirtschaftlich optimal. Um ein evtl. vorhandenes Optimum zu bestimmen, wird zunächst der Energieertrag über dem Verhältnis von Wechselrichterleistung zu Modulleistung (bei $1000\text{W}/\text{m}^2$) aufgetragen. Wird nun z.B. der Wechselrichter in Bezug auf die max. Modulausgangsleistung um 50% unterdimensioniert (Leistungsverhältnis 0.5) werden alle Energieerträge mit relativen Leistungen kleiner 0.5 übertragen, während die Energieerträge mit relativen Leistungen größer 0.5 aufgrund der internen Konstruktion des Wechselrichters auf 0.5 beschränkt werden. Nach Integration der entsprechenden Einspeiseleistungen ist erkennbar, daß fast die gesamte zur Verfügung stehende Leistung (91%) trotz der Unterdimensionierung des Wechselrichters eingespeist wird. Grundsätzlich kann also festgestellt werden, daß der Energieertrag eines netzgekoppelten PV-Systems wesentlich größer ist als das Leistungsverhältnis von Wechselrichterleistung und Modulausgangsleistung suggeriert.

Unter Annahme eines relativen (Investment-) Kostenverhältnisses zwischen Modulkosten und Wechselrichterkosten von etwa 5 (5€/W Modulkosten, 1€/W Wechselrichterkosten) kann das wirtschaftliche Optimum der Anlage bestimmt werden. Hierzu werden zunächst die Investitionskosten in Abhängigkeit vom Leistungsverhältnis berechnet. Dabei wird angenommen, daß bei richtiger Dimensionierung (d.h. Wechselrichterleistung = Modulausgangsleistung) der Ertrag gerade die Investitionskosten deckt. Danach wird die Differenz zwischen Energieertrag (Einspeisung) und Investitionskosten berechnet. Das wirtschaftliche Optimum für diesen Standort liegt bei einer Wechselrichterleistung von ca. 70% der Modulausgangsleistung, d.h. bei einer Unterdimensionierung von ca. 30%. Die Ertragsverluste betragen in diesem Falle ca. 2%.

Bei neu installierten netzgekoppelten Anlagen wird im allgemeinen ein Ertragsverlust von <1% angestrebt. Je nach Größe der Anlage und anderen beeinflussenden Faktoren fällt u.U. auch die Unterdimensionierung des Netzwechselrichters weniger signifikant aus.

Elektronik entauschen

Alles klar?

Dr.-Ing. Bernhard Namaschk, Helmholtz-Zentrum Berlin

1

Rauscharmes Design

Herkömmliche Rauschreduktion:

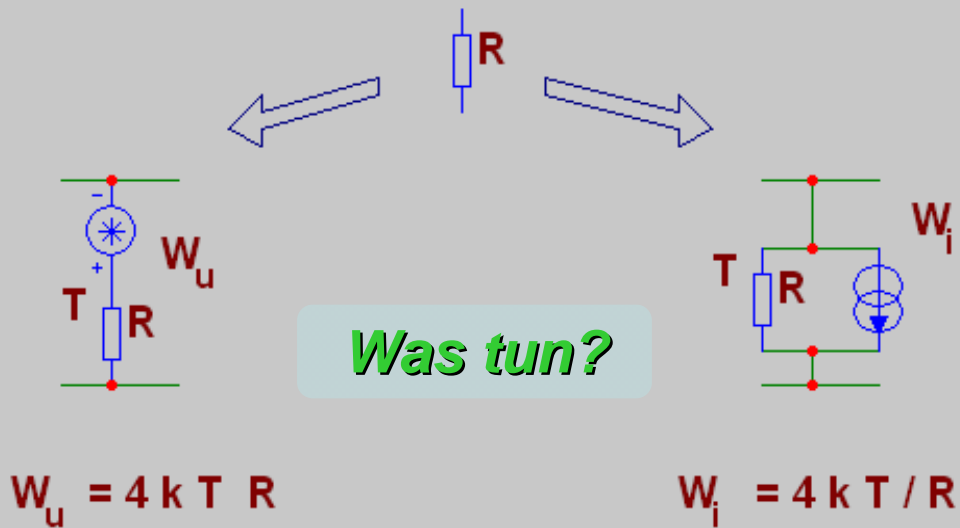
- rauscharme Bauelemente
- wenig Bauelemente
- kühlen
- Impedanzniveau senken (Johnson)
- Leistungsanpassung (Llewellyn)
- Rauschanpassung (Rothe)

Was führt zum Ziel?

2

Rauscharmes Design

Johnson/Nyquist-Modell



3



Man kommt nicht weit,
wenn man nicht
ganz von vorn beginnt.

Jiddu Krishnamurti
1895-1986

4

Seminar „Rauschen Neu“

Technische Akademie Esslingen
Prof. Dr.-Ing. Alexander Neidenoff

1. Teil Rauschen und Verrauschen

- § 1 Analytische Grundlagen
- § 2 Rauschmechanismen und Normieren
- § 3 Systemrauschen
- § 4 Eingangsrauschen
- § 5 Rauschäquivalent
- § 6 SNR und Störrelativität
- § 7 Verschlechterungszahl X
- § 8 Rauschzahl F
- § 9 Rauschende Signalketten
- § 10 Rauschmessverfahren

2. Teil Erweiterte Pegelrechnung

- § 13 Turbooperator @
- § 14 Stören von Signalen
- § 15 Zusammenhang $N^{\text{dB}_r} \leftrightarrow \text{DSNR}^{\text{dB}_r}$
- § 16 Praxis von N^{dB_r} und Turb.Op. @
- § 17 Herkömmliche \leftrightarrow Neue Größen
- § 18 Beschleunigte Analyse von Ketten
- § 20 Weitere Anwendungen von TO@

Quelle: Prof. A. Neidenoff, www.neidenoff.com

5

Die Sache mit der Rauschzahl

The Noise Figure Myth

„Because NF is so easy to handle in calculations, many designers tend to lose sight of the fact that signal-to-noise ratio (S/N_{out}) is what is important in the final analysis, be it an audio, video, or digital data system. One can, in fact, choose a high R_{gen} to reduce NF to near zero if i_n is very small. In this case e_r is the major source of noise, overshadowing e_n completely. The result is very low NF, but very low S/N as well because of very high noise. Don't be fooled into believing that low NF means low noise *per se!*“

Sherwyn: Noise Specs Confusing? App.Note 104 (May 1974), National Semiconductor

6

Die Sache mit der Rauschzahl

„Ein großer Trugschluß: Man sollte nicht versuchen, die Dinge zu verbessern, indem man einen Widerstand in Reihe mit einer Signalquelle schaltet, um dadurch den Bereich der minimalen Rauschzahl zu erreichen. Alles, was man dadurch erreicht, ist, daß die Quelle nun stärker rauscht und die Quelle nur scheinbar verbessert wird. Die Rauschzahl kann aus diesem Grunde sehr irreführend sein. ... Sie gestattet kaum eine Aussage über die tatsächliche Leistungsfähigkeit, außer, daß der Hersteller sie für wert erachtet, mit ihr zu prahlen.“

P. Horowitz, W. Hill: Die Hohe Schule der Elektronik, 3.Auflage, Elektor-Verlag Aachen 1998, engl. Erstausgabe 1989

7



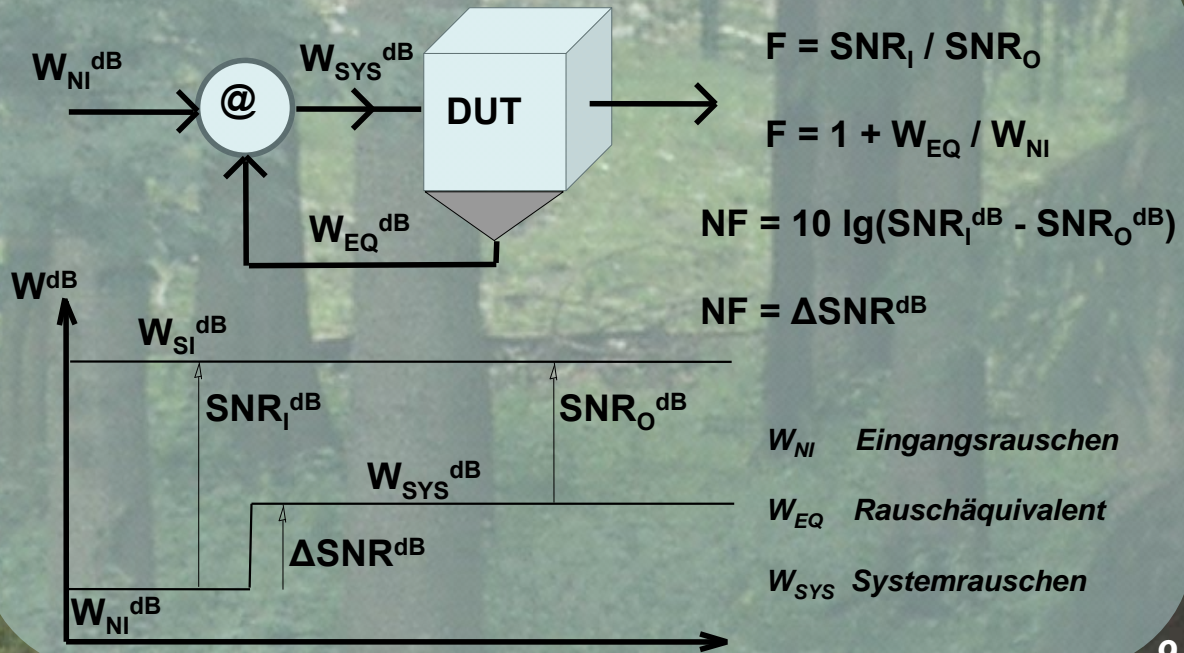
**Der Meister sagte:
Zuerst unbedingt die
Bezeichnungen richtigstellen!
Sind die Bezeichnungen nicht
richtiggestellt, so entspricht,
was man sagt, nicht den
Tatsachen.**

**Entspricht, was man sagt, nicht
den Tatsachen, so werden die
Handlungen der Regierung
ohne Erfolg bleiben ...**

Konfuzius, 551-479 v.d.Z.

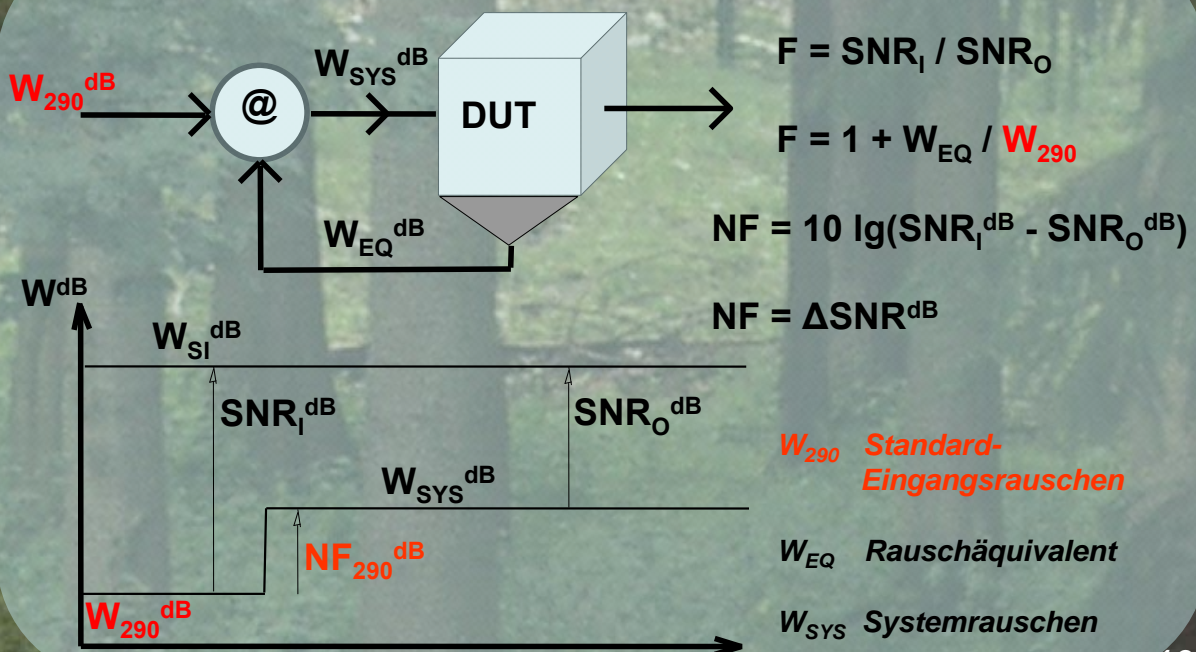
8

Die Sache mit der Rauschzahl



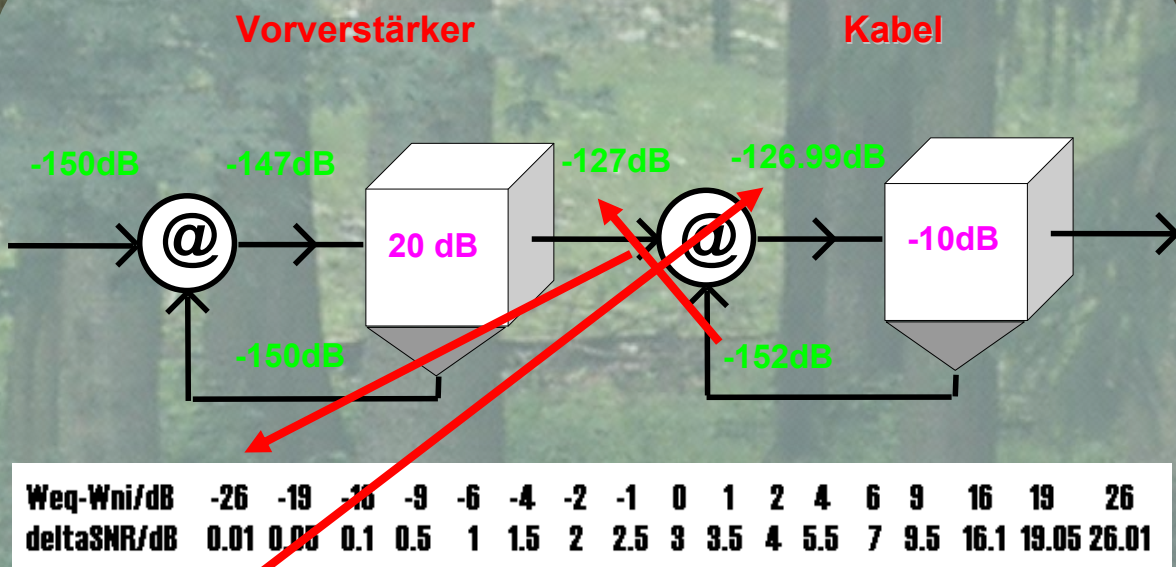
9

Die Sache mit der Rauschzahl



10

Kaskaden entwerfen



11

Rauschoptimierung

**Ziel aller Maßnahmen
kann nur
die Minimierung des
Systemrauschens sein**

12

Wer etwas allen vorgedacht,
wird jahrelang erst ausgelacht,
begreift man die Entdeckung endlich,
so nennt sie jeder: - Selbstverständlich.

Wilhelm Jensen

13

Globaloptimierung

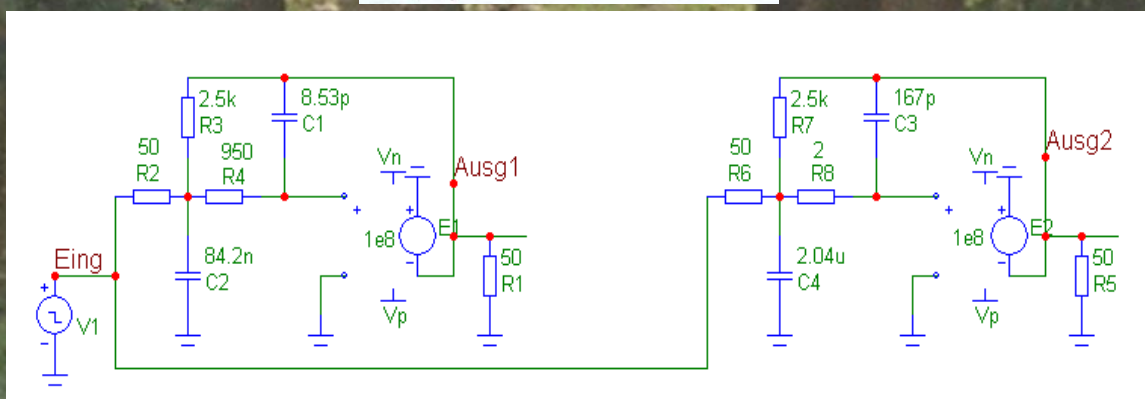
MAX

Maximal disturbed
network



MORITZ

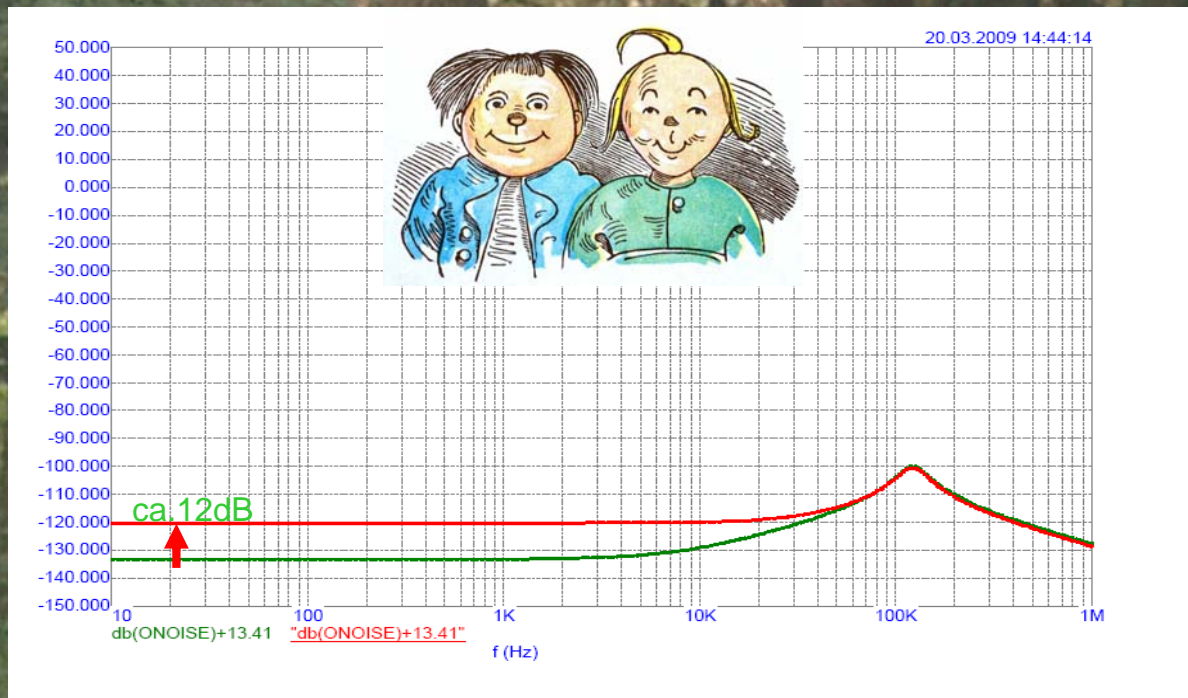
Minimal disturbed
network



Quelle: Prof. A. Neidenoff, www.neidenoff.com

14

Globaloptimierung



15

Globaloptimierung

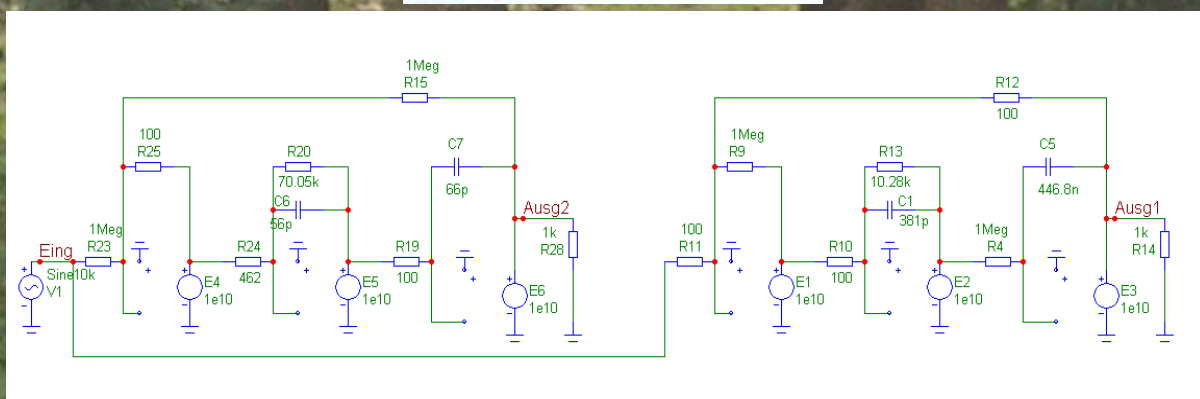
MAX

Maximal disturbed network



MORITZ

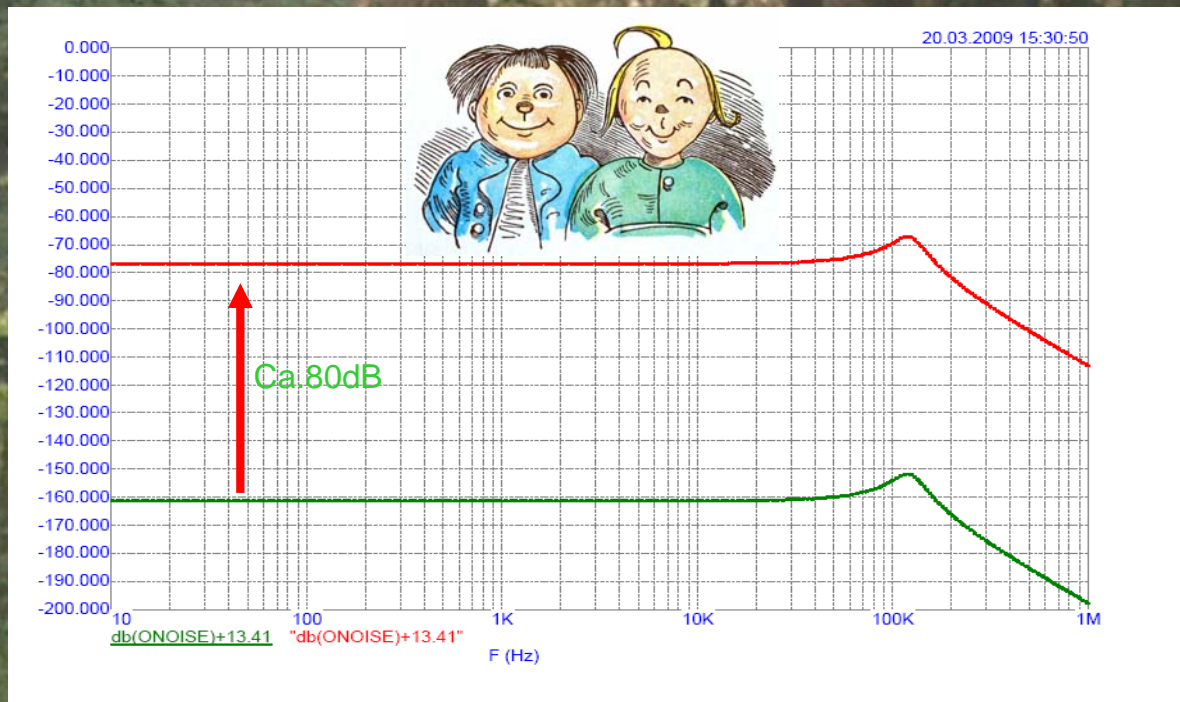
Minimal disturbed network



Quelle: Prof. A. Neidenoff, www.neidenoff.com

16

Globaloptimierung



17

„Alles, was man
im Leben braucht,
ist Unwissenheit
und Selbstvertrauen,
dann ist der Erfolg
sicher.“

Mark Twain (1835-1910)

18

Anhang

- Links

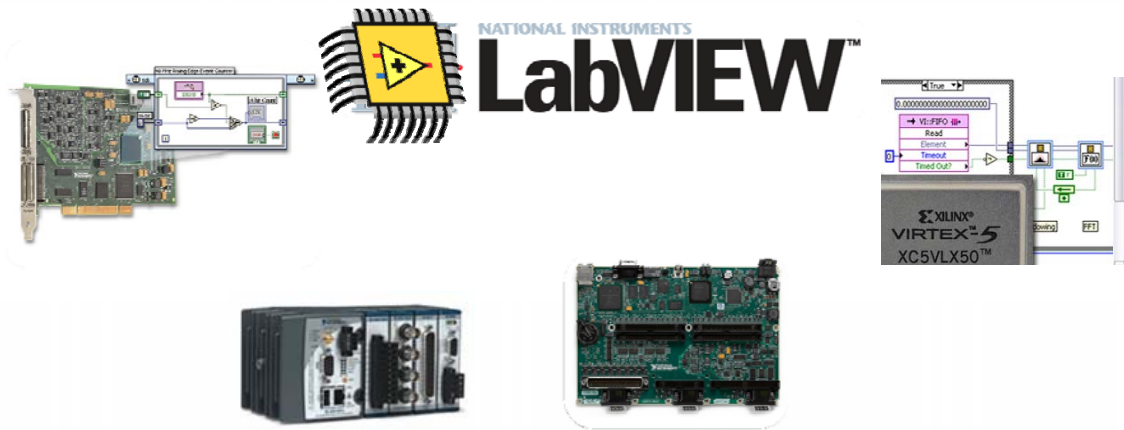
- www.neidenoff.com

Unter den Schlagworten [Globaloptimierung](#) [Ausgewählte Aufsätze](#) [Lehrmittel](#) findet man umfangreiches Studienmaterial

- www.tae.de

Die Technische Akademie Esslingen bietet seit einigen Jahren Seminare (Referent: Prof. Neidenoff) zum Thema Rauschen und Rauschoptimierung an. Nächster Termin: 2.12.- 4.12.2009

Freikonfigurierbare I/Os mittels LabVIEW



Dr. Rolf Kall, Frank Wiedmann

ni.com



Agenda

- LabVIEW – Engineering-Plattform für jeden Forscher und Entwickler
- FPGA Targets – LabVIEW on Chip
 - CompactRIO
 - SingleBoardRIO
 - FlexRIO
- Anwendungsbereiche

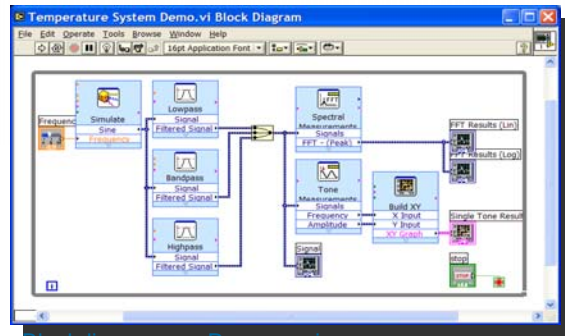
ni.com



LabVIEW - die grafische Programmierung



Frontpanel - GUI



Blockdiagramm – Programmierung

Blockdiagramm und Frontpanel

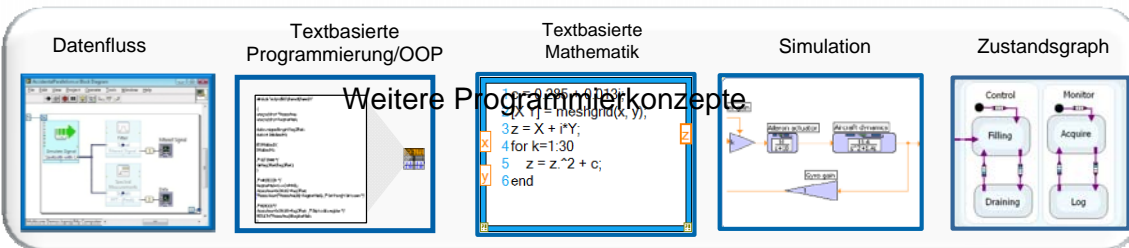
Paletten stellen Funktionen und grafische Oberflächenelemente bereit

Der Datenfluss legt den Programmablauf fest

Ein modulares Design ergibt sich durch Erzeugen von SubVIs (Unterfunktionen)

Programmumwandlung in dll, Executable oder Installer

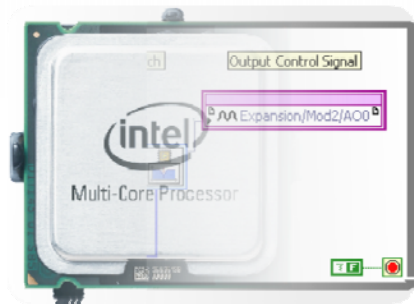
ni.com



ni.com



Hardware trifft Software



=



Hardware + Software

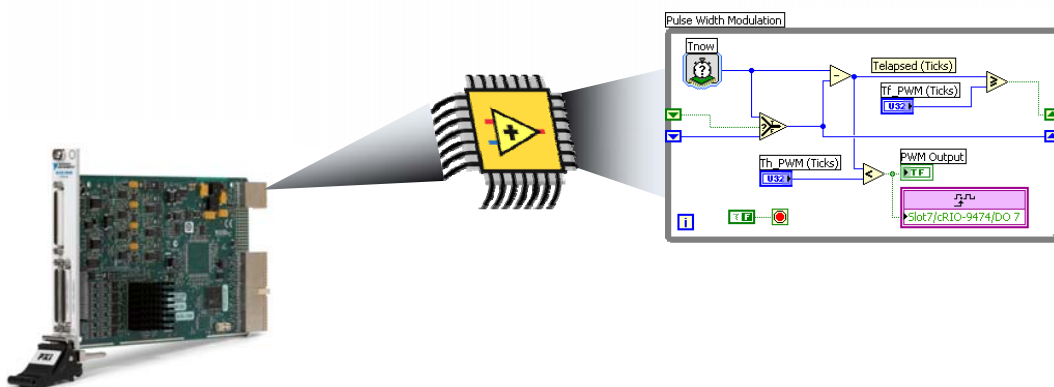
=

FPGA

ni.com

NATIONAL INSTRUMENTS

Rekonfigurierbare IO (RIO)



Ersetzen benutzerdefinierter Hardware durch programmierbare FPGA-Logik:

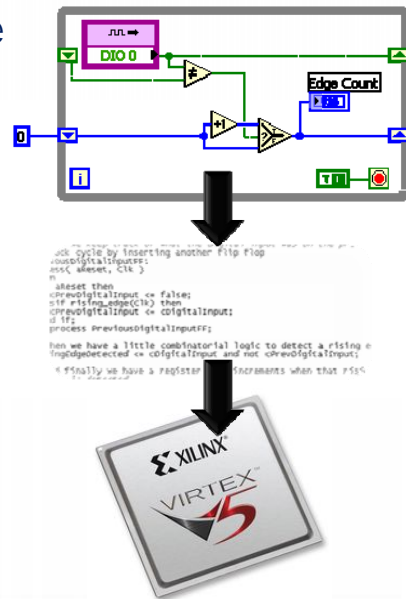
- Hochleistungsregelung
- Dedizierte Logik in Silizium
- Intelligente Datenerfassung
- Digitale Signalverarbeitung

ni.com

NATIONAL INSTRUMENTS

Wie funktioniert LabVIEW FPGA?

1. Die gleiche grafische Programmierung, wie für Windowsysteme
2. Aus dem LabVIEW VI wird VHDL-Code generiert
3. Der VHDL-Code wird mittels integrierter Xilinx-Tools kompiliert
4. Anschließend wird ein ausführbares Bitfile erzeugt und auf den FPGA übertragen

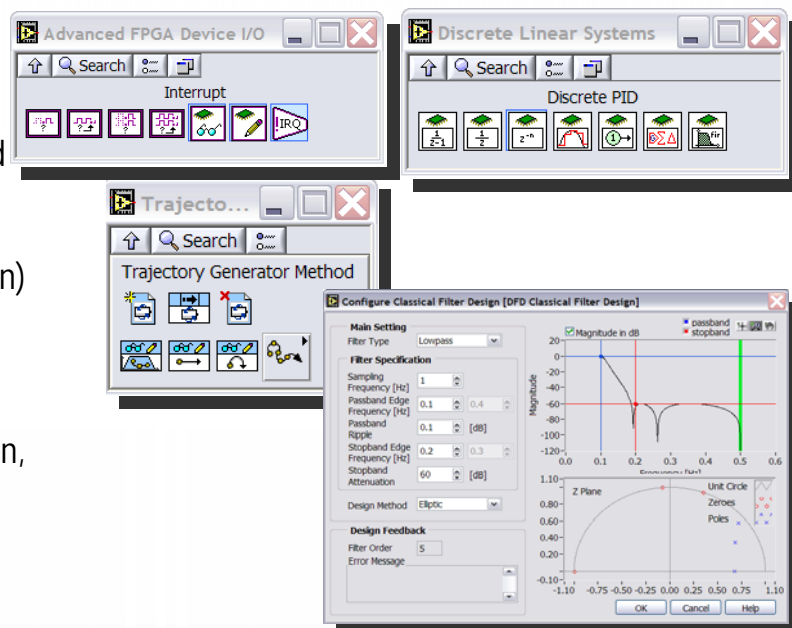


ni.com

NATIONAL INSTRUMENTS

LabVIEW FPGA Funktionsumfang

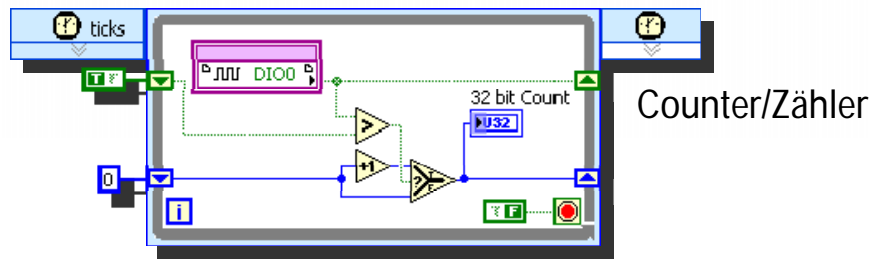
- Input/Output
- Analoge Regelung
- Diskrete Logik
- Timing, Triggering und Synchronisierung
- Vergleichsfunktionen
- Mathematik (Saturation)
- Datentransfer
- SoftMotion
- Digitales Filterdesign
- FFT, Fensterfunktionen, Resampling



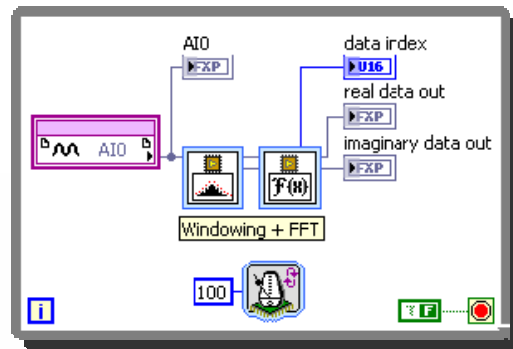
ni.com

NATIONAL INSTRUMENTS

Beispiele



Analogsignalerfassung + FFT

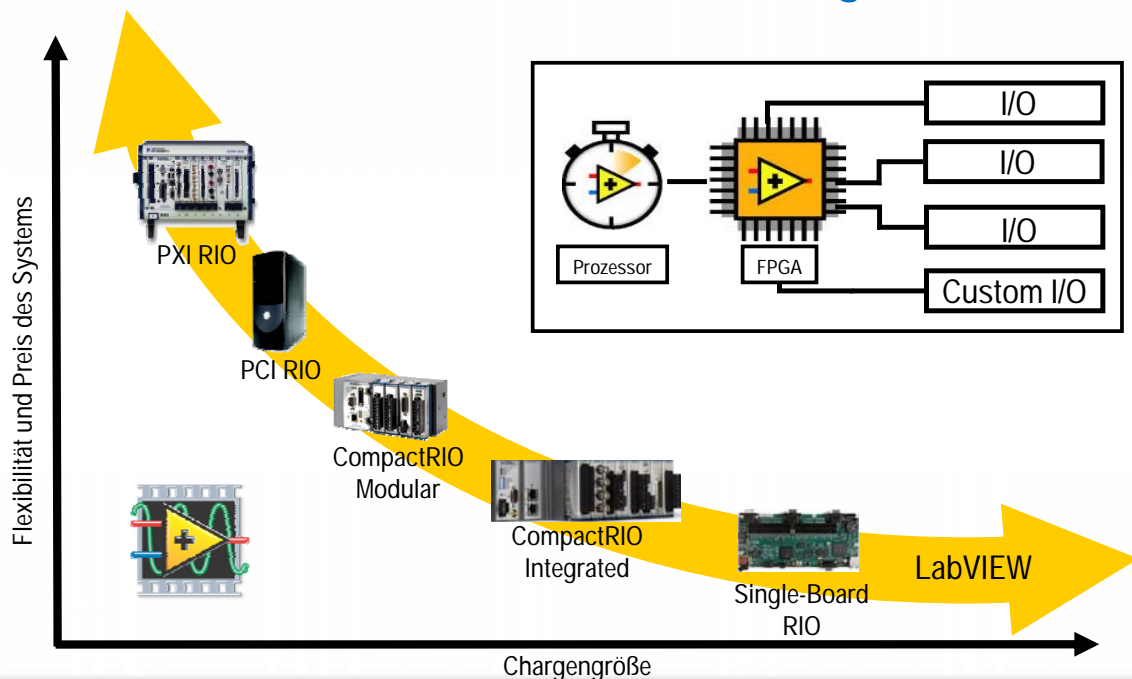


Weitere Beispiele unter www.ni.com/ipnet

ni.com



NI RIO für verschiedenste Einsatzgebiete



ni.com



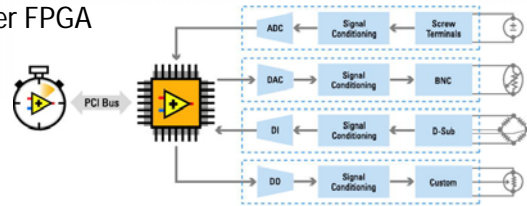
CompactRIO: Rekonfigurierbares Embedded-System

Real-Time-Prozessor

Rekonfigurierbarer FPGA



I/O-Module



Extreme Robustheit

- Temperaturbereich von -40 bis 70 °C
- 50 g Stoß-, 5 g Vibrationsfestigkeit

Geringe Leistungsaufnahme

- von 9 bis 35 VDC, 7-10 W typ.

- I/O-Module mit integrierter Signalkonditionierung für beliebige Sensoren/Aktuatoren
- Rekonfigurierbares FPGA für Hochgeschwindigkeits-Timing, -Triggerung und -Regelung der I/O-Kanäle
- Real-Time-Prozessor für deterministisches Loggen und Analysieren von Daten

ni.com

NATIONAL INSTRUMENTS

CompactRIO Module & Anschlussstechnik

Analoge Eingangsmodule für

- Strom- und Spannungsmessung
- Widerstandsmessung
- Temperaturmessung
- Beschleunigungsmessung
- Temperaturmessung (IEPE Sensors)

Analoge Ausgangsmodule für

- Strom und Spannung

Digital Ein

Digital Aus

Digital Ein/Aus kombiniert

Relaismodule

Zähler / Timer Erfassung und Erzeugung

CAN Kommunikation

Serielle Kommunikation

Motorensteuerung

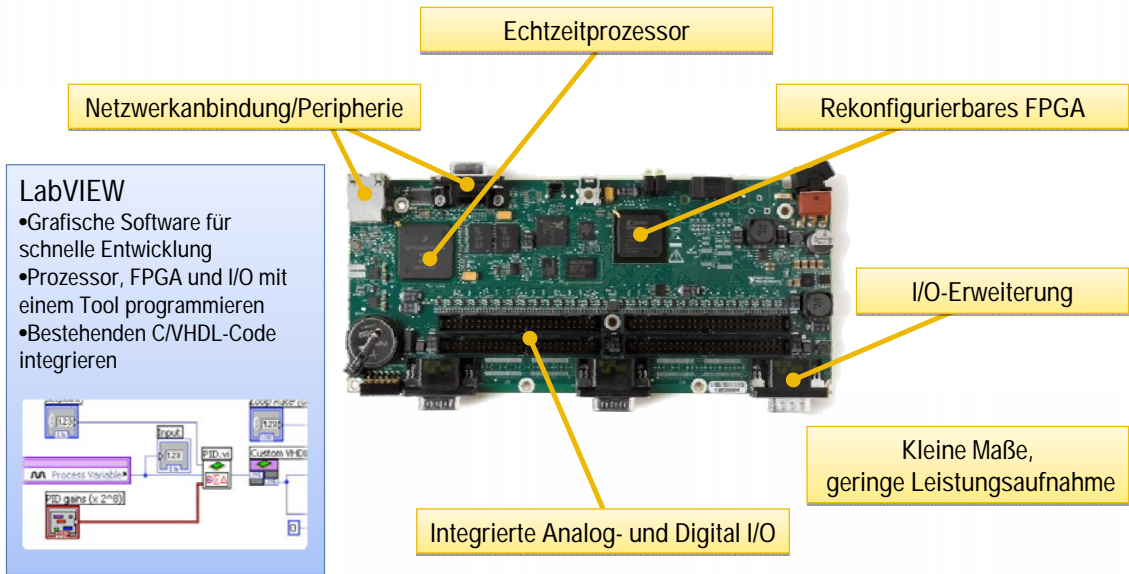
Speichermodul



ni.com

NATIONAL INSTRUMENTS

NI Single-Board RIO



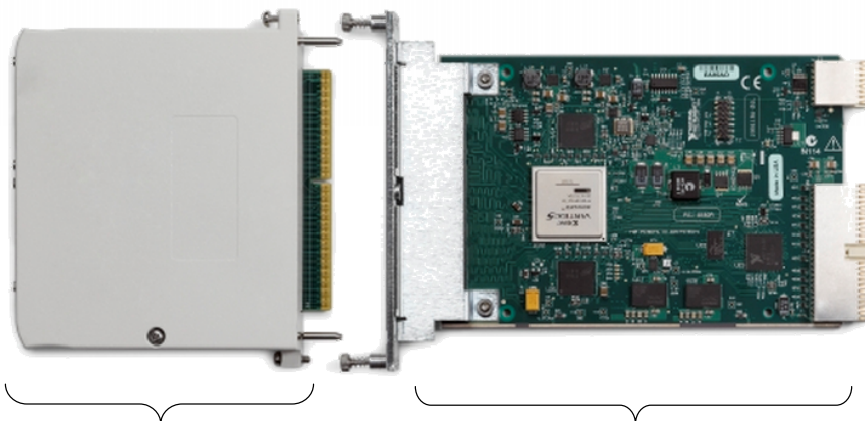
LabVIEW

- Grafische Software für schnelle Entwicklung
- Prozessor, FPGA und I/O mit einem Tool programmieren
- Bestehenden C/VHDL-Code integrieren

ni.com



NI FlexRIO



NI FlexRIO Adapter Modul

- Austauschbare Module als Frontends
- Module von NI und Drittanbietern
- Adapter Module Development Kit

NI FlexRIO FPGA Modul

- Virtex-5 FPGA
- General Purpose I/O Kanäle (132 SE/66 DI)
- Bis zu 128 MB DDR2 DRAM onboard

ni.com



NI FlexRIO FPGA Modules for PXI

- Virtex-5 FPGAs
- Direct Access to FPGA I/O
 - 66 differential pairs (132 SE)
 - Up to 1 Gb/sec LVDS (Low Voltage Differential Signaling) pairs
 - Up to 400 Mb/s single-ended
- Up to 128 MB DRAM
- Adapter Module **REQUIRED!**



ni.com

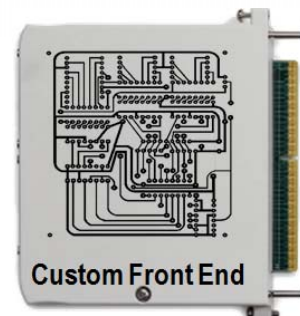


3 Optionen für Anbindung an FlexRIO



- NI – Adaptermodul
- 100 MHz digital I/O
 - 54-channel single-ended

- Partner – Adaptermodul
z.B. Avera
- 800 Mb/s auf 3 Ports
 - CLIP Node to implement IEEE1394 protocol



- NI – Adapter MDK
- Erfordert Erfahrung in Schaltungsentwurf und HDL Programmierung

ni.com



Option 1: Adapter Modules Developed by NI



- Complete Integration with LabVIEW FPGA and NI FlexRIO
- No HDL experience required

ni.com



NI 6581 – High-Speed Digital Adapter Module

- 100 MHz digital I/O (200 Mb/s DDR)
- 54-channel single-end
- Selectable voltage levels
 - 1.8, 2.5, 3.3 V (5 V compatible)
- External DIO voltage reference
 - 1.8 to 5.5 V
 - Configurable by connector
- Complete integration with LabVIEW FPGA
 - No HDL experience required

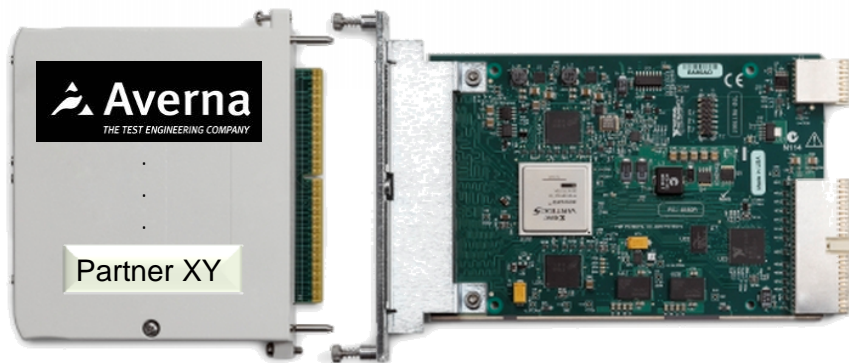


NI 6581

ni.com



Option 2: Partner Adapter Module or Services



- Third-party adapter modules
- Custom-design integration services

ni.com



Partner Module: IEEE 1394b Adapter Module

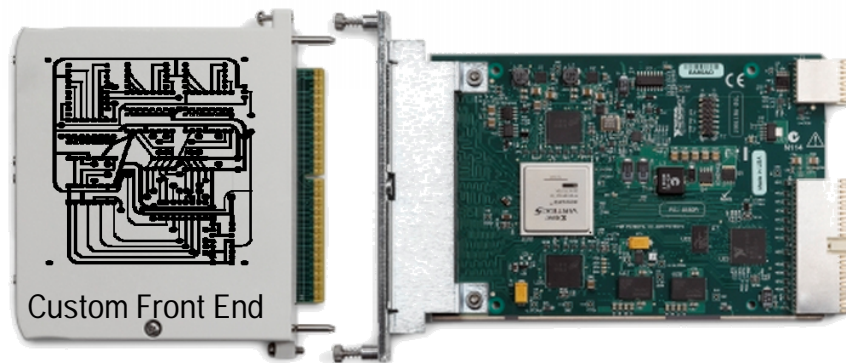
- 800 Mb/s on 3 ports
 - 2.4 Gb/s total bandwidth
- Physical layer implemented in adapter module
- CLIP Node to implement IEEE 1394 protocol
- LabVIEW FPGA code for image processing



ni.com



Option 3: Custom Module Development

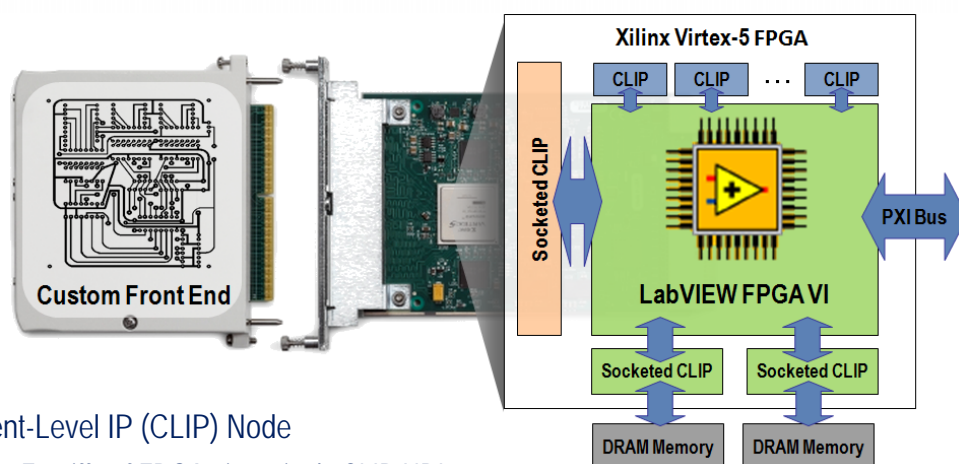


- Requires PCB design experience
- HDL code development required

ni.com



NI FlexRIO – SW & HW Architektur



- Component-Level IP (CLIP) Node
 - Direkter Zugriff auf FPGA pins mittels CLIP HDL
 - Ausführung von HDL in multiplen clock domains
 - Volle Verfügbarkeit der FPGA Funktionalität
 - Parallel zu LabVIEW FPGA VIs nutzbar

ni.com



Hinzufügen von CLIP in ein LabVIEW Projekt

```

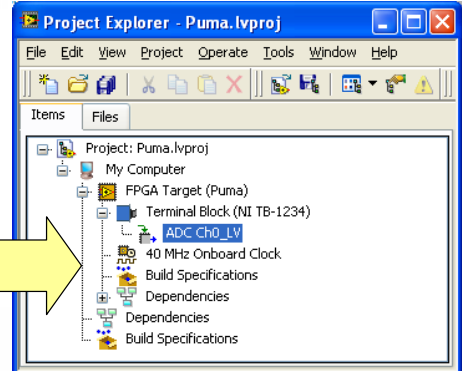
AnalogFrontEndCLIP.vhd
entity AnalogFrontEnd is
  port (
    adcCh0_LV : out std_logic_vector(15 downto 0);
    adcCh0_TB : in  std_logic_vector(15 downto 0) := x"0000"
  );
end AnalogFrontEnd;

architecture rtl of AnalogFrontEnd is
begin
  adcCh0_LV
  ...
end rtl;
    
```

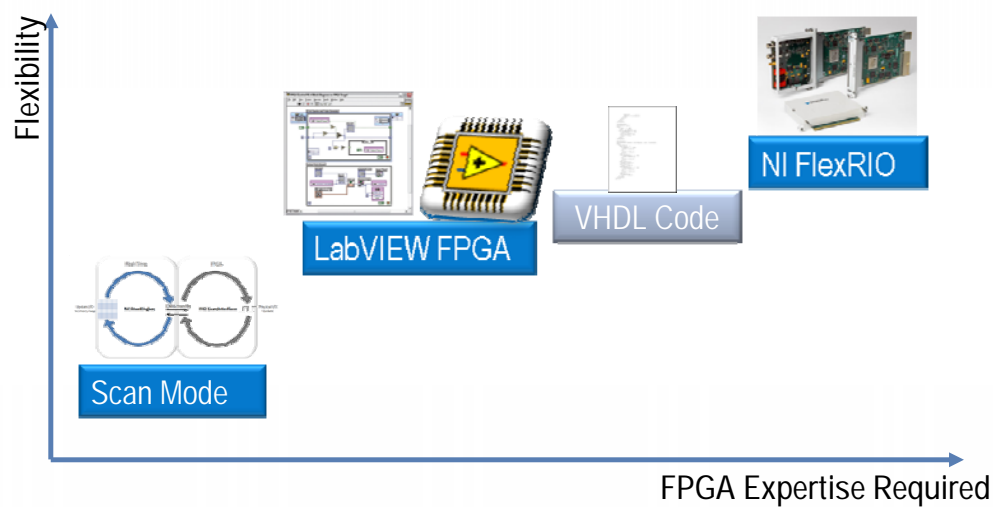
```

AnalogFrontEndCLIP.xml
<?xml version="1.0" encoding="utf-8"?>
<CLIPDeclaration Name="AnalogFrontEnd">
  <HDLName>AnalogFrontEnd</HDLName>

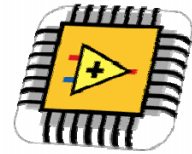
  <InterfaceList>
    <Interface Name="AnalogIO">
      <InterfaceType>LabVIEW</InterfaceType>
      <Signal Name="ADC Ch0_LV">
        <HDLName>adcCh0_LV</HDLName>
        <DataType><i16/></DataType>
        <Direction>FromCLIP</Direction>
        <SignalType>data</SignalType>
      </Signal>
    </Interface>
  </InterfaceList>
</CLIPDeclaration>
    
```



HW Abstraction vs. Flexibility



Typische Anwendungen



Hochgeschwindigkeitsregelung

Intelligente Datenerfassung

Digitale Kommunikationsprotokolle

Sensorsimulation

Onboard-Analysen und Datenreduktion

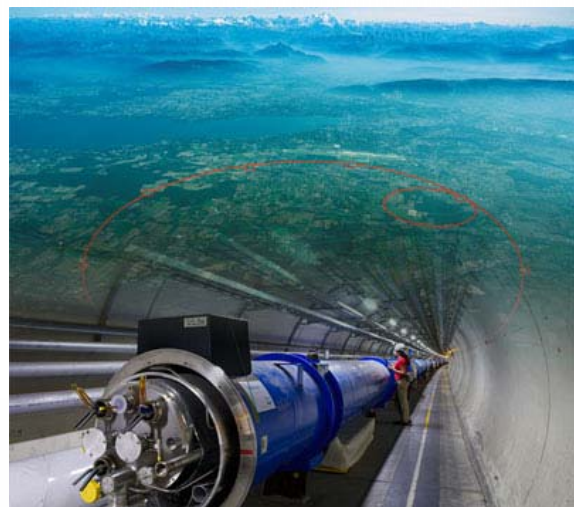
FPGA als Co-Prozessor

ni.com

 NATIONAL
INSTRUMENTS

LHC (Teilchenbeschleuniger) am CERN

- Die Aufgabe von NI Komponenten:
Zuverlässige und präzise
Echtzeitmessung und -steuerung der
Position von Hauptkomponenten zur
Absorption energiegeladener Teilchen
aus dem nominalen Kern des
- Einsatz von LabVIEW RT/FPGA und
NI SoftMotion mit rekonfigurierbarer
I/O-Hardware der R-Serie von NI für
PXI zur Entwicklung eines FPGA-
basierten Motorsteuersystems,
das in der Lage ist, fehlgeleitete oder
instabile Teilchenstrahlen abzufangen



ni.com

 NATIONAL
INSTRUMENTS

Einsatz von FPGAs bei LabVIEW-basierten Experimentsteuerungen



GSI: Dietrich Beck, Harald Hahn, Stephen Koszudowski
Uni-Greifswald: Falk Ziegler

- Bitmuster-Generator
- Vielkanalzähler



25. März 2009

Dietrich Beck

Die Hauptarbeit zu diesem Vortrag haben Falk Ziegler, Stephen Koszudowski und Harald Hahn gemacht. Die drei haben den Bitmuster-Generator entwickelt bzw. die Hardware zum Anschluss von Triggersignalen gebaut. Von mir (Dietrich Beck) ist nur der Vielkanalzähler.

Why FPGA?

- real parallelism
- timing determined by hardware
- re-configurable hardware
 - don't buy specific hardware for a specific task
 - buy general purpose FPGA hardware to perform specific tasks
 - need less spares
- FPGA @ National Instruments
 - a "non-expert" uses LabVIEW with FPGA specific function palette
 - FPGA module generates VHDL code from LabVIEW code
 - VHDL code is given to tool chain of manufacturer (here: Virtex)
 - bit-file is written to hardware
 - easy and straight forward



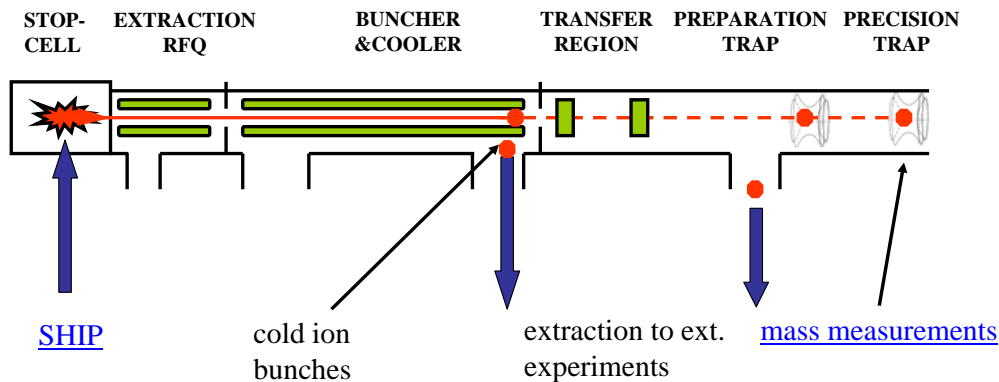
25. März 2009

Dietrich Beck

Über FPGAs ist auf dieser Tagung schon viel gesagt worden. Interessant für uns ist die Möglichkeit, Vorgänge tatsächlich parallel und in harter Echtzeit ablaufen zu lassen. Im Vergleich zu einer Hardware, die auf eine bestimmte Aufgabe zugeschnitten ist, muss man bei einem FPGA-Board etwas mehr Arbeit investieren. Im Gegenzug reduziert sich die Hardwarevielfalt, und man braucht nicht mehr für so viele Ersatzgeräte bereithalten.

Das FPGA-Modul von National Instruments erlaubt es, FPGA-"Programme" mit LabVIEW zu entwickeln. In unserem Fall haben Studenten mit einer speziell für FPGAs bereitgestellten Funktionspalette programmiert. Der graphische Programmiercode wird dann vom LabVIEW FPGA Modul in VHDL übersetzt. Mit den vom FPGA Hersteller, Xilinx, zu Verfügung stehenden Werkzeugen wird dann automatisch ein so genanntes Bitfile erzeugt, welches zur FPGA Hardware übertragen wird.

SHIPTRAP – Experimental Set-up



M. Block et al., http://www.gsi.de/forschung/ap/projects/shiptrap/index_e.html



25. März 2009

Dietrich Beck

Wie der Name vermuten lässt, ist SHIPTRAP eine Fallenexperiment an SHIP. Mit SHIP werden an der GSI erfolgreich superschwere Elemente erzeugt und entdeckt. Die Aufgabe von SHIPTRAP ist es, die Eigenschaften der erzeugten Elemente mithilfe einer Ionenfalle zu untersuchen. Es werden Penningfallen eingesetzt, die eine hochpräzise Bestimmung atomarer Massen der mit SHIP produzierten Elemente erlauben.

Die mit SHIP produzierten Elemente werden zunächst in einer Gaszelle abgestoppt und von dort mit einer linearen Quadrupolhochfrequenzstruktur (RFQ) extrahiert. Ein so genannter Buncher wandelt den quasi-kontinuierlichen Ionenstrahl aus der Gaszelle in Ionenpakete um und kühlt diese. Die gekühlten Ionenpakete werden über Ionenoptiken zu einer Präparationsfalle gebracht, wo die Ionenpakete weiter gekühlt und unerwünschte Ionensorten massenselektiv entfernt werden. Danach wird das Ionenpaket in eine Präzisionsfalle transferiert, wo das eigentliche Experiment, nämlich die Massenbestimmung, durchgeführt wird.

Zur Handhabung und Manipulation der Ionenpakete werden zeitliche veränderliche elektrische Felder verwendet, das Magnetfeld der Penningfallen ist statisch. Die elektrischen Felder müssen dabei mit einer Genauigkeit von unter einer Mikrosekunde zu genau definierten Zeiten geschaltet werden. Daraus ergibt sich ein komplexer experimenteller Ablauf, der im Folgenden skizziert wird.

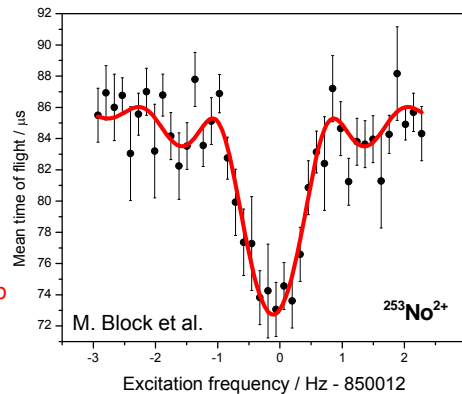
SHIPTRAP – Experimental Procedure

1s

Cycle:

- stopping of ions in the gas cell (static)
- extraction from the gas cell
- transfer
- capture and cool ions in the buncher
- ejection from the buncher (dynamic)
- transfer
- capture in the preparation trap
- mass selective buffer gas cooling
- ejection from the preparation trap
- transfer
- capture in the precision trap
- purification
- excitation of ion motion at $\omega_{RF} \approx \omega_c = (q/m) \cdot B$ (\Rightarrow gain of energy)
- measurement of kinetic energy via a time-of-flight technique

Scan: repeat cycle for different frequencies (minutes-days)



GSII

25. März 2009

Dietrich Beck

Der experimentelle Ablauf untergliedert sich in "Zyklen" und "Scans".

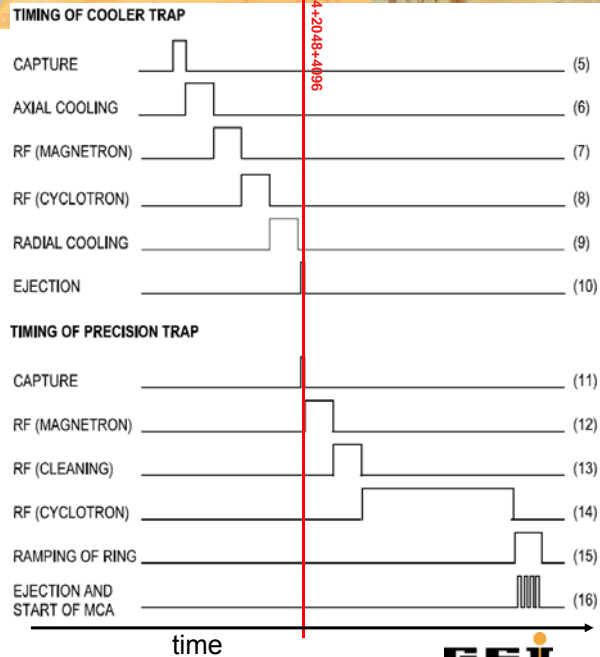
Während eines Zyklus durchlaufen die Ionen die Apparatur von der Gaszelle bis zur Präzisionsfalle einschließlich aller Manipulationen und dem Nachweis. Der grobe Ablauf ist hier skizziert. Ein Ion muss zu seinem Nachweis etwa 20 experimentelle Schritte über sich ergehen lassen. In rot hervorgehoben sind die Schritte, bei denen aktiv Elektroden geschaltet werden, oder Ionen durch elektrische Wechselfelder angeregt werden. Letztendlich basiert das Messprinzip darauf, dass die Massenbestimmung über eine Frequenzmessung erfolgt. Bei der Messung werden Ionen in der Präzisionsfalle mit einem Wechselfeld einer festen Frequenz angeregt, die um die zu erwartende Zyklotronfrequenz der zu untersuchenden Ionensorte liegt. Die Anregung führt zu einer Änderung der kinetischen Energie der Ionen. Diese Energieänderung wird mit einer Flugzeitmethode nachgewiesen. Das Ergebnis eines Zyklus ist ein Messpunkt der gezeigten Kurve oben rechts.

Bei einem Scan wird der Zyklus oft wiederholt, wobei die Anregungsfrequenz leicht variiert wird. Ein einzelner Scan, der hier etwa 40 Frequenzstützpunkte umfasst, dauert etwa eine Minute. Um die statistische Unsicherheit klein zu halten, wird ein Scan oft wiederholt. Das kann je nach Produktionsrate von einigen Minuten bis hin zu einigen Tagen dauern. Das Ergebnis ist eine Resonanzkurve, wie sie hier dargestellt ist. Die durchgezogene Linie stellt eine Anpassung der Messpunkte an die theoretische Linienform dar.

Die in diesem Vortrag vorgestellte technische Entwicklung ermöglicht die zeitliche Steuerung eines Zyklus durch die Ausgabe entsprechender Triggersignale.

Timing of a "Cycle"

- pattern width 64 bit
- total length ≈ 10 s
- resolution < 100 ns
- hard real time
- external triggering
 - 8 bit pattern
 - multiple waiting points
- optional loops
- "switch" between cycles for reference measurements
- change specific times and patterns on-the-fly



25. März 2009

Dietrich Beck

Ein vereinfachtes Beispiel für die Steuerung eines Zyklus zeigt verschiedene Triggersignale als Funktion der Zeit (rechte Seite). Hier werde die Signale nicht einzeln, sondern als komplette 16 Bit breite "Wörter" (Bitmuster/Pattern) auf digitale Ausgangsports gegeben. In rot gekennzeichnet ist ein Bitmuster, bei dem nur die Bits 10, 11 und 12 logisch HIGH sind.

Die wesentlichen Anforderungen unterschiedlicher Experimentiereinrichtungen sind auf der linken Seite dargestellt. Die Bitmuster sollen eine Breite von bis zu 64 Bit haben, die Gesamtdauer eines Zyklus soll bis zu 10 Sekunden betragen, wobei die zeitliche Auflösung besser als 100ns sein soll. Die Bitmuster werden nicht immer einfach nacheinander ausgegeben, sondern es soll zu verschiedenen vom Benutzer festzulegenden Zeitpunkten auch noch auf externe Trigger gewartet werden. Dies ermöglicht eine Synchronisierung auf externe Ereignisse, wie z.B. einen Beschleuniger, einen gepulsten Laser oder die Phase eines elektrischen Wechselfelds. Für die externen Trigger wird eine Breite von acht Bit vorgesehen. Weiterhin soll es innerhalb eines Zyklus möglich sein, verschiedene Abfolgen von Bitmustern mehrmals in einer Schleife auszuführen, um z.B. mehrere Ionenpulse in einer Präparationsfalle zu akkumulieren. Ein schnelles Umschalten zwischen ganzen Sätzen von Bitmustern erlaubt das schnelle Wechseln von Ionensorten zur Kalibration der Masse. Letztendlich ist es beim Optimieren während einer Strahlzeitvorbereitung möglich, einzelne Zeiten und/oder Bitmuster zur Laufzeit zu ändern.

FPGA as Pulsed Pattern Generator

- task: produce bit patterns at given times
- example
 - 8 digital outputs: one-byte-bit-pattern (10000000)
 - each bit is used as trigger signal for external hardware
 - switch between patterns at specified times
 - 10000000 @ $t = 0 \mu\text{s}$
 - 10000001 @ $t = 1.2 \mu\text{s}$
 - 11000101 @ $t = 235246.875 \mu\text{s}$
 -
- real parallelism: outputs of all bits synchronized
- hard real time: timing determined by FPGA clock
- plus all the options the users want...



25. März 2009

Dietrich Beck

Die Aufgabe lautet also, zu bestimmten Zeiten die ausgegeben Bitmuster umzuschalten. Jedes Bit dient dabei als Triggersignal für externe Hardware. Hier ist ein Beispiel für drei Bitmuster gegeben, die an drei Zeitpunkten ausgegeben werden. Das Bitmuster bleibt solange an den Ausgängen anliegen, bis ein anderes Bitmuster ausgegeben werden soll. Wichtig ist, dass die Ausgabe der Bitmuster synchron und in Echtzeit erfolgt. Zur Lösung wird ein FPGA eingesetzt.

Straight Forward Implementation

- PCI/PXI-7811R board from National Instruments (\approx 1500,- €)
- 160 digital lines (TTL)
- Virtex II, 1 M gates
- 40 MHz clock (25ns resolution), can be over-clocked
- timing of bit patterns independent of
 - operating system
 - data-bus
 - PC-type
- LabVIEW FPGA-module part of campus license at GSI
- can be programmed by non-experts using LabVIEW



25. März 2009

Dietrich Beck

Die Implementierung ist einfach. Man nehme die "kleinste" FPGA-Karte von National Instruments. Es kostet je nach Bustyp (PCI oder PXI), Zubehör und Rabatt etwa um die 1500,- Euro. Man bekommt eine Karte mit 160 digitalen I/O, die frei konfigurierbar als Ein- oder Ausgänge genutzt werden können. Auf der Karte sitzt ein Virtex II mit einer Millionen Gatter, der in der Standardeinstellung mit 40 MHz getaktet wird. Die Ausgabe der Bitmuster hängt somit nur von der Taktfrequenz des FPGA und nicht mehr von den Eigenschaften des Rechners ab. Um die Karte mit LabVIEW benutzen zu können, benötigt man das so genannte "FPGA Modul", das an der GSI in der Campuslizenz enthalten ist. Die Implementierung des FPGA-Codes erfolgt also graphisch in LabVIEW und wurde hier von zwei Doktoranden vorgenommen.

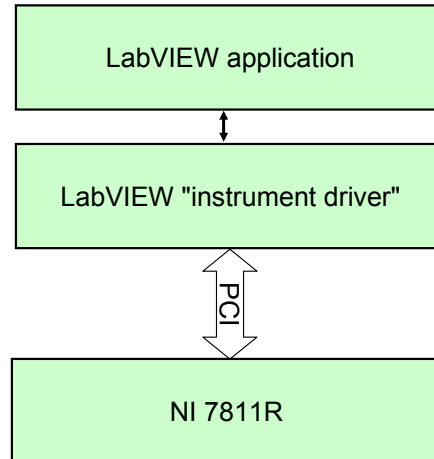
"Software" Architecture

application specific code

encapsulation of hardware details

low amount of data (kBytes)

autonomous operation during a "cycle"

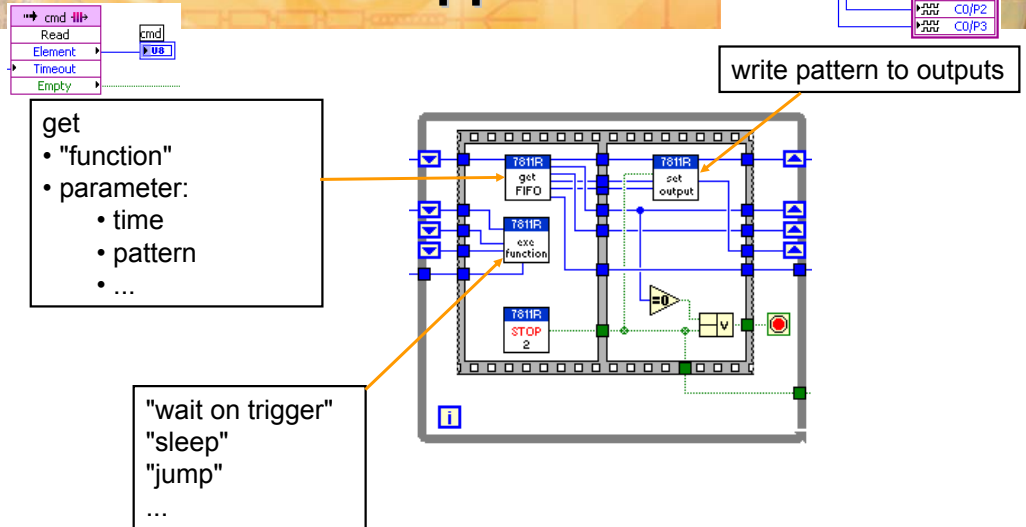


25. März 2009

Dietrich Beck

Die Architektur ist denkbar einfach. Der FPGA arbeitet während eines Zyklus autonom. Die Eigenschaften der Implementierung und des FPGA sind in einem LabVIEW Instrumententreiber gekapselt. Nach außen hin sieht das ganze wie ein x-beliebiges Laborgerät aus. Die LabVIEW Applikation, mit der das Kontrollsystem einer Experimenteinrichtung realisiert wird, benutzt für die Steuerung eines Zyklus nur noch eine mehr oder weniger "abstrakte" Schnittstelle, die der Instrumententreiber zur Verfügung stellt.

FPGA Code Snippet



Falk Ziegler, Stephen Koszudowski



25. März 2009

Dietrich Beck

Hier ist ein Stück FPGA-Code mit einer "Do-While"-Schleife dargestellt. Die Daten stehen in einem FIFO bereit und werden von dem "get FIFO" VI gelesen (siehe Codefragment links oben). Die Daten enthalten die auszuführende Funktion mit entsprechenden Parametern. Ein Parameter ist z.B. ein Bitmuster, das von dem "set output" VI auf die Ausgänge der Karte gegeben wird (siehe Codefragment rechts oben). Daten und Parameter werden in so genannte Schieberegister gegeben und stehen in der nächsten Schleifeniteration dem "exe function" VI zur Verfügung. Dieses VI führt die angeforderte Funktion aus. Eine solche Funktion könnte das Warten auf einen externen Trigger sein, ein "Schlafen" (das Bitmuster soll eine entsprechende Zeit anliegen), oder ein Sprungbefehl, wenn eine Folge von Bitmustern wiederholt werden soll. Während die Funktion mit dem "exe function" VI ausgeführt wird, liest das "get FIFO" VI bereits parallel die Daten für die nächste Iteration.

Status

- already used at about seven facilities at GSI, Uni-Greifswald, Uni-Mainz, CERN
- today: still prototype version
- official release late summer 2009

25. März 2009

Dietrich Beck



Die hier vorgestellte Lösung wird bei etwa sieben Experimentiereinrichtungen an verschiedenen Instituten eingesetzt, obwohl die aktuelle Version noch in der Entwicklung steckt und erst im Sommer diesen Jahres veröffentlicht wird.

Remarks

- FPGA compile time about 50 minutes (PIV, 3GHz)
- FPGA code runs on other NI platforms as well 7813, 7831, 7833, PCI/PXI
 - requires re-compilation of FPGA code
 - requires modification of LabVIEW code (just a typedef, but ...)
- PCI: no synchronization to external reference clock
- PXI: phase-locked to 10 MHz PXI clock
- NI boards provide TTL output @ 4 mA on high density plugs
 - some devices need more current at trigger inputs
 - users connect one TTL output to multiple trigger inputs
 - users want Lemo plugs!



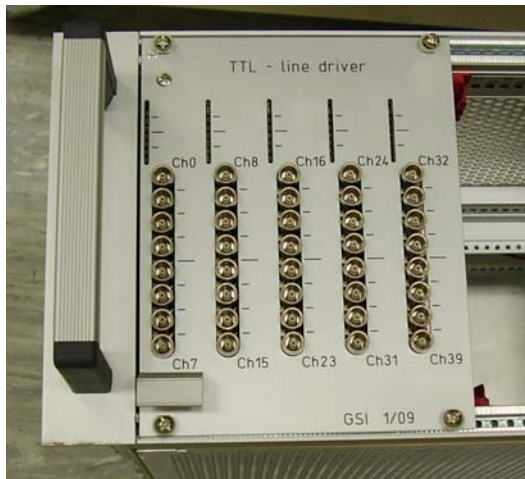
25. März 2009

Dietrich Beck

Einige Bemerkungen: Es dauert eine dreiviertel Stunde, um das Bitfile für den FPGA zu erzeugen (Achtung: das bezieht sich nur auf den FPGA-Code und hat nichts mit der Erzeugung von Bitmustern zu tun). Das ganze läuft natürlich auch auf den anderen, "größeren", FPGA Karten von National Instruments. Die PCI Version dieser Karten bietet leider keine Möglichkeit, die Taktfrequenz des FPGA mit einem externen Zeitstandard zu synchronisieren. Diese Möglichkeit gibt es nur in der PXI Version. Die TTL Ausgänge der Karten liefern nur 4mA Strom. Das ist nicht ausreichend, denn einige Geräte benötigen mehr Strom an Triggereingängen oder die Benutzer nutzen einen TTL Ausgang für mehrerer Geräte. Außerdem möchten die Benutzer Triggerleitungen über Lemostecker anschließen.

TTL Line-Driver Module

- Harald Hahn, GSI
- select I/O for each line
- 40 lines per module
- 4 modules per 19" crate
- max 100mA (50 Ω) per line
- max 6A per crate
- delay time 80ns
- rise time 15ns @ 50 Ω
- optional remote control
 - invert line
 - direction
 - buffer function
 - ...



25. März 2009

Dietrich Beck

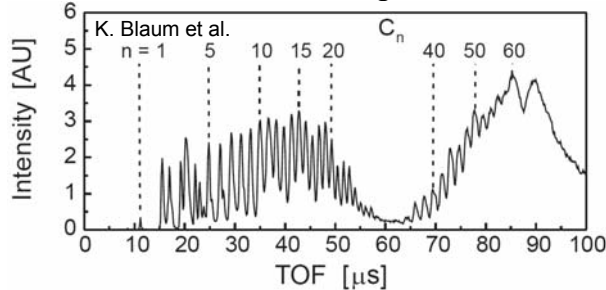
Dies wurde von Harald Hahn gelöst, der TTL-Treibermodule gebaut hat. Für jede Leitung kann die Richtung, d.h. Ein- oder Ausgabe, individuell festgelegt werden. Jedes Modul hat 40 Kanäle, was "zufällig" der Kanalzahl auf den Steckern der FPGA Karten entspricht. Es passen vier Module in einen Rahmen. Somit reicht ein 19 Zoll Rahmen aus, um alle 160 Kanäle einer Karte nutzen zu können. Die Ausgangskanäle können 100mA treiben, was TTL an 50 Ohm entspricht. Der Gesamtstrom für alle Kanäle in einem Rahmen ist allerdings auf 6A begrenzt. Das Treibermodul benötigt für jeden Kanal eine Verzögerung von 80ns. Die Anstiegszeit der TTL Signale bei einer Last von 50 Ohm beträgt etwa 15ns.

In der nächsten Version wird das Treibermodul auch über eine Schnittstelle konfiguriert werden können, um z.B. Ausgangskanäle zu invertieren oder die Signalrichtung umzuschalten.

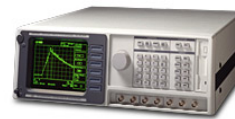
Bemerkung: die Pinbelegung und die Art der Stecker sind an der Rückseite über Adapterplatinen festgelegt. Sollen andere Stecker mit anderer Pinbelegung genutzt werden, so muss nur die Adapterplatine geändert werden.

Multi-Channel-Scaler (MCS)

- MCS: time resolved counting of ions



- Typically, commercial solutions are used like SR430 (SRS) or MSA300 (B&H).
 - expensive (> €5000,-), "no spare"
 - over-specified for our purpose
- However, there is always a spare FPGA card: Let's use that one...



GSI

25. März 2009

Dietrich Beck

Bei einigen Experimenten werden Vielkanalzähler eingesetzt, um die Signale von Ionen oder Photonen zeitaufgelöst zu erfassen. Das Beispiel oben zeigt das Flugzeitspektrum einer gepulst arbeitenden Kohlenstoffclusterquelle. Im allgemeinen werden kommerzielle Geräte eingesetzt, die aber oft überspezifiziert und damit recht teuer sind. Andererseits haben einige unserer Kunden noch als Reserve für ihren Bitmuster-generator eine andere FPGA Karte. Diese Karte soll nun als Vielkanalzähler genutzt werden. Somit hat man für die meisten Anwendungen zumindest eine Ersatzlösung für den Fall, wo der gekaufte Vielkanalzähler nicht verfügbar ist.

FPGA as Multi-Channel-Scaler

- three TTL I/O
 - start trigger (input, positive edge, logic high)
 - signal (input, positive edge, logic high)
 - isActive (output, logic high while counting)
- FPGA over-clocked to 80 MHz (could be even more)
 - minimum time for active high is 12.5 ns
 - maximum count rate 40 MHz
- requires "NIM-electronics-type" discriminator and gate
- simple FPGA program and instrument driver
 - small amount (kBytes) of data, handled by DMA transfer
 - fits easily into the 7811R



25. März 2009

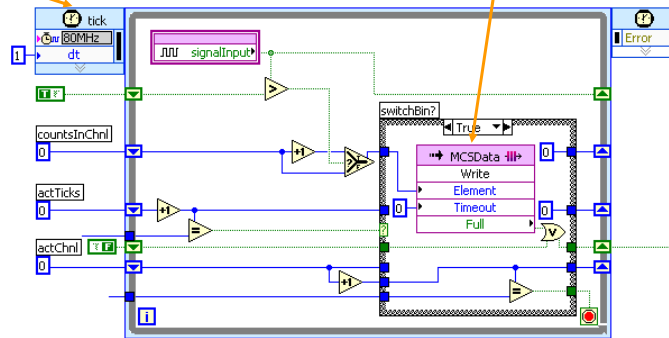
Dietrich Beck

Die Implementierung ist einfach. Wir benötigen nur zwei Eingangs- und einen Ausgangskanal. Ein Kanal dient als Starttrigger für die Datenaufnahme und ein Kanal empfängt die Pulse vom Detektor. Das Ausgangssignal schaltet auf logisch HIGH, solange die Datenaufnahme aktiv ist. Der FPGA wird mit 80MHz getaktet. Das bedeutet, dass ein Puls vom Detektor mindestens 12,5ns lang sein muss und die maximal Zählrate auf 40MHz begrenzt ist. Das Ganze passt ohne Probleme in die "kleinste" FPGA-Karte von National Instruments. Die Architektur ist die gleiche, wie beim Bitmustergenerator. Die Datenübertragung von der FPGA Karte zum Instrumententreiber geschieht über DMA Transfer. Zusätzlich benötigt man noch ein paar analog NIM-Module, um die analogen Signale vom Detektor zu diskriminieren und in digitale Pulse zu wandeln.

FPGA Code Snippet

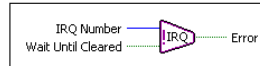
single cycle loop @ 80 MHz

DMA transfer of data



Dietrich Beck, GSI

sending interrupts may also be useful:



25. März 2009

Dietrich Beck

Hier sieht man ein Codefragment. Eine "single cycle loop" wird mit 80 MHz getaktet. Wenn das Eingangssignal "signalInput" auf logisch HIGH wechselt, wird die Anzahl der Ionen im Kanal inkrementiert. Die Schleifendurchläufe werden gezählt "actTicks" und mit der Binbreite eines Kanals verglichen. Muss zum nächsten Kanal geschaltet werden "switchBin?", wird die Zahl der gemessenen Ereignisse über DMA Transfer losgeschickt und zum nächsten Kanal "actChnl" geschaltet. Das geschieht solange, bis alle Kanäle des Spektrums abgearbeitet sind.

Als Anmerkung sei noch erwähnt, dass eine FPGA Karte auch über Interrupts mit der Applikation of dem PC kommunizieren kann.

Remarks

- no analog input
 - requires NIM-electronics type discriminator
 - ... extra discriminator also "required" for commercial solutions
- only three lines are used
 - use TTL Line-Driver Module
 - use simple NI connector block (SCB-68...)
 - connection not really an issue
- it works!



25. März 2009

Dietrich Beck

Noch einige Anmerkungen.

Die Tatsache, dass wir zusätzlich noch etwas analoge Elektronik benötigen, erfordert im Vergleich zu kommerziellen Geräten keinen praktischen Mehraufwand. Zwar haben die kommerziellen Geräte in der Regel einen Diskriminator. Aber als Detektoren werden oft Sekundärelektronenvervielfacher wie "micro channel plates" oder "channeltrons" eingesetzt: Deren Anodensignale werden kapazitiv ausgekoppelt, und aus technischen Gründen mit NIM-Elektronik diskriminiert. Im Vergleich dazu wird beim Einsatz einer FPGA Karte als Vielkanalzähler keine zusätzliche Elektronik benötigt.

Der Anschluss ist einfach, da nur drei Leitungen ohne zusätzliche TTL Treiber benötigt werden. Ein einfacher Anschlussblock von National Instruments ist ausreichend.

Projektmanagement mit PRINCE2

Projektmanagement mit PRINCE2 – ein Schnappschuß

Peter Siepermann



Copyright © 2009 by Peter Siepermann

Inhalt

- PRINCE2 – Einführung
- PRINCE2 – Historisch
- PRINCE2 – das Prozeßmodell
- Literatur
- Bewertung.



Projektmanagement mit PRINCE2 – Einführung

- PRINCE2 bildet ab
 - ◆ Management
 - ◆ Steuerung
 - ◆ Organisation eines Projektes
- PRINCE2 ist eingetragene Handelsmarke des U.K.'s Office of Government Commerce (OGC)
- Akronym für Projects in Controlled Environments
- Kerngedanke ist der Business Case
 - ◆ Ständige Frage nach der Notwendigkeit des Projektes
 - ◆ Ist die ökonomische Rechtfertigung gegeben?
 - ◆ Prüfung am Ende jeder Phase, ob sich das Projekt noch lohnt.



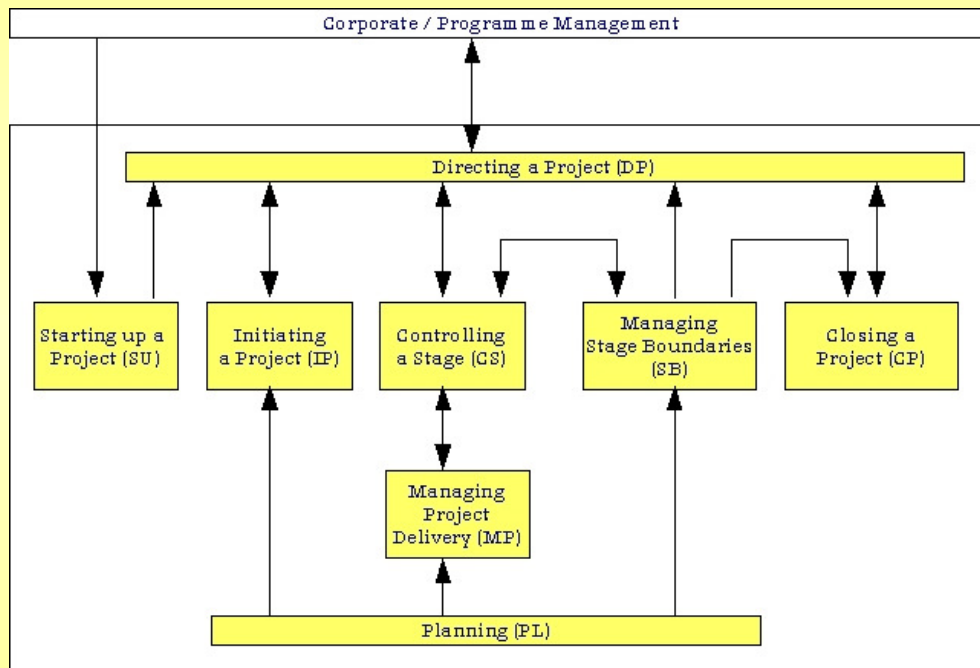
PRINCE2 – Historisches

- PRINCE ist der Vorläufer zu PRINCE2
 - ◆ 1989 von der Central Computer and Telecommunications Agency (CCTA, nun Teil der OGC) als Standard für IT-Projekte entwickelt
 - ◆ Entwicklung im Auftrag der britischen Regierung
- Ausgehend von der IT-Branche Übernahme in weitere Branchen
- 1996 Lancierung von PRINCE2 als Weiterentwicklung
 - ◆ De-facto-Standard für Projektmanagement in Großbritannien und darüber hinaus
- Die derzeit aktuelle Version stammt von 2005.



SEI
5

PRINCE2 – das Prozeßmodell

SEI
6

PRINCE2 – das Prozeßmodell

- PRINCE2 stellt prozeßgetriebene Vorgehensweise dar
 - ◆ Insgesamt 45 Teilprozesse
 - ◆ Teilprozesse zu 8 übergeordneten Prozessen gruppiert
- Nicht in allen Projekten sind alle Rollen erforderlich
 - ◆ Programm-Management nur, wenn das Projekt Teil eines Programmes ist
- Konzepte von PRINCE2 übertragbar auf große, mittlere und kleine Projekte
 - ◆ Anwender prüft, wie umfangreich der Prozeß angewendet werden soll
 - ◆ **Durch Zuschnitt wird überflüssiger Overhead vermieden.**



Das Prozeßmodell – Starting up a Project (SU)

- SU-Phase
 - Festlegung des Projektteams
 - Erstellung des *Project Briefs*
- Project Brief
 - Abstecken der generellen Problemstellung und der generellen Vorgehensweise
 - Ökonomische Rechtfertigung des Projektes
 - Abschätzung des Aufwandes (Personentage und Kosten)
 - Abschätzung der Einsparungen in den Folgejahren
 - Beantwortung der technischen und ökonomischen Sinnhaftigkeit des Projektes
- Project Board leitet die nächste Phase ein.



Das Prozeßmodell – Starting up a Project

- SU1 Appointing a Project Board Exec and a Project Manager
- SU2 Designing a Project Management Team
- SU3 Appointing a Project Management Team
- SU4 Preparing a Project Brief
- SU5 Defining Project Approach
- SU6 Planning an Initiation Stage.



Das Prozeßmodell – Planning (PL)

- In der PL-Phase werden Teilprodukte identifiziert
 - ◆ Welche Aktivitäten müssen bei welchen Teilprodukten durchgeführt werden?
- PL1 Designing a Plan
- PL2 Defining and Analysing Products
- PL3 Identifying Activities and Dependencies
- PL4 Estimating
- PL5 Scheduling
- PL6 Analyse Risks
- PL7 Completing a Plan.



Das Prozeßmodell – Initiating a Project (IP)

- Aufbauend auf dem Project Brief aus der SU-Phase
- Erstellen des Business Case als Teil des Project Initiation Documents (PID)
- Initialisierung der projektbegleitenden Dateien
 - ◆ Risk Log
 - ◆ Quality Log
 - ◆ Lessons Learned Log
- Erster echter Projektschritt.



Das Prozeßmodell – Initiating a Project (IP)

- IP1 Planning Quality
- IP2 Planning the Project
- IP3 Refining the Business Case and Risks
- IP4 Setting up Project Controls
- IP5 Setting up Project Files
- **IP6 Assembling the Project Initiation Document (PID).**



Der Business Case

- Betriebswirtschaftliche Konsequenzen des Projektes
 - ◆ Erwarteter Nutzen
 - ◆ Erwartete Kosten
 - ◆ Finanzmodell
- Einführung und Überblick über das Thema
- Aufstellung von Annahmen, Kennzahlen, Kostenmodell
- Umfang und Abgrenzung
 - ◆ **Was ist Teil des Projektes und was nicht**
- Risikoanalyse und Sensitivitätsanalyse
- Ganzheitliche Betrachtung des Projektes
 - ◆ Einarbeitung / Schulung von Mitarbeitern berücksichtigen.



SEI
13

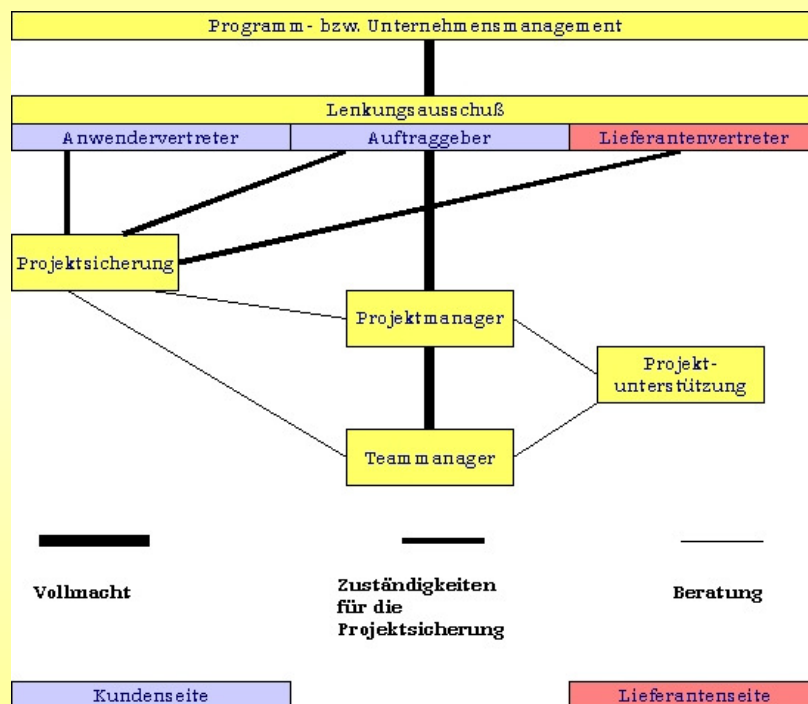
Das Prozeßmodell – Directing a Project (DP)

- Wie leitet der Lenkungsausschuß (Project Board) das Projekt?
 - ◆ Autorisierung des Projektes
 - ◆ Abnahme der verschiedenen Phasen
- DP1 Authorizing Initiation
- DP2 Authorizing Project
- DP3 Authorizing a Stage or Exception Plan
- DP4 Giving *Ad Hoc* Directions
- DP5 Confirming Project Closure.



SEI
14

Der Lenkungsausschuß



Das Prozeßmodell – Controlling a Stage (CS)

- Projekte werden in der Regel nicht als Ganzes geplant/realisiert
 - ◆ Herunterbrechen des Projektes in verschiedene Phasen
 - ◆ Aufteilung einer Phase in verschiedene Arbeitspakete
- Festlegung der Art und Weise, wie dem Lenkungsausschuß der Projektfortschritt dokumentiert wird.



Das Prozeßmodell – Controlling a Stage (CS)

- CS1 Authorizing Work Package
- CS2 Assessing Progress
- CS3 Capturing Project Issues
- CS4 Examining Project Issues
- CS5 Review Stage Status
- **CS6 Reporting Highlights**
- CS7 Taking Corrective Action
- CS8 Escalating Project Issues
- CS9 Receiving Completed Work Package.



Das Prozeßmodell – Managing Product Delivery (MP)

- Übernahme / Lieferung eines Arbeitspaketes
- Sicherstellung, daß Qualitätskriterien eingehalten werden
- MP1 Accepting a Work Package
- MP2 Executing a Work Package
- MP3 Delivering a Work Package.



Das Prozeßmodell – Managing Stage Boundaries (SB)

- CS beschreibt das Management innerhalb einer Phase
- SB enthält die Aktivitäten, die am Ende einer Phase durchlaufen werden müssen
 - Gegebenenfalls Notfallmaßnahmen
 - Vorbereitung des nächsten Phasenplans
- Aktualisierung der Projektdokumente
- SB1 Planning a Stage
- SB2 Updating a Project Plan
- **SB3 Updating a Project Business Case**
- SB4 Updating the Risk Log
- SB5 Reporting Stage End
- SB6 Producing an Exception Plan.



Das Prozeßmodell – Closing a Project (CP)

- **Aktivitäten beim Abschluß eines Projektes**
 - **Insbesondere Nachbetrachtung des Projektverlaufes**
- **CP wird auch beim Abbruch des Projektes durchlaufen**
- **CP1 Decommissioning a Project**
- **CP2 Identifying Follow-On Actions**
- **CP3 Project Evaluation Review.**



PRINCE2 – eine Bewertung

- **Sehr ausgefeiltes Prozeßmodell**
 - **Zuschnitt für kleinere Projekte unbedingt erforderlich**
- **Detaillierte Rollenbeschreibungen**
 - **Klare Abgrenzung von Verantwortlichkeiten**
 - **Diese sollten auch so gelebt werden!**
- **Ganzheitliche Betrachtung eines Projektes**
 - **Insbesondere Management der Phasenübergänge**
- **Starke Fokussierung auf die ökonomische Sinnhaftigkeit.**



PRINCE2 – eine Bewertung

- PRINCE2 stellt eine Methode bzw. eine Toolbox zur Verfügung
 - ◆ Bewußter Einsatz der Methoden ist erforderlich
 - ◆ *A fool with a tool is still a fool!*
- Einführung von Log-Files
 - ◆ Risk Log
 - ◆ Quality Log
 - ◆ Lessons Learned Logs
 - ◆ **Hinterher ist man immer schlauer – das soll man dann aber auch sein!**



Literatur

- PRINCE2 im Überblick
 - ◆ OGC – Office of Government Commerce, ISBN 0-11-330937-6
- Managing Successful Projects with PRINCE2
 - ◆ OGC, ISBN 0-11-330891-4
- PRINCE2 Projektmanagement mit Methode
 - ◆ Nadin Ebel, Addison-Wesley ISBN 978-3-8273-2542-6
- <http://www.prince2.org.uk> – PRINCE2-Homepage
- <http://www.ogc.gov.uk/prince2> - PRINCE2-Seite der OGC
- <http://en.wikipedia.org>

