

HELMHOLTZ

SPITZENFORSCHUNG FÜR
GROSSE HERAUSFORDERUNGEN

S^E
I Studiengruppe für
Elektronische Instrumentierung
der Helmholtz-Zentren

109. Tagung der Studiengruppe
elektronische Instrumentierung
im Frühjahr 2018

in Dresden-Rossendorf
vom 16. April - 18. April 2018

am

HZDR



HELMHOLTZ

**ZENTRUM DRESDEN
ROSSENDORF**



Editor: Peter Göttlicher (DESY)

Verlag Deutsches Elektronen-Synchrotron

Impressum

109. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2018 16.-18. April 2018, HZDR, Dresden-Rossendorf, Deutschland

Conference Homepage

<https://indico.desy.de/indico/event/19389/overview> oder

<https://indico.desy.de//event/SEI.2018>

Online Proceedings auf

<http://www-library.desy.de/confprocs.html>

This work is licensed under the Creative Commons Attribution 4.0 International License. To view a copy of this license, visit <http://creativecommons.org/licenses/by/4.0/> or send a letter to Creative Commons, PO Box 1866, Mountain View, CA 94042, USA.

Editor:

Peter Göttlicher

Februar 2020

DESY-PROC-2018-02

ISBN: 978-3-945931-18-9

ISSN 1435-8077

Published by

Verlag Deutsches Elektronen-Synchrotron

Notkestraße 85

22607 Hamburg

Germany

Printed by

Kopierzentrale Deutsches Elektronen-Synchrotron

109. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2018

SEI - Studiengruppe elektronische Instrumentierung
der Helmholtz-Zentren
HZDR (Dresden Rossendorf), 16. April - 18. April 2018

Inhaltsverzeichnis

Allgemeines und Zusammenfassendes

Eröffnung und Ausblick	P. Göttlicher	3
Bild der Teilnehmer		4
Tagungsprogramm		5

Vorträge

The ELBE Radiation Source at HZDR	P. Michel	8
New developments and experience with real-time signal processing for beam diagnostics at COSY.	I. Bekman, K. Reimers	22
FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers	J. Wolff	38
Direct Sampling FMC for High-Speed Data Acquisition	J. Zink	48
Future Upgrades of the BCM1F Detector at CMS	F. Rüde	58
ENTWICKLUNG VON PROGRAMMEN zum Auslesen und Kalibrieren eines neuartigen Detektorsystems	A. Steffens	66
Datenbankgestützte Produktdatenarchivierung	M. Meyer	85

MicroTCA Technology Lab - A Helmholtz Innovation Lab at DESY	MicraTCA Technology Lab, DESY. MSK Maschine Strahlkontrollen	97
N.A.T. Solutions for MTCA.4.1 - Complete and EASY to Use	N.A.T. GmbH	98
Einsatz von PROFINET in der Neutronenstreuung	H. Kleines	99
EtherCAT in Motoion - Motoransteuerung durch Mikrocontroller mit EtherCAT on Chip	M. Wünsche, J. Waßmann	111
Automatisierung eine Anlage zum Transport flüssiger sowie gasförmiger Radionuklide	H. Tietze	122
Elektromagnetische Einkopplungen in Kabel	W. Sorge	133
Verification of a 65 nm CMOS IC for various applications	C. Roth	141
IPSBE: Interatives Pipeline-System fr Bildverarbeitung in Echtzeit	S. König, W. Oertel, P. Kaever	155
CompactRIO with NI-DAQ	P. Simandl	159
Agile Software Development using GitLab and GitLab CI	T. Frust, G. Juckeland	175
Optische Terabit Datenübertragung	L. Eisenblätter	182
Workshop FPGA basierte DAQ-Systeme	P. Kaever, J. Burmester	195

Peter Göttlicher
DESY-FEB
10. September 2018

Eröffnung

Elektronik und Datenerfassung, sowie deren Fertigung und Programmierung in der Forschung ist die Thematik eines jährlichen Treffens. Mitarbeiter und Mitarbeiterinnen der Helmholtz-Zentren und anderer Institute und Firmen sind eingeladen. Hierzu wird eine Tagung organisiert, auf der Entwickler, Techniker/innen, Ingenieure/innen und Wissenschaftler/innen ihre Aktivitäten vorstellen. Es soll viel Zeit zur Diskussion bleiben.

Dieses Jahr waren neben den Helmholtz-Zentren DESY, FZJ, GSI, HZG, HZDR und KIT weitere Forschungszentren, Universitäten und Industriepartner vertreten, so dass sich ein vielfältiges Programm ergeben hat, das viele Aspekte von Sensor bis zum System umfasste:

- Schnelle Datenaufnahme, -verarbeitung und -übertragung
- ASIC's zur spezifischen Messsignalaufbereitung.
- Kontrolle von Aktoren und Auslese langsamerer Sensoren
- Bau von Instrumenten, Detektoren und Systemen
- Industriegeräte für Forschungsanwendungen
- Dokumentation der Produkte über den Lebenszyklus

Ein halber Tag wurde genutzt, die Forschungseinrichtungen des gastgebenden Zentrums HZDR zu besichtigen. Es wurde durch das HLD-labor mit hohen Magnetfeldern, das SIMS, secondary ion mass spectrometer, und das IBC, ion beam center, geführt.

Das Tagungsprogramm ist auf dem Internet einzusehen:

<https://indico.desy.de/indico/event/19389/overview> oder

https://indico.desy.de//event/SEI_2018

Die Homepage der Studiengruppe ist auf <http://sei.desy.de/> zu finden.

Ein halbtägiger Workshop über FPGA basierte DAQ-Systeme im Anschluss diente dazu, sich mit kleinen Beiträgen über allgemeine und bereits an den Zentren Techniken auszutauschen und offen über Erfahrungen, Erfolge und Probleme zu reden. Ziel ist es dabei von einander zu profitieren und Zusammenarbeit zu fördern.

Ausblick

Die nächste Tagung wird für das Frühjahr 2019 am FZJ-ZEA2 geplant.



Foto der Teilnehmer, Bilderstellung und Copyright bei der PR-Abteilung des HZDR

Tagungsprogramm

Montag

12:00	Ankunft		12:00 - 13:00
13:00	Eröffnung	<i>Dr. Peter GOETTLICHER</i>	13:00 - 13:05
	Vorstellung des HZDR	<i>Dr. Ulrich BREUER</i>	13:10 - 13:30
	Vorstellung der Strahlungsquelle ELBE	<i>Prof. Dr. Peter MICHEL</i>	13:30 - 13:50
14:00	New developments and experience with real-time signal processing for beam diagnostics at COSY	<i>Mr. Ilja BEKMAN</i>	
	FPGA-based Quantum Feedback for Superconducting Qubits	<i>Mr. Richard GEBAUER</i>	14:23 - 14:46
	FPGA basierte Testbench fuer 10Gbit Daten-Module des ATLAS Trackers	<i>Mr. Jonas WOLFF</i>	
15:00			14:46 - 15:09
	Direct Sampling FMC for High-Speed Data Acquisition	<i>Mr. Johannes ZINK</i>	15:10 - 15:32
	KAFFEE-Mo		15:32 - 16:00
16:00	Bestimmung des aquatischen Rückstreukoeffizienten	<i>Dr. Felix THEOPOLD</i>	16:00 - 16:23
	HyAbS – vom Meßprinzip zum vollautomatischen Sensor	<i>Mr. Oliver LISTING</i>	16:23 - 16:46
	Datenlogger für den AMD	<i>Mr. Franz Peter ZANTIS</i>	
17:00			16:46 - 17:09
	Future Upgrades of the BCM1F Detector at CMS	<i>Mr. Alexander RÜDE</i>	17:09 - 17:32
	Entwicklung von Programmen zum Auslesen und Kalibrieren eines neuartigen Detektorsystems	<i>Mr. Alexander STEFFENS</i>	
18:00			

Dienstag

09:00	AI/ML und FPGAs - Artificial Intelligence/Machine Learning <i>Mr. Jens STAPELFELDT</i>							
	08:59 - 09:19							
	Datenbankgestützte Produktdatenarchivierung <i>Mr. Markus MEYER</i>							
09:19 - 09:42	Fertigung von Leiterplatten Prototypen - Erfahrungen mit Dienstleistern aus Deutschland und China <i>Dr. Philipp FODISCH</i>							
	10:00							
FOTO-Termin								
10:05 - 10:15								
11:00	CAEN -Netzstelle	Farnell GmbH	ISEG - Hochspannung Crates, Controller	Kniel - Netzregulierung für die gestresste Entwicklerse	Ausstellung WETcal SmartHeat Lot-Stationen, Schadstoff-Absaugung, Dosiertechni	MTCA --- - N.A.T. GmbH - innovation in communication	Test-und Meßtechnik von Tektronix/K	KAFFEE--Di Mittagessen, verteilt Kaffee zu den Ausstellungen
12:00								
13:00	CS++ - Status and Outlook <i>Dr. Holger BRAND</i>							
	13:00 - 13:23							
	LabVIEW - Actor Framework in Action <i>Ms. Nicole WAGNER</i>							
13:23 - 13:46	Migration von MATLAB-Algorithmen auf einem ARM-Mikrocontroller mittels automatischer Codegenerierung <i>Mr. Leon PETERS</i>							
	14:00							
Evaluierung verschiedener Kommunikationsprotokolle und Versuchsaufbauten zur Datenübertragung in einem drahtlosen ESP8266 Netzwerk <i>Mr. Dominik HOVEN</i>								
15:00	HLD Labor - high magnetic field <i>Dr. Thomas HERRMANNSDÖRFER</i>							
	14:45 - 15:30							
16:00	SIMS - secondary ion mass spectrometer I <i>Dr. RENNO</i>			IBC - ion beam center I <i>Dr. AKHMADALIEV</i>				
	15:45 - 16:30			15:45 - 16:30				
17:00	IBC - ion beam center II <i>Dr. AKHMALIEV et al.</i>			SIMS - secondary ion mass spectrometer II <i>Dr. RENNO</i>				
	16:30 - 17:15			16:30 - 17:15				

Mittwoch

09:00	Einsatz von PROFINET IO in der Neutronenstreuung	Mr. Harald KLEINES	09:00 - 09:23
	Motoransteuerung durch Mikrocontroller mit EtherCAT on Chip	Dr. Peter KAEVER	09:23 - 09:46
10:00	Automatisierung einer Anlage zum Transport flüssiger sowie gasförmiger Radionuklide	Mr. Henrik TIETZE	
	Über Vorhersagen zu Störeinkopplungen in verlegte Kabel mit dem Feldberechnungsprogramm CONCEPT II	Dr. Wolfram SORGE	
	Verification of a 65nm CMOS IC for various applications (neutrino detection, high energy physics, etc.)	Mr. Christian ROTH	
11:00	KAFFEE - Mi		10:55 - 11:25
	IPSB: Interatives Pipeline-System für Bildverarbeitung in Echtzeit	Mr. Stefan KONIG	11:25 - 11:48
12:00	CompactRIO with DAQmx - FPGA based control and easy measurements in one device	Mr. Peter SIMANDL	
	Agile Softwareentwicklung mit GitLab	Mr. Guido JUCKELAND	12:11 - 12:34
	Optische Terabitdatenübertragung	Mr. Lars EISENBLÄTTER	12:35 - 12:58
13:00	Abschluss und Ausblick		13:00 - 13:10
	Mittag-Mi		13:10 - 14:00
14:00	Workshop: FPGA basierte DAQ-Systeme		
15:00			
16:00			
17:00			14:00 - 17:00

The ELBE Radiation Source at HZDR

Peter Michel
Institute of Radiation Physics

Outline

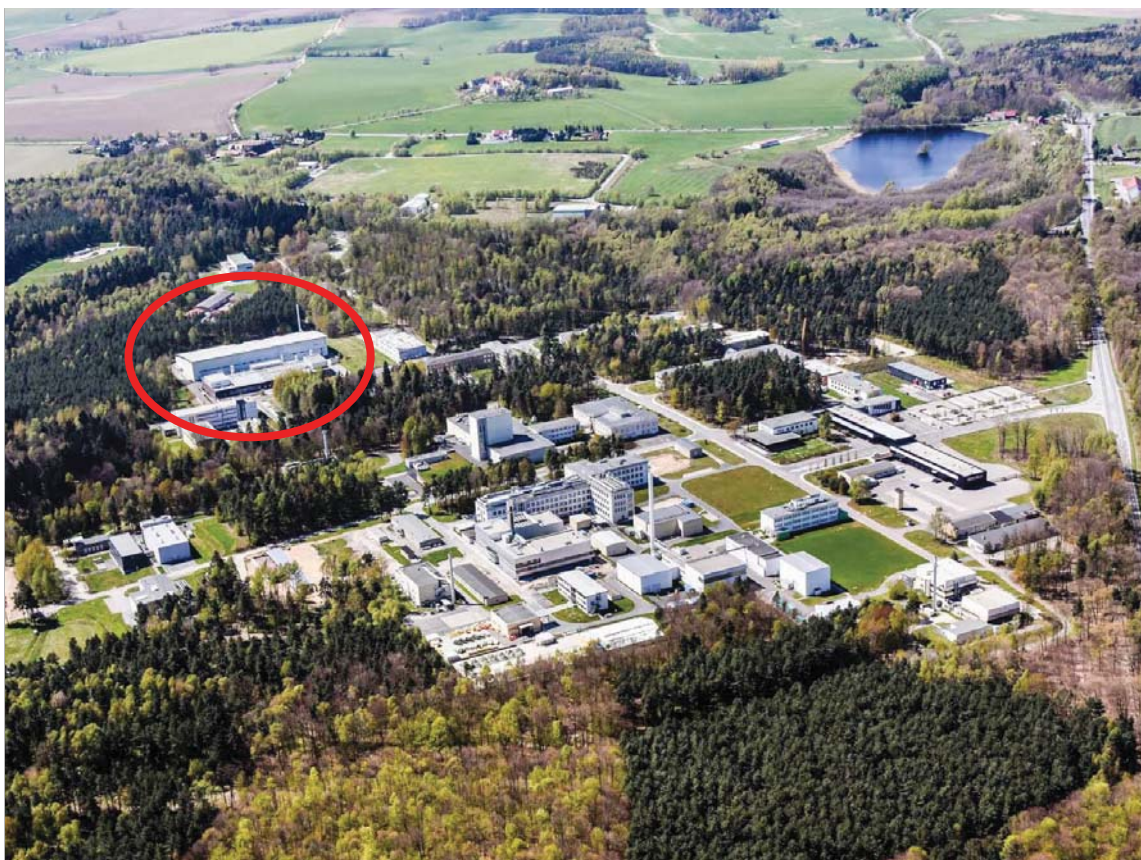
- ELBE superconducting accelerator
- examples for secondary radiation generation
- user facility aspects

Studiengruppe für Elektronische Instrumentierung
der Helmholtz-Zentren
16.-18. April 2018
HZDR

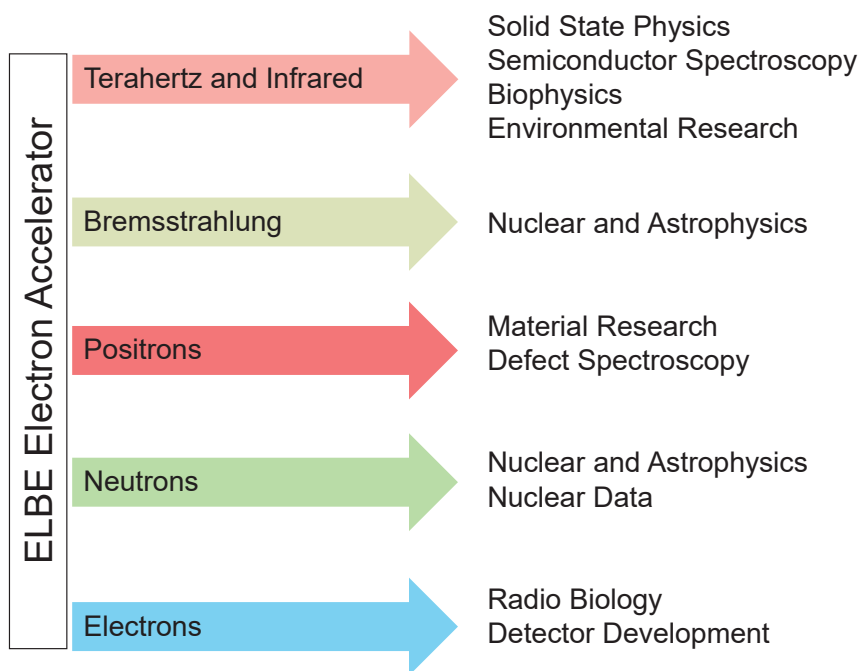
HZDR

Member of the Helmholtz Association

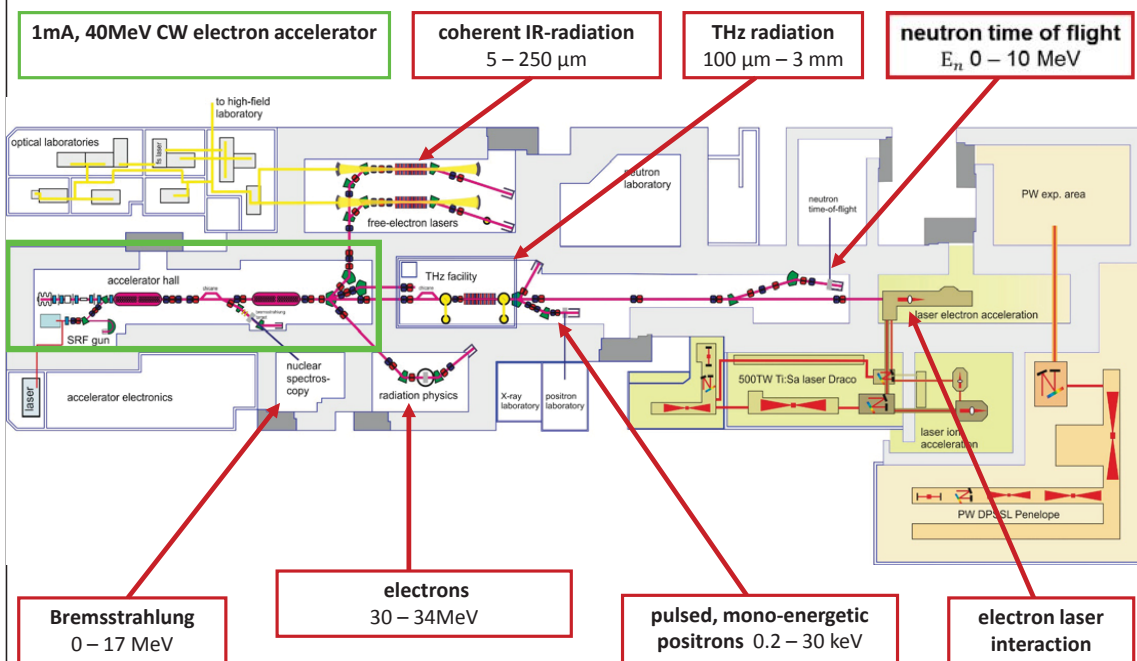
Page 1

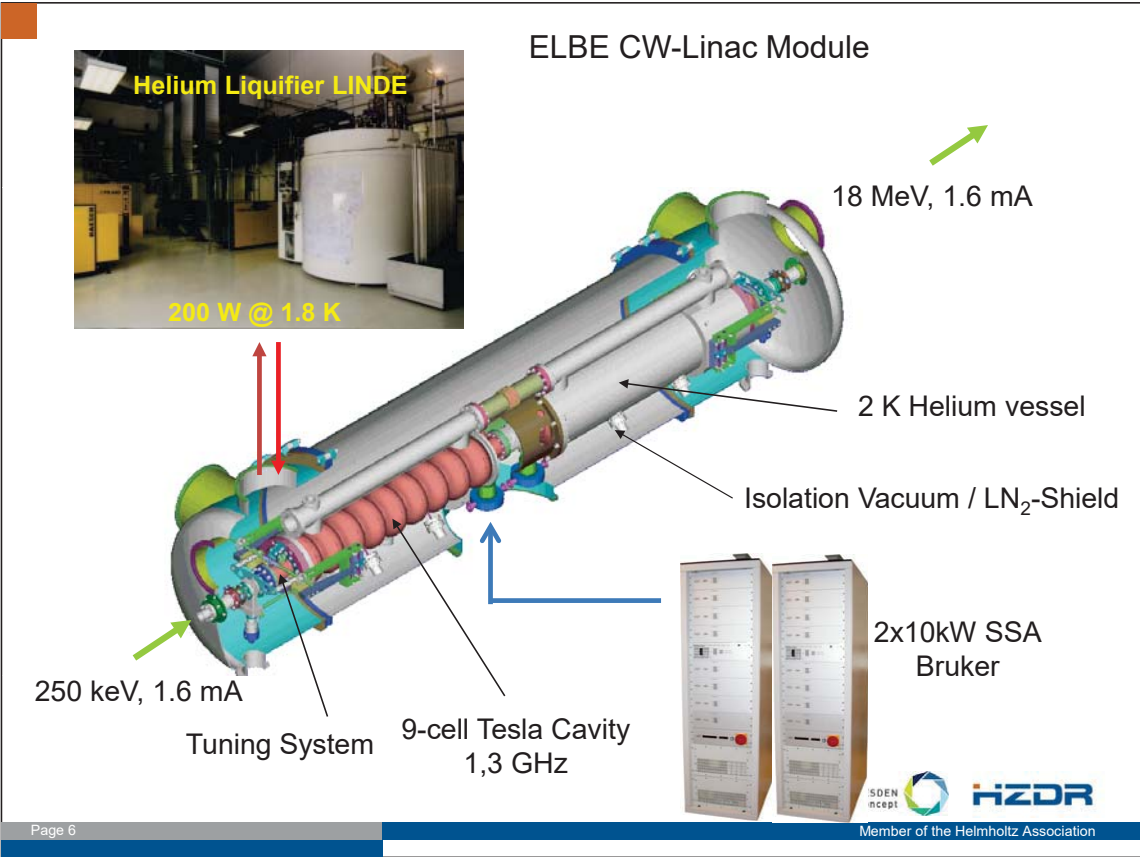
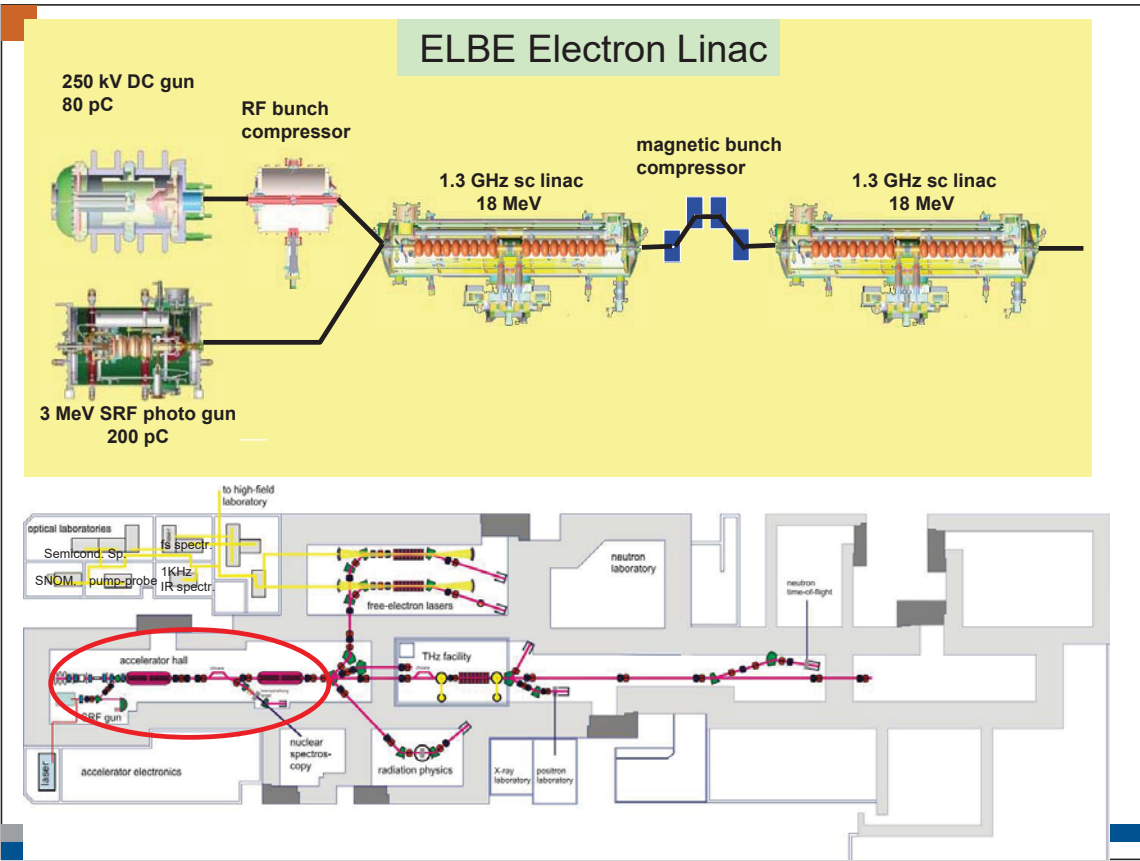


The ELBE concept



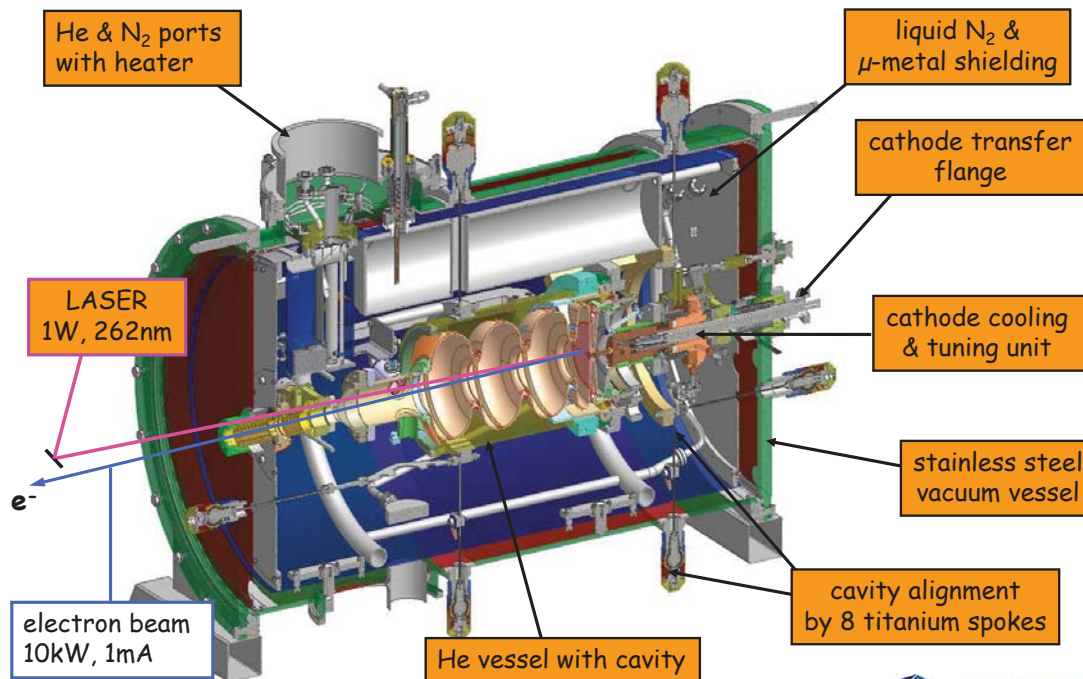
ELBE Layout







HZDR superconducting RF Photoinjector



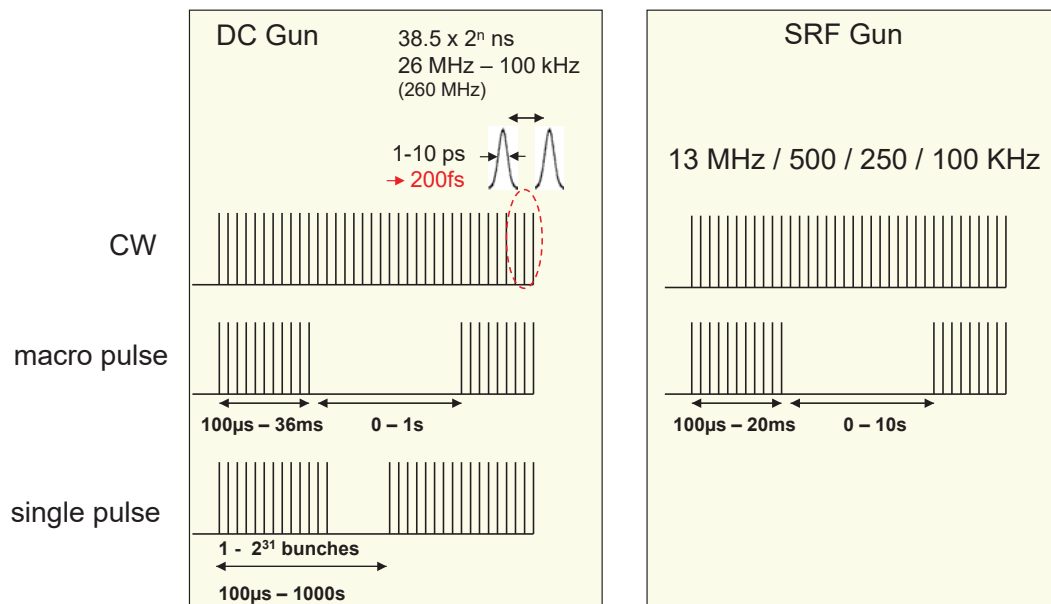
HZDR superconducting RF Photoinjector



Page 9

Member of the Helmholtz Association

ELBE electron beam modes



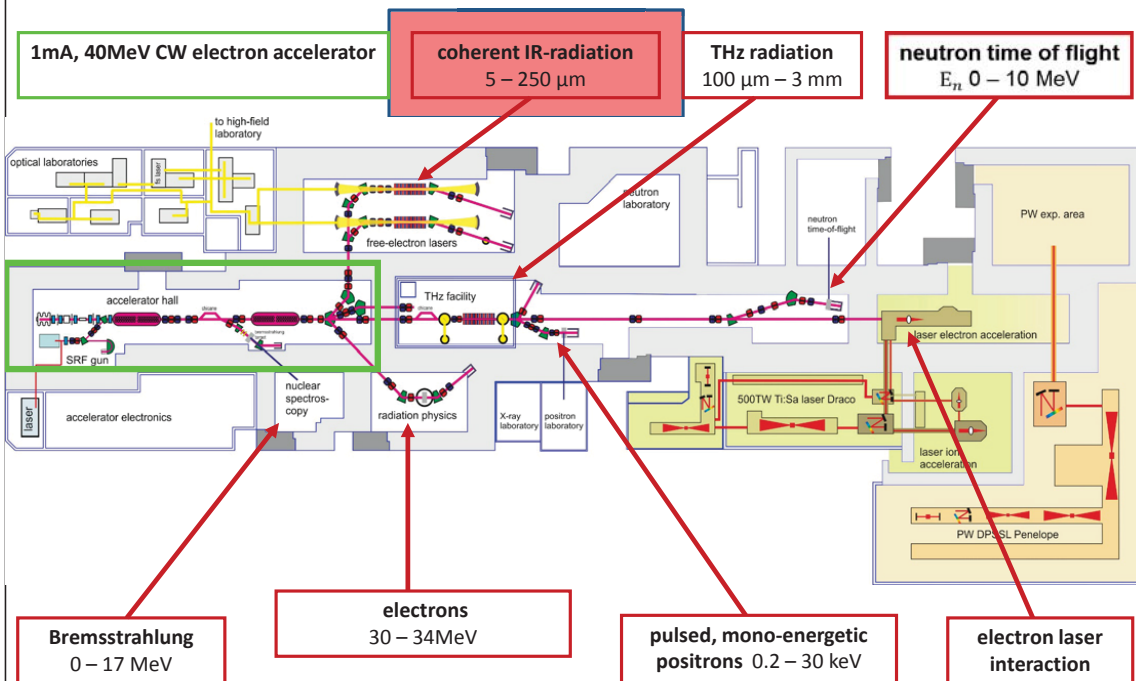
Main user modes: **13 MHz cw (FEL)** 100kHz cw (nTOF) 26 MHz cw (GIPS)

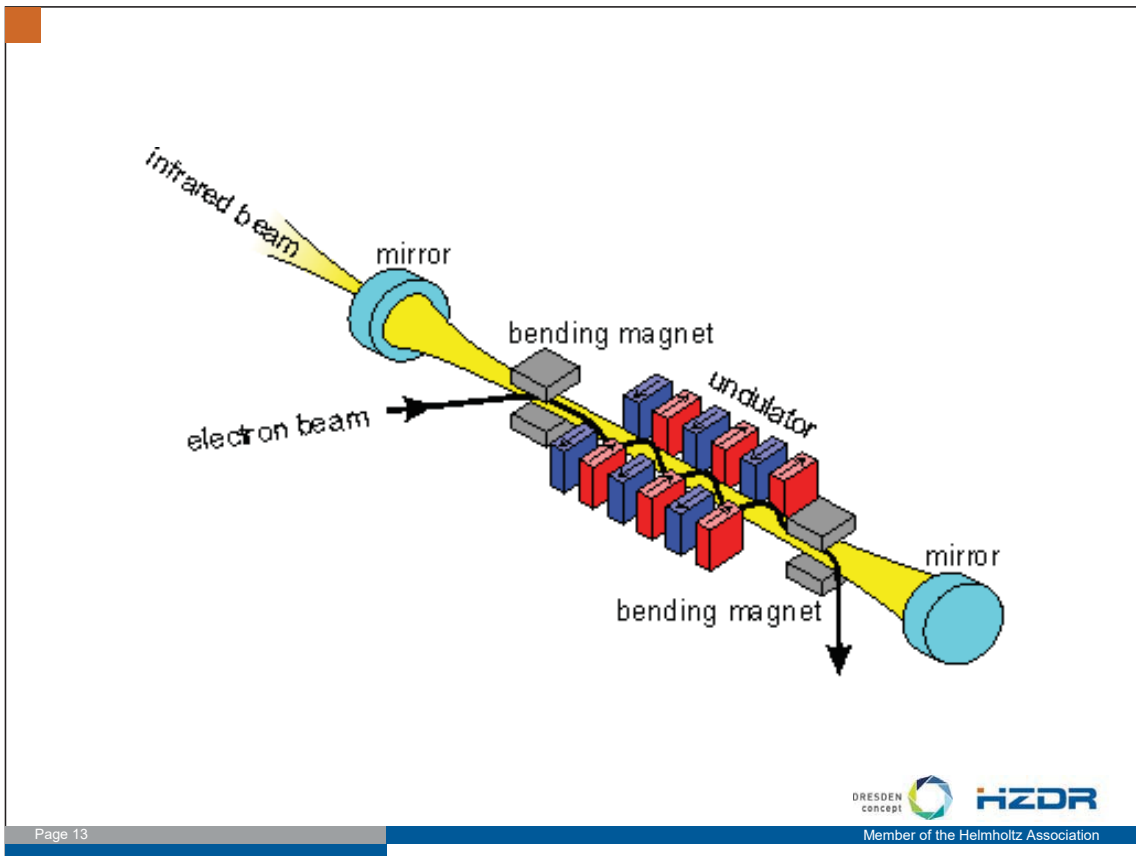
Page 10

There are many things that you can do with electrons !




ELBE Layout



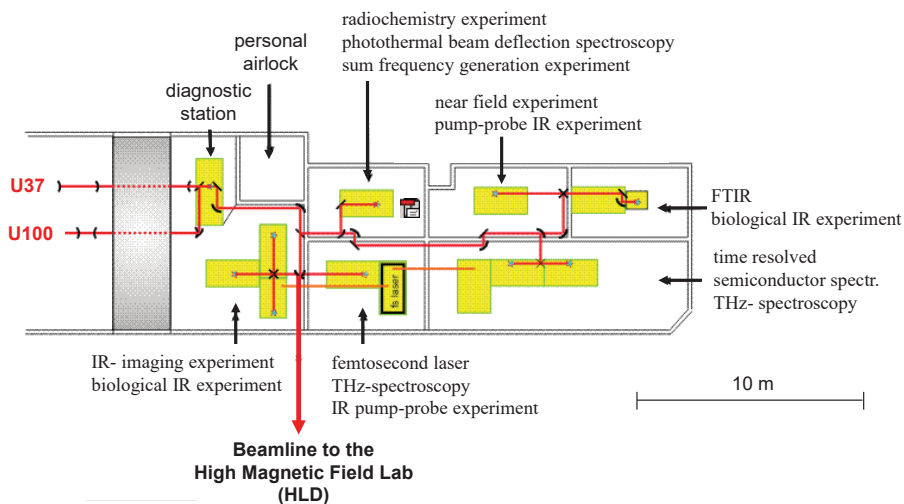


	FEL1 (U37)*	FEL2 (U100)
Spectrum	5 – 40 μm 7.5 – 60 THz	18 – 250 μm 1.2 – 16.7 THz
Avg. power	$\leq 44 \text{ W}$	65 W (42, 83 μm)
Pulsewidth	0.7 – 4 ps	1 – 25 ps
Peak power	$\leq 1.5 \text{ MW}$ 34W/14.3μm/0.7ps	$\leq 5 \text{ MW}$
Max. pulse energy	$\leq 3.4 \mu\text{J}$	5 μJ
Peak Field ($\lambda / d / t_p$)	$\leq 5 \text{ MV/cm (TBD)}$	$\leq 600 \text{ kV/cm}$ 30μm/300mm/3.5ps
Bandwidth $\Delta\lambda/\lambda$	0.4 – 3.4 %	0.4 – 2 %
Linear polarization	> 98 %	> 98 %

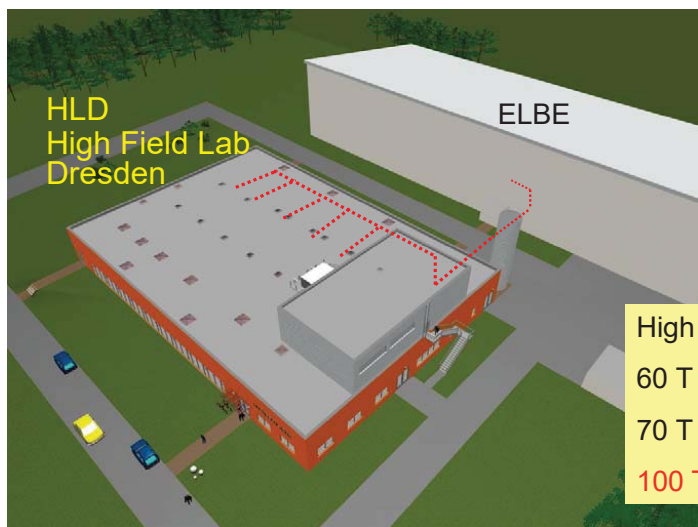


 Member of the Helmholtz Association

FELBE Optical User Labs



High Magnetic Field Lab & FELBE

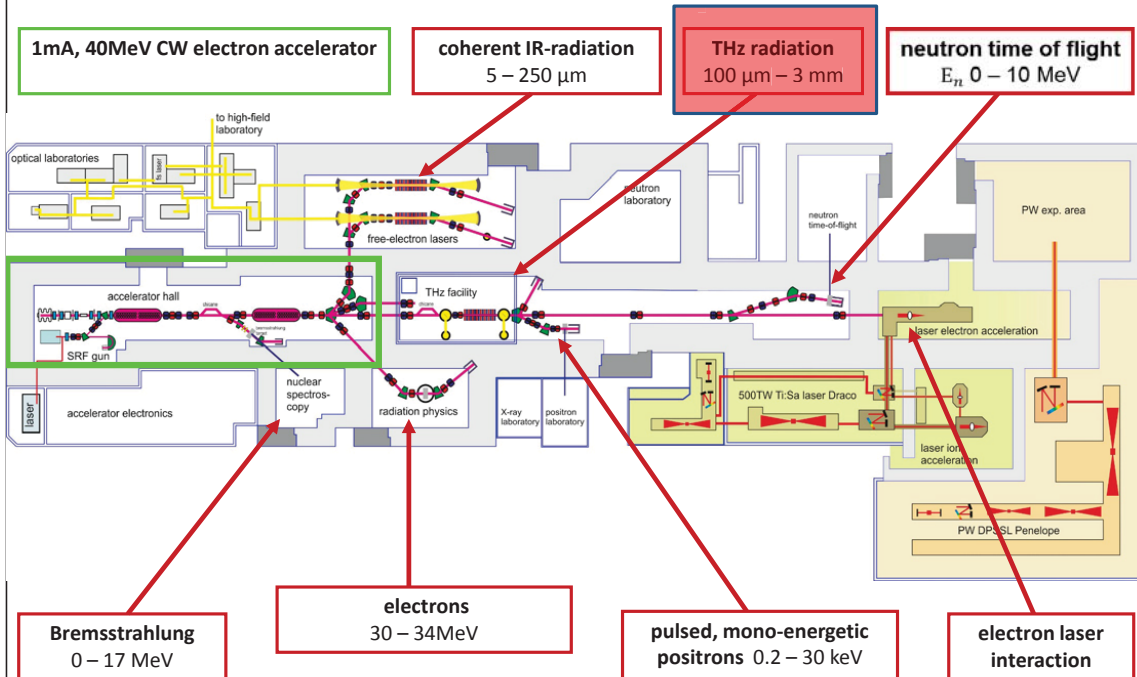


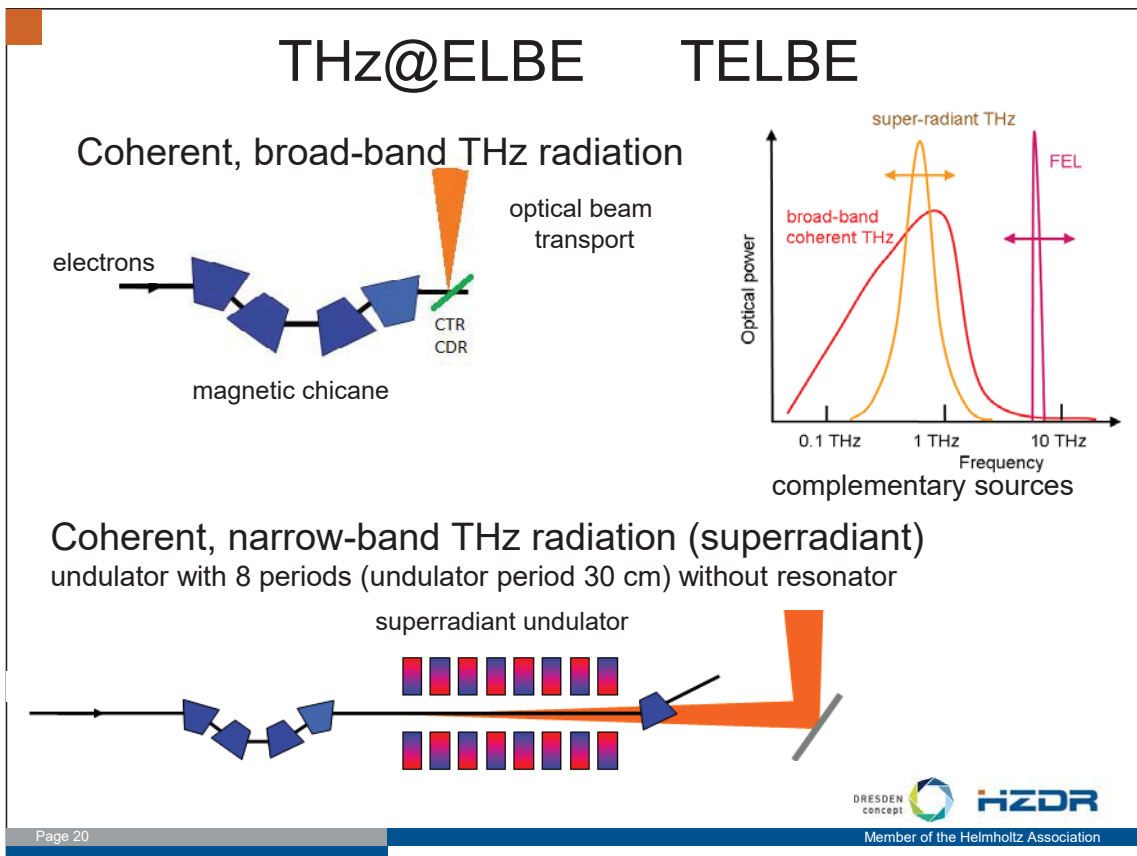
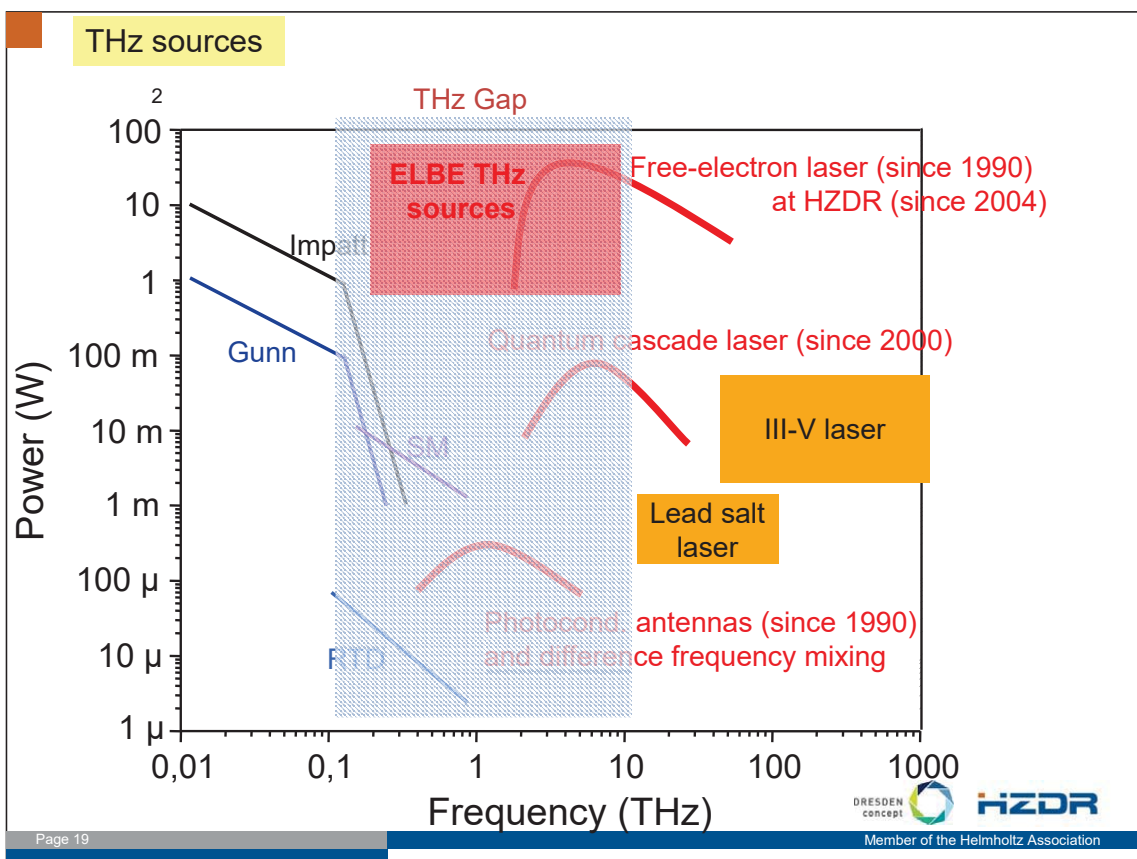
High Field Lab Dresden
 60 T @ 1000 ms
 70 T @ 100 ms
 100 T @ 10 ms

Combination of ELBE FEL (4 ... 280 μm) and High Magnetic Field Lab
 IR spectroscopie at high magnetic fields

$$2\mu_B \cdot 100 \text{ T} \gg h \cdot c / 100 \mu\text{m}$$

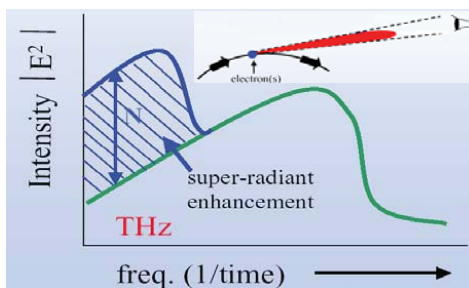
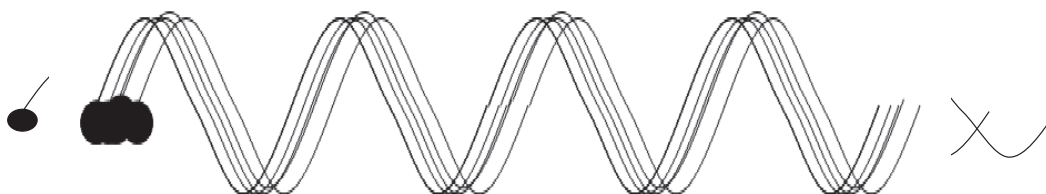
ELBE Layout



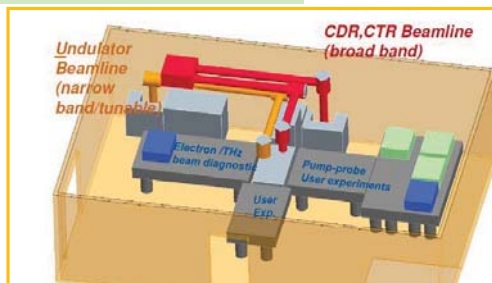
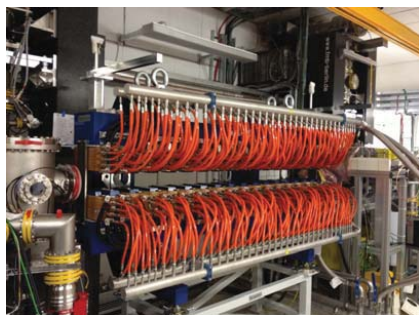


short pulses, high bunch charge \rightarrow coherent THz radiation

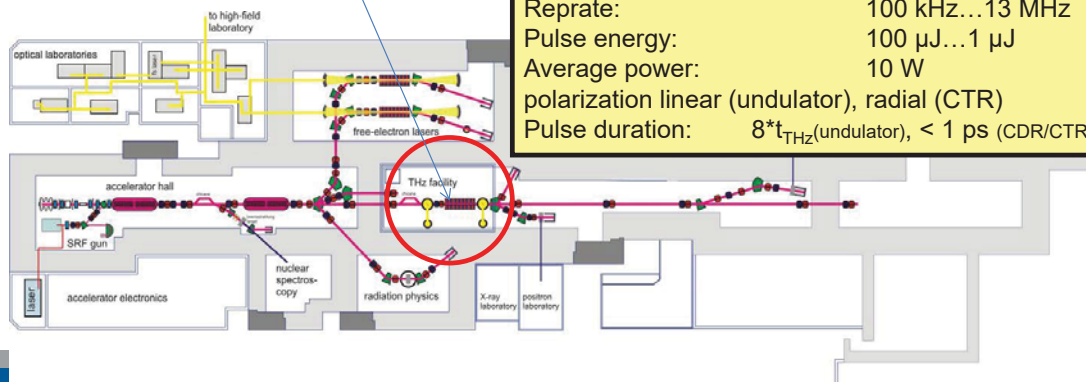
$$I_{\text{coherent}} \propto N_e^2$$

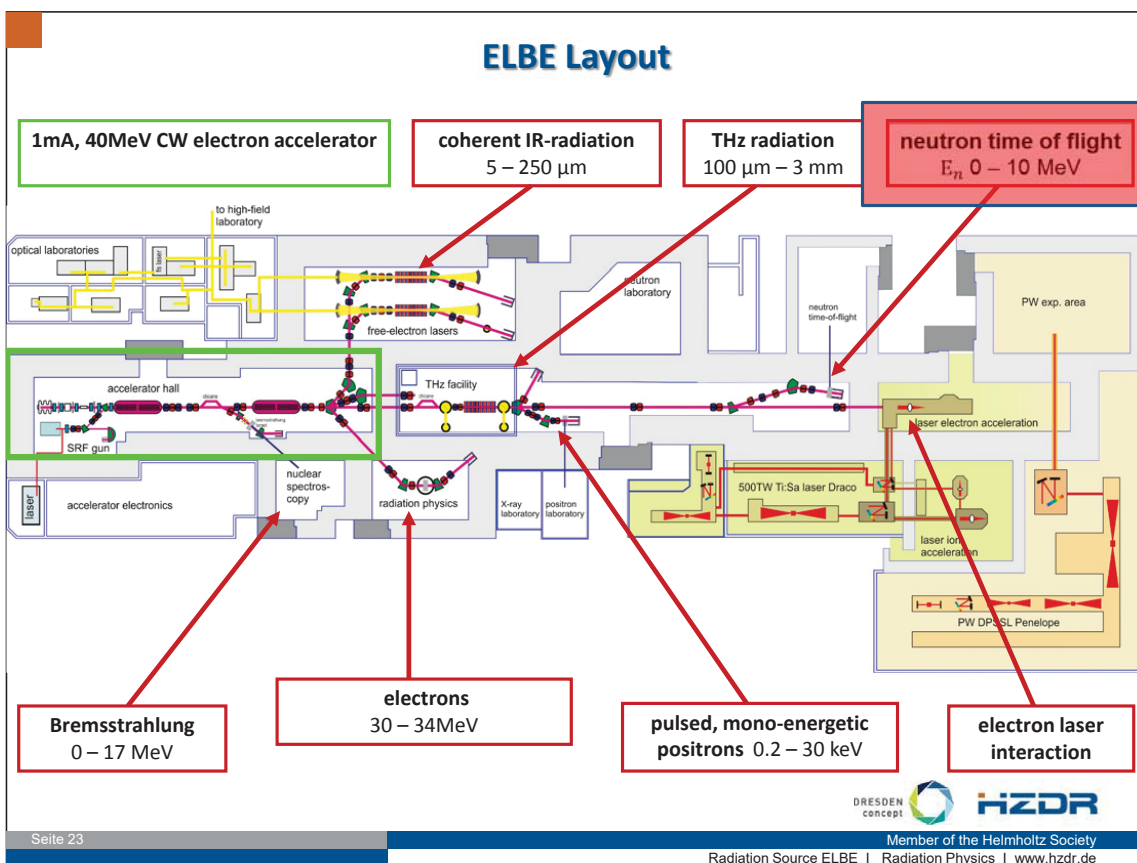


THz Beams - TELBE



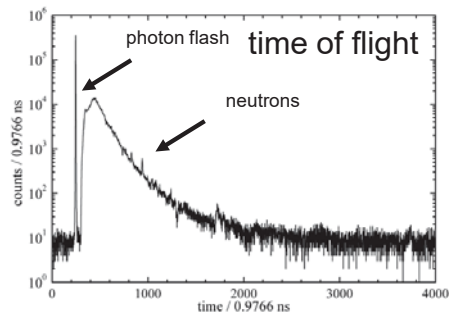
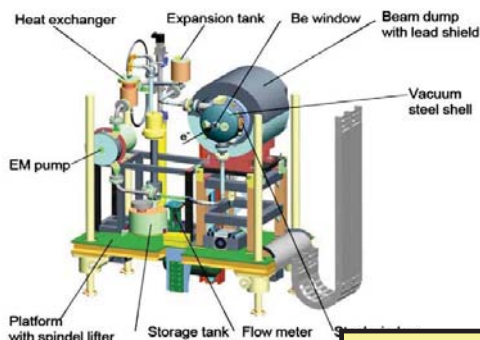
Expected parameters	
Spectral range:	100 μ m – 3mm
Spectral bandwidth:	12% (undulator), 100% (CDR/CTR)
Reprate:	100 kHz... 13 MHz
Pulse energy:	100 μ J... 1 μ J
Average power:	10 W
polarization	linear (undulator), radial (CTR)
Pulse duration:	$8 \cdot t_{\text{THz}}$ (undulator), < 1 ps (CDR/CTR)



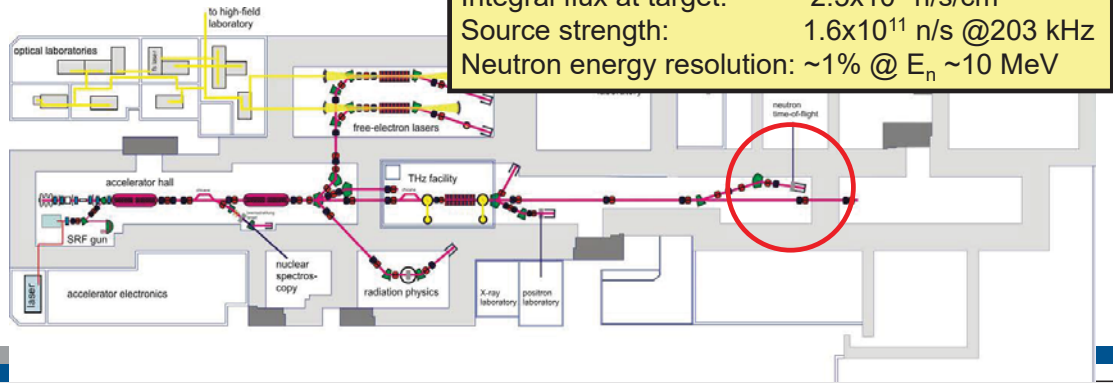


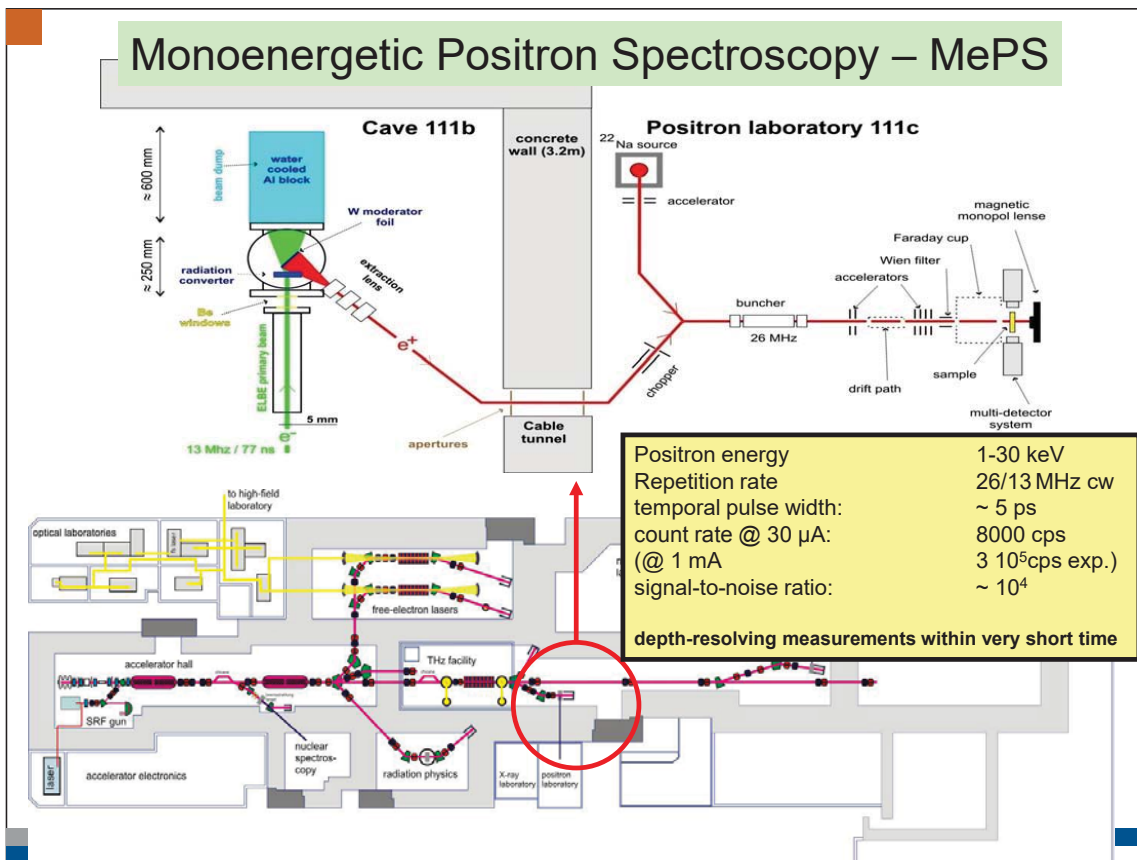
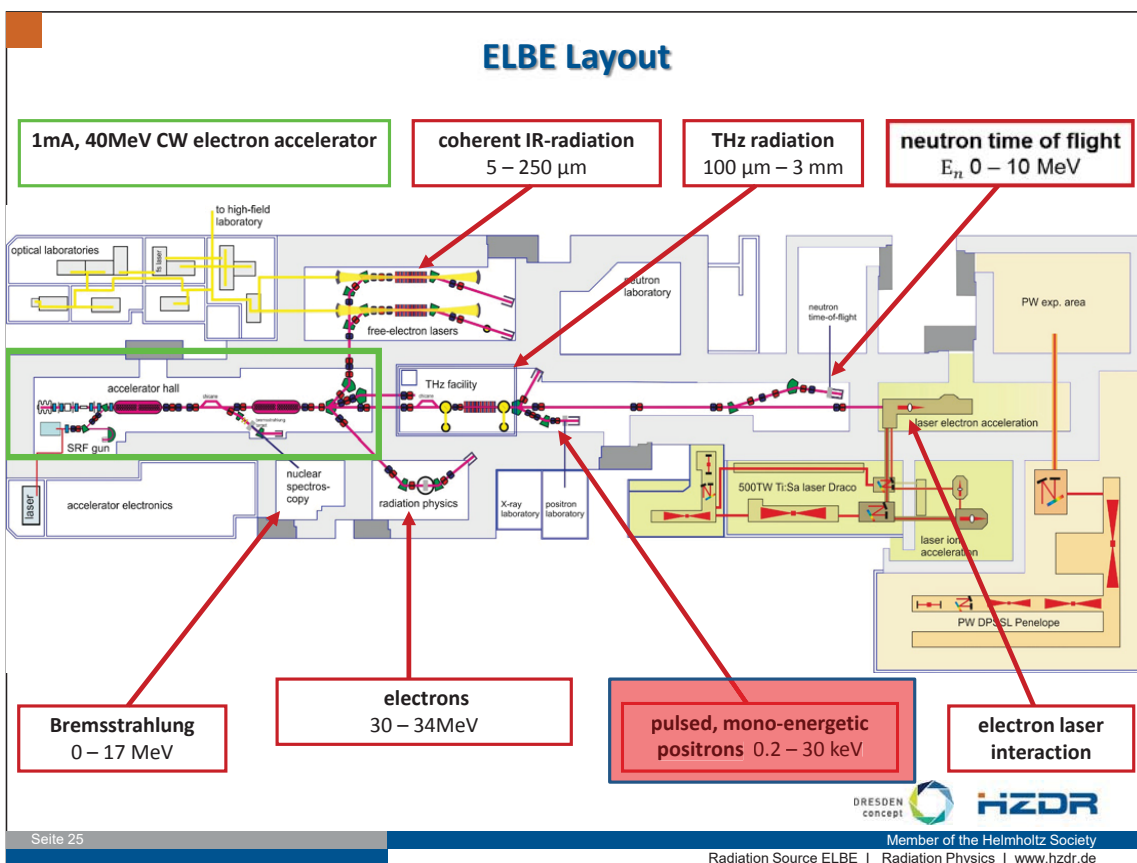
Seite 23

Neutron Time of Flight experiments - nELBE



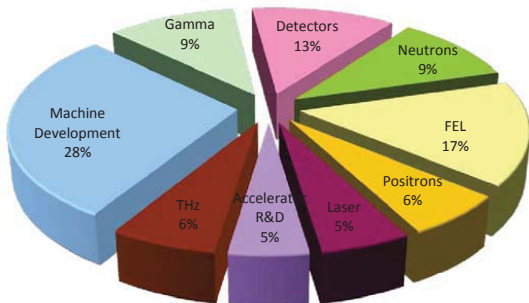
Integral flux at target: $2.5 \times 10^4 \text{ n/s/cm}^2$
Source strength: $1.6 \times 10^{11} \text{ n/s @203 kHz}$
Neutron energy resolution: $\sim 1\% \text{ @ } E_n \sim 10 \text{ MeV}$



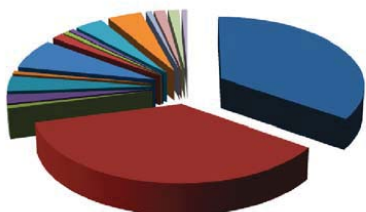


ELBE user statistics and user access

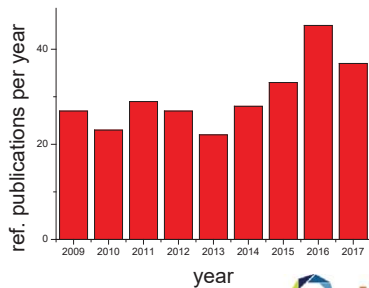
Typical ELBE beamtime distribution



- 24/7 mode of operation
- ~ 6000 beam hours/y
- users from 17 countries
- ~ 70% external users
- + 90 % uptime
- overbooking factor ~ 1.5 – 2
- Access via digital GATE system
- Int. SAC evaluates proposals
- Trans-national user access



- | | | |
|------------------|-----------|-----------|
| ■ Helmholtz | ■ Germany | ■ Poland |
| ■ Italy | ■ Russia | ■ Denmark |
| ■ US | ■ China | ■ Turkey |
| ■ Korea | ■ Belgium | ■ Japan |
| ■ Czech Republic | ■ Spain | ■ Sweden |



MML IN-HOUSE RESEARCH

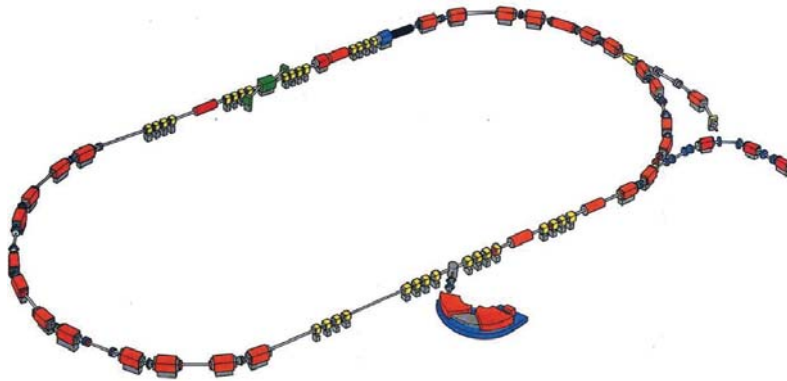
Peter Michel
Institute of Radiation Physics

DRESDEN concept HZDR
Member of the Helmholtz Association



Vielen Dank

DRESDEN concept HZDR
Member of the Helmholtz Association



New developments and experience with real-time signal processing for beam diagnostics at COSY.

April 16, 2018 | Ilja Bekman, Karl Reimers | IKP-4

Member of the Helmholtz Association



Outline

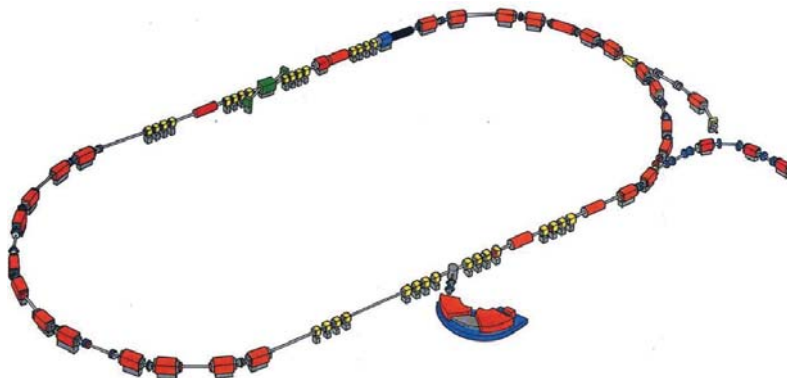
- Introduction to COSY
- Beam Diagnostics at COSY
- Components in Detail
 - EPICS control system
 - FPGA usage cases

Member of the Helmholtz Association

April 16, 2018

Slide 1





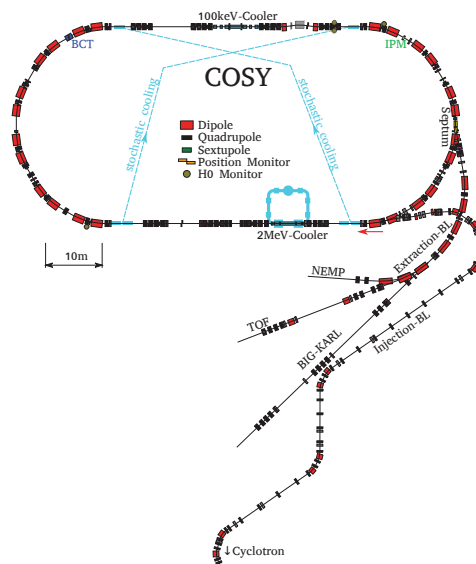
Part I: Introduction

Member of the Helmholtz Association



Introduction to COSY

- by Institute of nuclear physics
- COoler SYnchrotron (COSY)
- Cyclotron JULIC
- 184 m circumference
- storage ring for p+ and deuterons
- polarized and unpolarized beams
- 294 MeV/c up to 3.65 GeV/c
- stochastic and 2x electron cooling
- EDM precursor experiment



Member of the Helmholtz Association

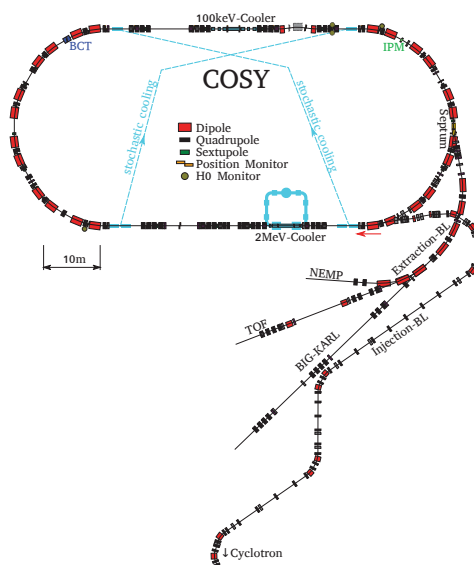
April 16, 2018

Slide 2



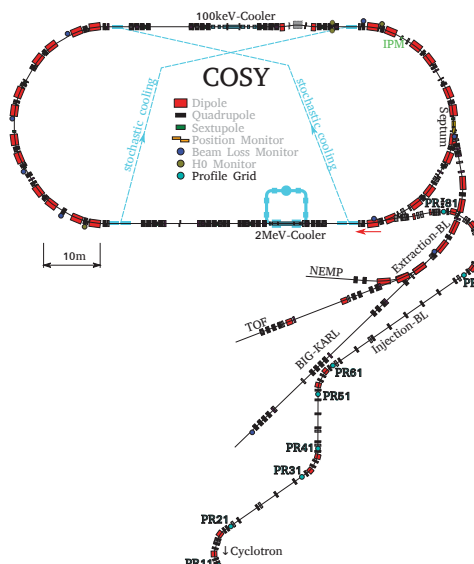
Diagnostics at COSY: Highlights

- Control and diagnostics of the beam ensure the beam delivery
- Several diagnostic systems are operating at COSY:



Diagnostics at COSY: Highlights

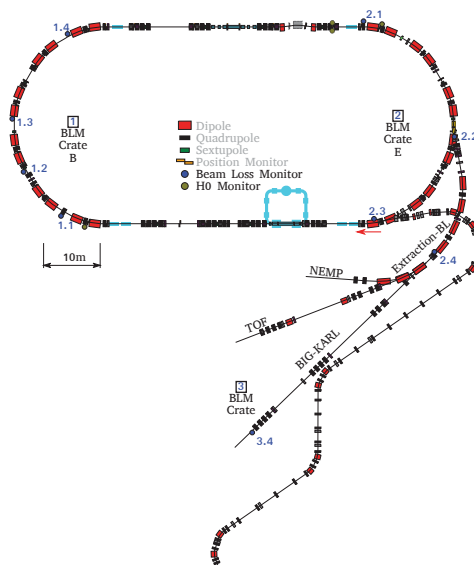
- Control and diagnostics of the beam ensure the beam delivery
- Several diagnostic systems are operating at COSY:
 - Profile Grids



- EPICS used.

Diagnostics at COSY: Highlights

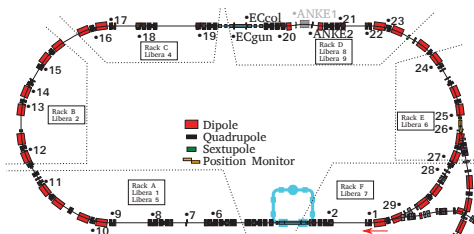
- Control and diagnostics of the beam ensure the beam delivery
- Several diagnostic systems are operating at COSY:
 - Profile Grids
 - Beam Loss Monitor



- EPICS used.
- FPGA used.

Diagnostics at COSY: Highlights

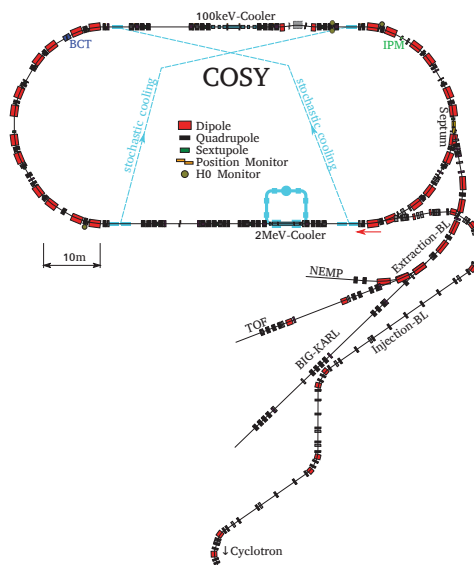
- Control and diagnostics of the beam ensure the beam delivery
- Several diagnostic systems are operating at COSY:
 - Profile Grids
 - Beam Loss Monitor
 - Beam Position Monitor



- EPICS used.
- FPGA used.

Diagnostics at COSY: Highlights

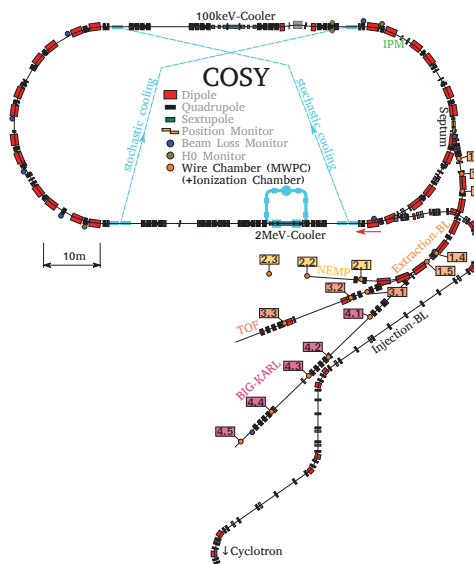
- Control and diagnostics of the beam ensure the beam delivery
- Several diagnostic systems are operating at COSY:
 - Profile Grids
 - Beam Loss Monitor
 - Beam Position Monitor
 - Ionization Profile Monitor
 - Beam Current Monitor



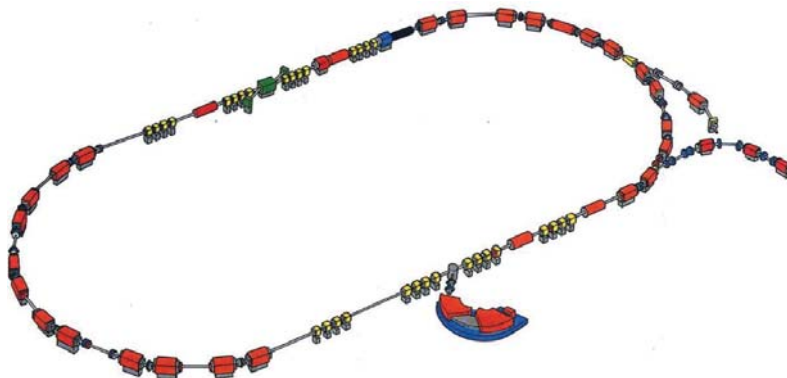
- EPICS used.
- FPGA usage envisaged.

Diagnostics at COSY: Highlights

- Control and diagnostics of the beam ensure the beam delivery
- Several diagnostic systems are operating at COSY:
 - Profile Grids
 - Beam Loss Monitor
 - Beam Position Monitor
 - Ionization Profile Monitor
 - Beam Current Monitor
 - Multi Wire Proportional Chambers
 - Ionization Chambers



- EPICS used.
- FPGA used.



Part II: EPICS

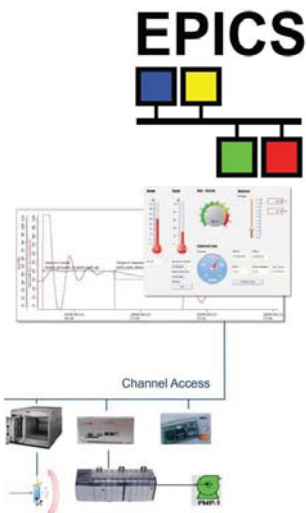
Member of the Helmholtz Association



EPICS: Intro

Experimental Physics and Industrial Control System

- distributed control system open-source software
- server-client nodes on top of standard network infrastructure via **Channel Access** protocol
- Modular, flexible and scalable; connecting and controlling computers and hardware
- CSS GUI (Control System Studio), Archiver appliance
- Dedicated user community, meeting 2x per year; commercial support
- Used at ESS, PSI, APS, NSLS-II, SNS, COSY and others



Ref: [1]

Member of the Helmholtz Association

April 16, 2018

Slide 4

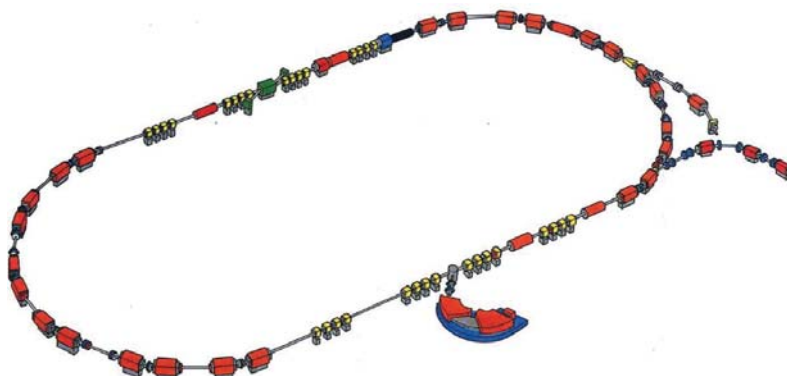
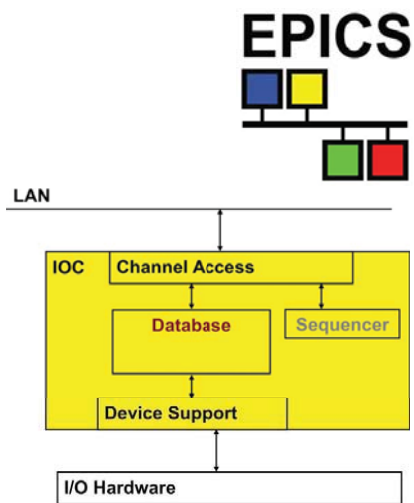


EPICS: IOC

Input/Output Controller

- A server unit interfacing actual hardware and performing controlling tasks
- Database of **Process Variables**, data/control interface
- Event/changes driven

- soft IOC or custom device support in multiple programming languages (C, Python, LabView)
- Written and cross-compiled linux driver (memory-map) for custom SoC firmware to be accessible via EPICS

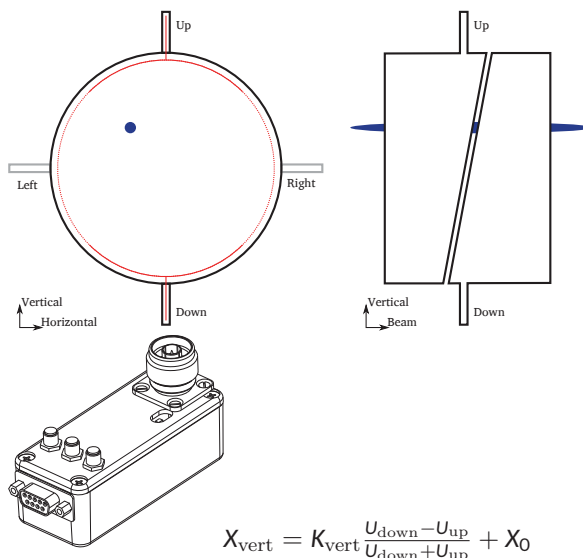


Part III: Beam Position Monitor

Beam Position Monitor

Principle

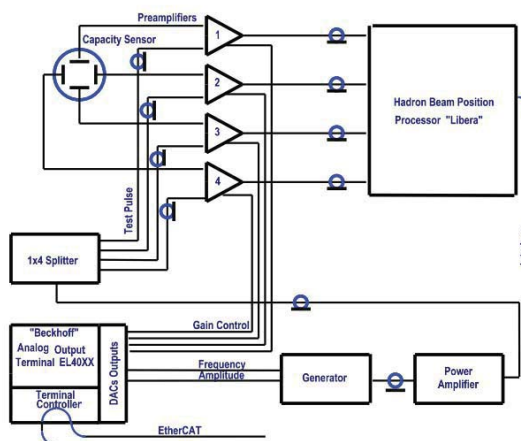
- Two electrodes per direction sense charges induced by bunched beam
- 4x capacitive pickup amplifiers the signals
- Gain of the amplifiers is calibrated and controlled remotely



Beam Position Monitor: DAQ

Signal Processing

- Libera Hadron system records 2 signals per direction
- μ TCA cards, 250MS/s 16bit ADCs, Virtex 6 on mezzanines, Linux OS on mainboard
- One unit for up to 4 BPM stations (X and Y)



- EPICS API used (more info in 3 slides)



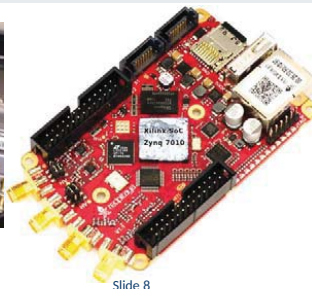
Beam Position Monitor: Commissioning

Gate Generator

- Red Pitaya board used as gate and signal generator on test system
- same device for emulating:
 - 25sec + 5sec gate
 - 10MHz ref. clock
 - 1MHz machine clock
 - two 1MHz sine waveforms

Red Pitaya

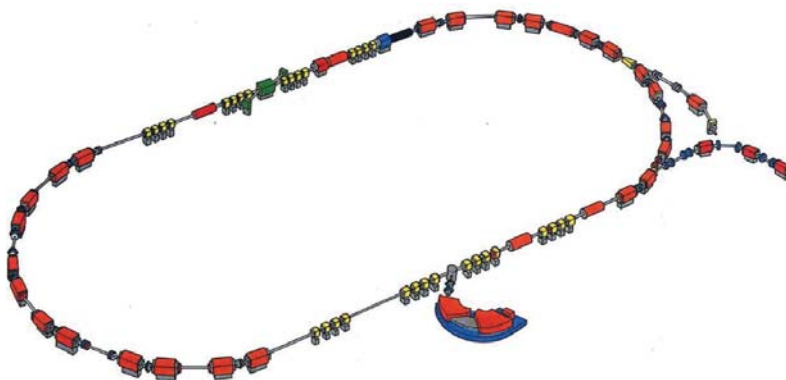
- Xilinx Zynq-7010 SoC
- 2x 14-bit ADC
- 2x 14-bit DAC
- 16x GPIO pins
- (125 MS/s, 50MHz BW)
- + periph. ; \varnothing (300 Eur)



Member of the Helmholtz Association

April 16, 2018

Slide 8



Part IV: Multi Wire Proportional Chambers and Ionization Chambers

Member of the Helmholtz Association



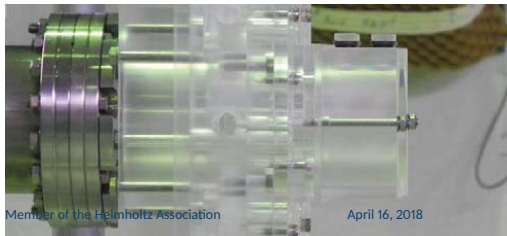
Multi Wire Proportional Chambers

Principle

- Wires flushed with gas, at high potential to the chamber
- Signal proportional to energy deposit
- Mixture 90%Ar, 9%CO₂, 1%Heptan
- 64 wires per X and Y

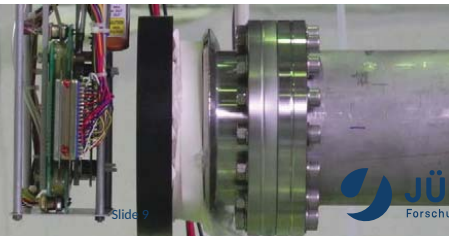
Read-Out

- ADC data processed by M68000; GPIB
- Profiles sampled 5Hz or up to 100Hz in bust mode
- Served via EPICS: readout, drivers, gas
- CSS GUI for operators/maintainers



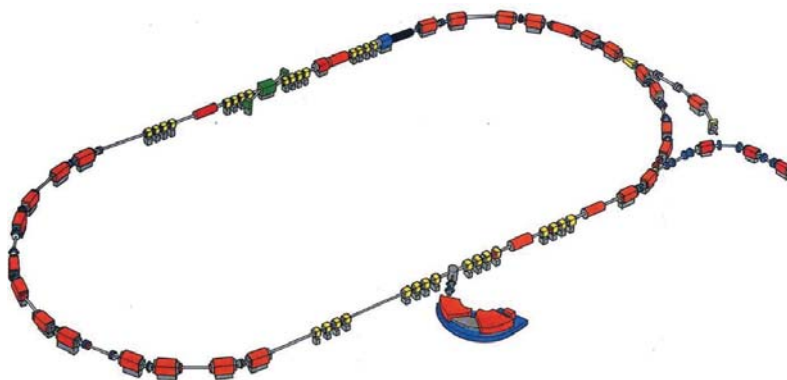
Member of the Helmholtz Association

April 16, 2018



Slide 9

JÜLICH
Forschungszentrum



Part V: Ionization Chambers

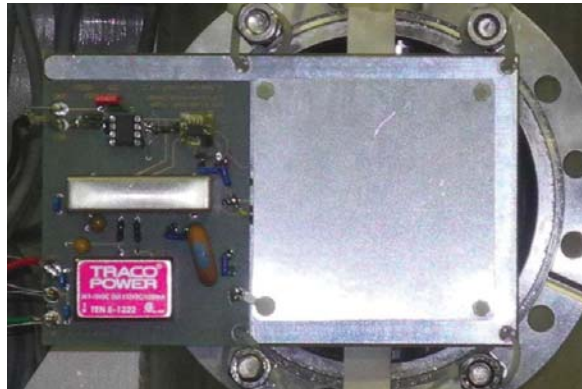
Member of the Helmholtz Association

JÜLICH
Forschungszentrum

Ionization Chambers

IC: Principle

- Ionization between two electrodes under high voltage
- Measured current proportional to beam intensity

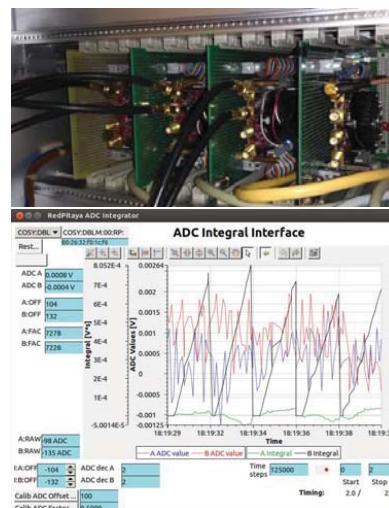


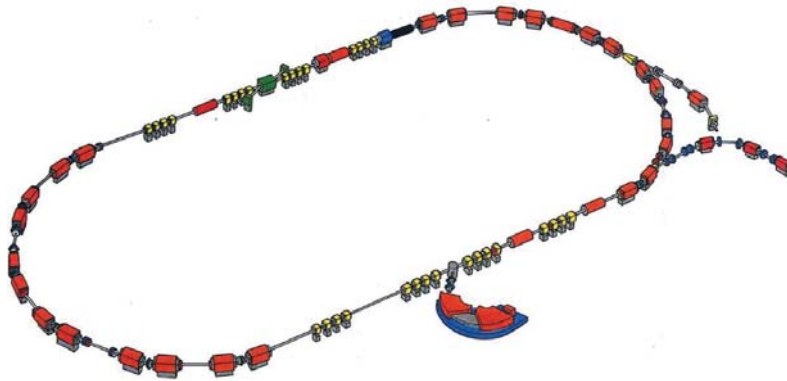
- Same containers as MWPCs

Ionization Chambers: DAQ

Readout

- Red Pitaya ADC inputs are used for sampling
- Integration is performed on the PL of SoC
- Operator GUI; measured values archived
- Flexible parametrisation, transparent for the Oscilloscope function
 - 8ns-30s sampling period
 - adjustable ADC baseline
 - signed ADC value decimation (ignore 1,2,4,8,12 LSBs)
 - 10Hz integral value output





Part VI: Profile Grids

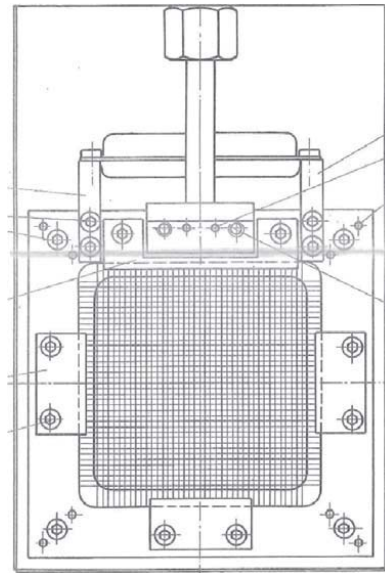
Member of the Helmholtz Association



(Profile) SEM Grids

Principle

- Vacuum enclosed Harps collecting $\mathcal{O}(\text{pA})$ charges
- two lateral directions are measured
- Beagle Bone single board computer for reading the ADC electronics runs EPICS IOC

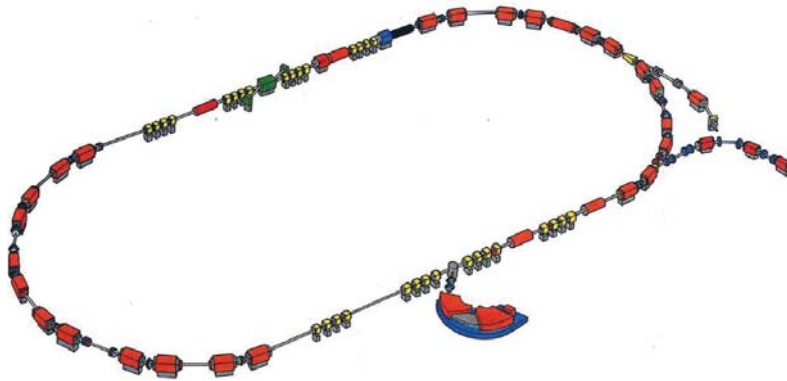


Member of the Helmholtz Association

April 16, 2018

Slide 12



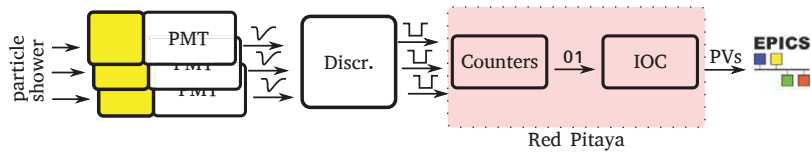


Part VII: Beam Loss Monitor

Member of the Helmholtz Association



Beam Loss Monitor



Principle

- Multiple reasons for beam losses, sometimes more sensitive than Beam Current Monitor.
- Signals from the photo-sensor with a scintillator are read out and processed.
- Counting particles (showers) escaping the beam line.
- Information from several location needed to oversee the beam losses.

Member of the Helmholtz Association

April 16, 2018

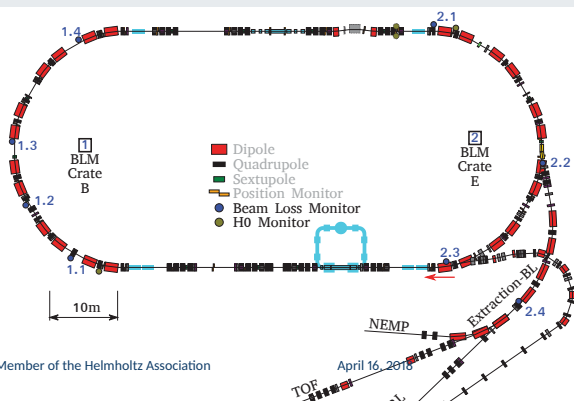
Slide 13



Beam Loss Monitor

Hardware

- Encapsulated scintillator and PMT
- External high voltage power supply, amplification and read-out
- Discriminator and Red Pitaya board for DAQ



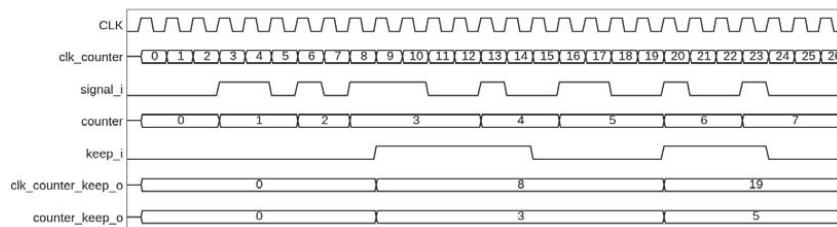
Member of the Helmholtz Association

Slide 14

- Same SD-card image on all devices
- Function dependent on position is encoded via MAC



Beam Loss Monitor: DAQ



DAQ on SoC

- rate counters for discriminated signals (internally or externally)
- FPGA sampling with 125 MS/s, bandwidths for < 50 MHz input rates
- sample-and-hold scheme for:
 - clock count
 - up to 16x GPIO counts
 - 2x ADC counts
 - (+2x integrals)

- toggle of the hold signal from application (IOC)
- adapted to EPICS 10Hz monitoring rate
- reliable rate estimation (#/t) independent of CPU occupancy

Member of the Helmholtz Association

April 16, 2018

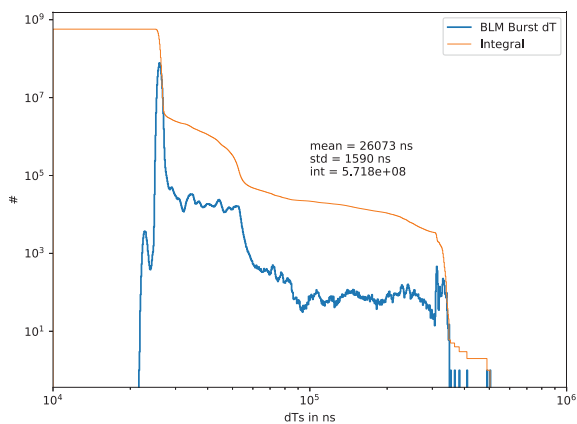
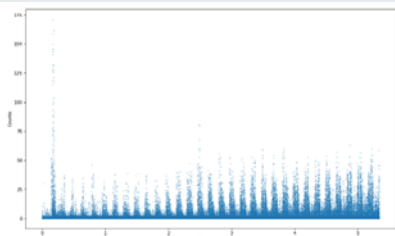
Slide 15



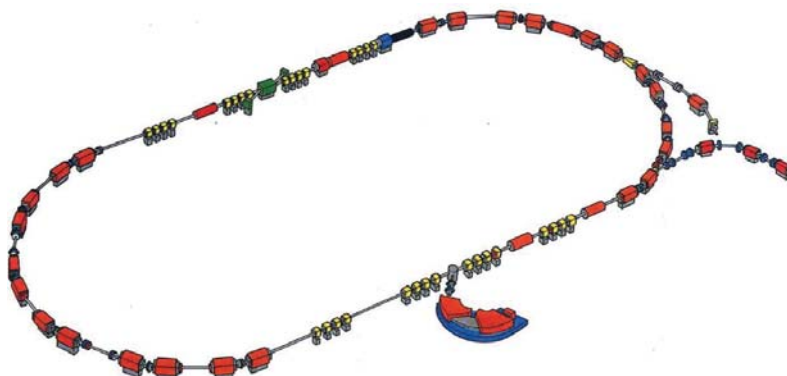
Beam Loss Monitor: More than BLM DAQ

Burst Mode

- For slow extraction beam time developed burst readout
- Scintillator or QFC usage
- PS limited to $\sim 38\text{kHz}$ sampling



- To move to AXI-4 S2MM transfer
- Pulse height/integral/dT analyser achievable



Part VIII: Conclusion

Summary

- COSY introduced
- Multiple upgrades of the diagnostics systems
- Operators using new hardware via EPICS control system
- To transfer more hardware to EPICS
- Usage of standardised SoC (Red Pitaya) with custom firmware and standard interface

Backup information

Contact

contact: i.bekman@fz-juelich.de , k.reimers@fz-juelich.de

References and Further Reading

- [1] "EPICS Database", Kasemir, K (SNS/ORNL), Sep. 2014, FRIB; East Lansing, MI, USA
- [2] "Experimental Physics and Industrial Control System"; <http://www.aps.anl.gov/epics>
- [3] "Red Pitaya STEMLab Documentation". Release 0.97;
<http://redpitaya.readthedocs.io>
- [4] C. Böhme et al., "COSY Orbit Control Upgrade", Proceedings of IBIC2017, Grand Rapids, Michigan, USA.
- [5] "Libera Hadron BPM";
<https://m.i-tech.si/accelerators-instrumentation/libera-hadron>

FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers

Jonas Wolff
SEI-Tagung HZDR, 16.04.2018

HELMHOLTZ SPITZENFORSCHUNG FÜR
GROSSE HERAUSFORDERUNGEN



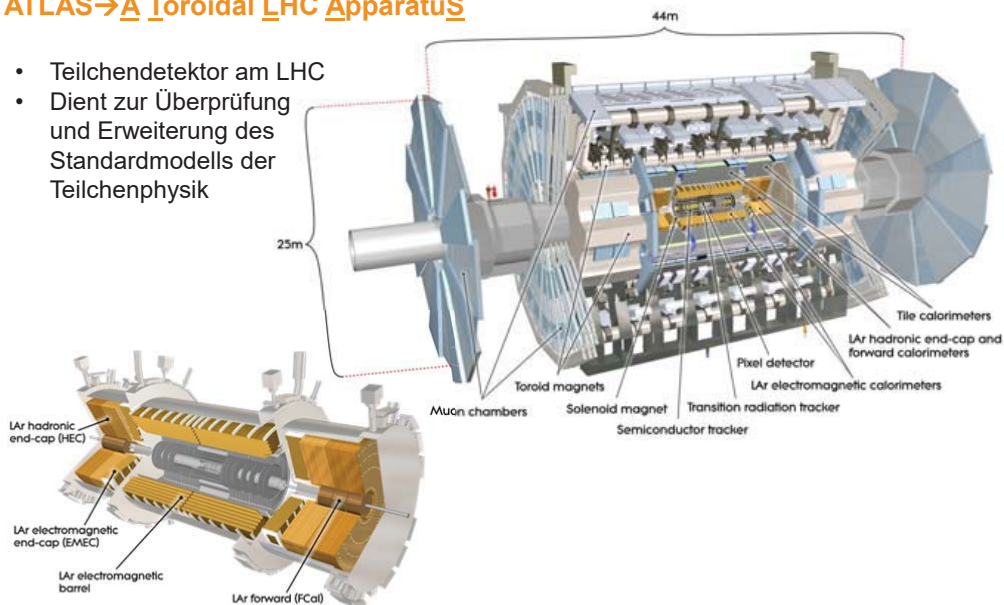
Gliederung

- Das ATLAS-Experiment
- End-of-Substructure Platine (EoS)
- Testaufbau
- FPGA Module

ATLAS-Experiment

ATLAS → A Toroidal LHC Apparatus

- Teilchendetektor am LHC
- Dient zur Überprüfung und Erweiterung des Standardmodells der Teilchenphysik

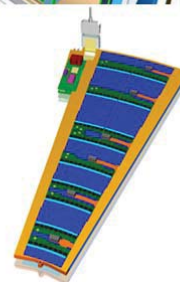
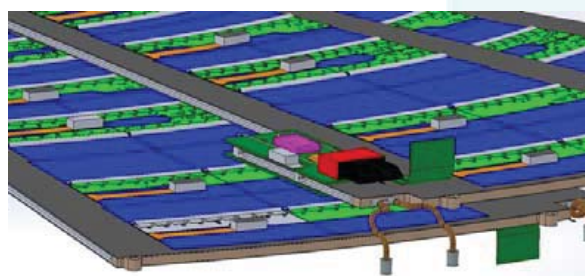
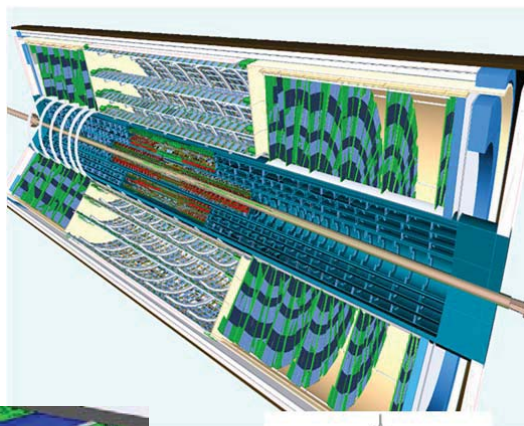


Quelle: CERN

ATLAS-Experiment

ATLAS Aufbau

- homogenes Magnetsystem zum Ablenken der Teilchen
- Innerer Detektoren:
 - Pixeldetektor,
 - **Silizium-Streifendetektor,**
 - Übergangsstrahlungsdetektor
- Kalorimetersystem
- Myon-Detektor

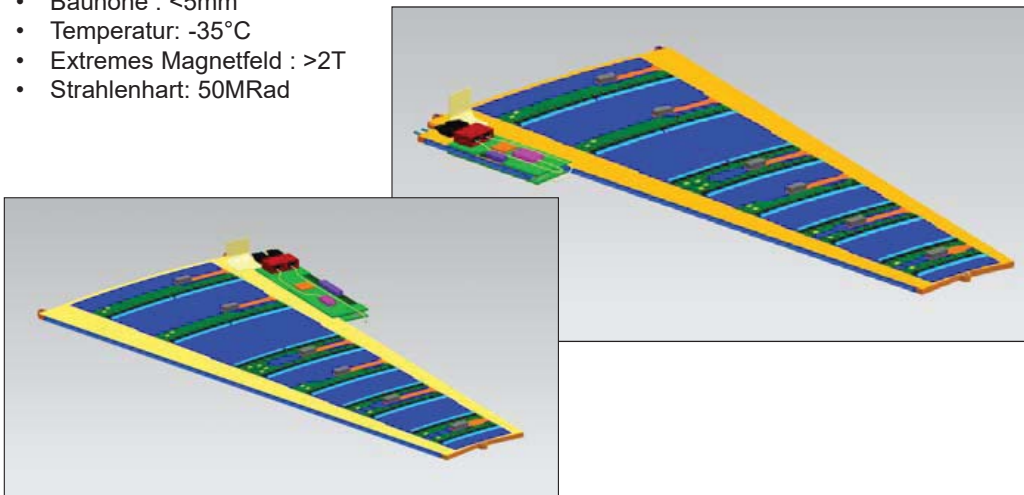


ATLAS-Experiment

Sensorplatine und EoS

Im Grunde ist die EoS Platine ein schneller parallel/seriell Wandler mit sehr speziellen Anforderungen:

- Nutzungsdauer: >20Jahre ohne Wartung/Reparatur
- Bauhöhe : <5mm
- Temperatur: -35°C
- Extremes Magnetfeld : >2T
- Strahlenhart: 50MRad



DESY. | FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers | Wolff Jonas, 16.4.2018

Seite 5

End-of-Substructure Platine

Verschiede Versionen der EoS-Platine GBTx & GBT-SCA / LpGBT

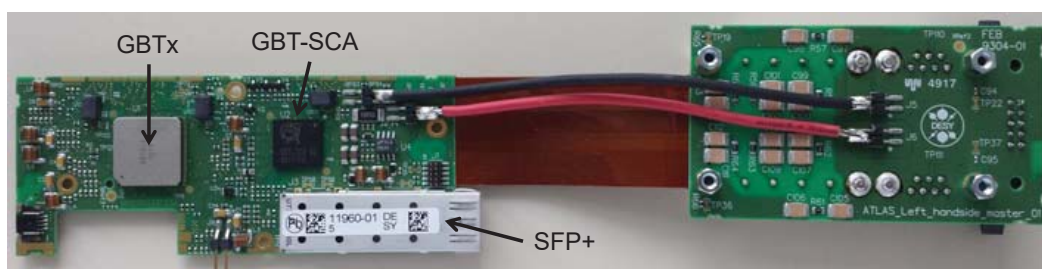
Während der Entwicklung wird es verschieden Versionen der EoS-Platine geben, weil der GBT-Chip vom CERN immer weiter entwickelt wird.

2016/17 → GBTx + GBT-SCA

2018/19 → 2 x LpGBT

Am Ende werden zwölf verschiedene Platinenvarianten im ATLAS-Experiment verbaut sein, je nach Lage und Einbauort.

Drei verschiedene Einbauorte mit je Master und Slave Board jeweils eine Spiegelversion

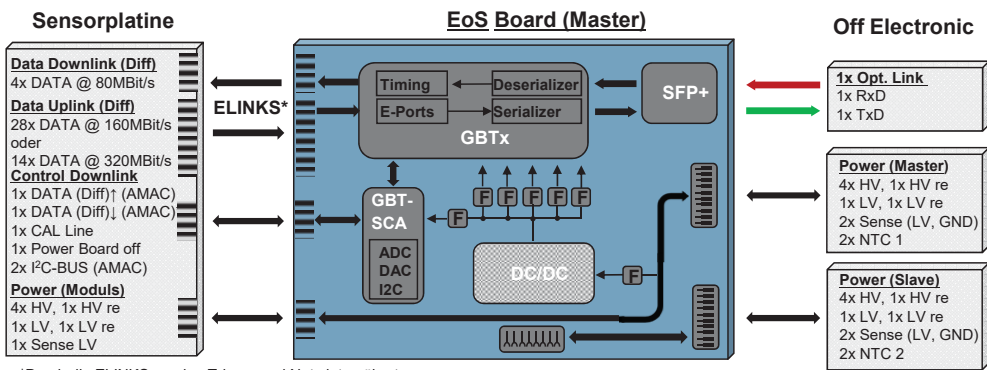


DESY. | FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers | Wolff Jonas, 16.4.2018

Seite 6

End-of-Substructure Platine

Schnittstellen



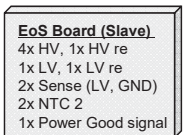
*Durch die ELINKS werden Trigger und Nutzdaten übertragen

Datenraten

Downlink
 12 X 80MBit/s = 0,96 Gbit/s
Uplink
 28 x 160MBit/s = 4,48 Gbit/s oder
 14 x 320MBit/s = 4,48 Gbit/s

EoS Version mit 2x LpGBT

Data Uplink (Diff)
 28x Data @ 640MBit/s (17,92Gbit/s)
 (je LpGBT 14x Data)
Opt. Link über VTRX+
 1x Rx/D
 2x Tx/D



End-of-Substructure Platine

ELINK und optischer Frame

- Der GBT-Chip besitzt verschiedene Frame-Modi, FEC mit und Wide Frame ohne Fehlerkorrektur (FEC 80Bit / Wide Bus 112Bit Nutzdaten)
- Im Uplink wird der Wide Bus benutzt, wegen der höheren Nutzdaten
- Im Downlink kann nur der FEC benutzt werden
- Die Taktrate der Frames liegt bei 40MHz (synchron zur LHC/ATLAS Masterclock)
- G0-G6 sind Gruppen in denen die Daten der ELINKS liegen
 - Je nach Geschwindigkeit sind es die Daten von
 - 2 Elinks mit je 8 Bit → 320MB/s oder
 - 4 Elinks mit je 4 Bit → 160MB/s

Beispiel

Gruppe G2, Frame Bit 64 bis 79
 160MB/s → ELINK 16,18,20,22 mit je 4 Bit
 320MB/s → ELINK 16,20 mit je 8 Bit

Wide Frame Mode/FEC (120 Bit)

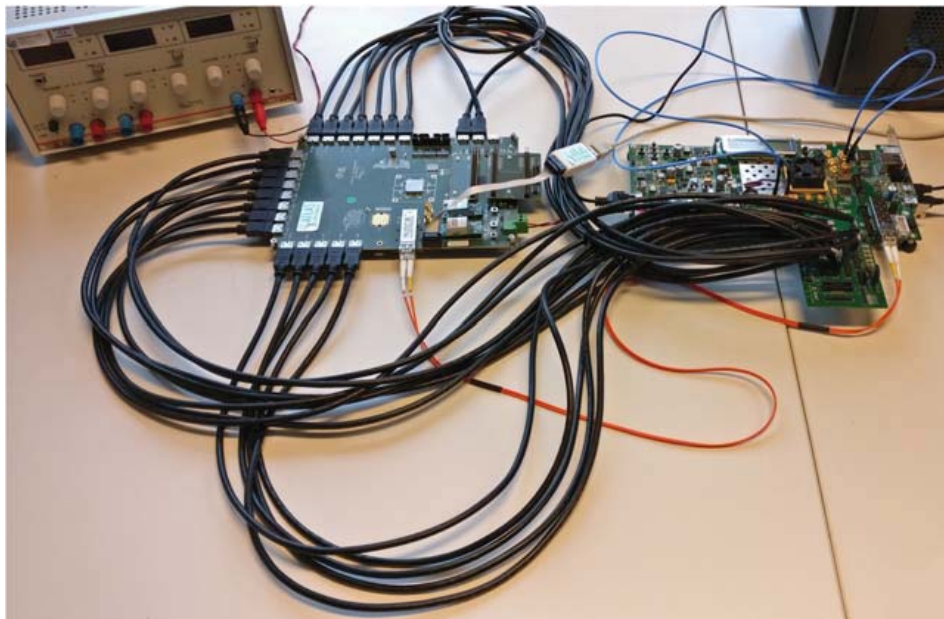
Header	IC	EC	G4	G3	G2	G1	G0	G6/FEC	G5/FEC
4 Bit	2 Bit	2 Bit	16 Bit	16 Bit	16 Bit	16 Bit	16 Bit	16 Bit	16 Bit

IC: Steuerung GBT-SCA (GPIO,DAC; ADC, I²C)

EC: Steuerung GBTx (ELINKS)

Testaufbau

Aktueller Stand



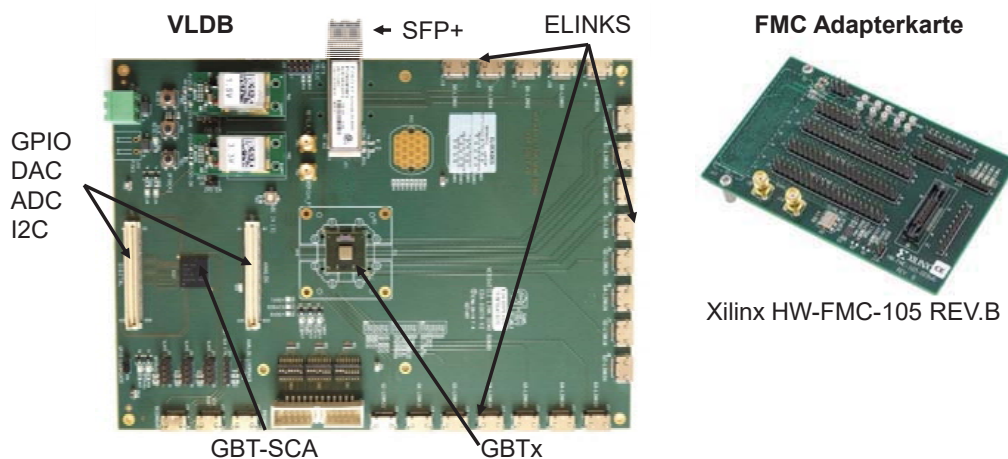
DESY. | FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers | Wolff Jonas, 16.4.2018

Seite 9

Testaufbau

Aktueller Stand

- Weil die EoS Platine noch in der Entwicklung ist und die jeweiligen Adapter noch nicht existieren wird für die Entwicklung der Testbench ein GBTx-Entwicklungsboard benutzt.
- Das vom CERN entwickelte **Versatile Link Demo Board** (VLDB) besitzt alle Eigenschaften der EoS-Platine in der GBTx Version.
- Das CERN stellt zur Kommunikation mit dem VLDB einen FPGA IP Core zur Verfügung



DESY. | FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers | Wolff Jonas, 16.4.2018

Seite 10

Testaufbau

Was ist mit dem FPGA zu testen

Funktionalität der ELINKS in zwei Betriebsmodi mittel Bit Error Rate

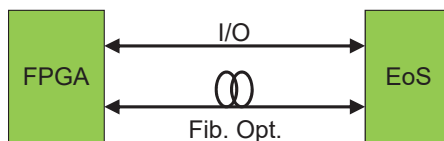
Uplink:
 14 x 320MBit/s (4,48GBit/s) oder
 28 x 160MBit/s (4,48GBit/s)

Downlink:
 12 x 80MBit/s (0,96GBit/s)



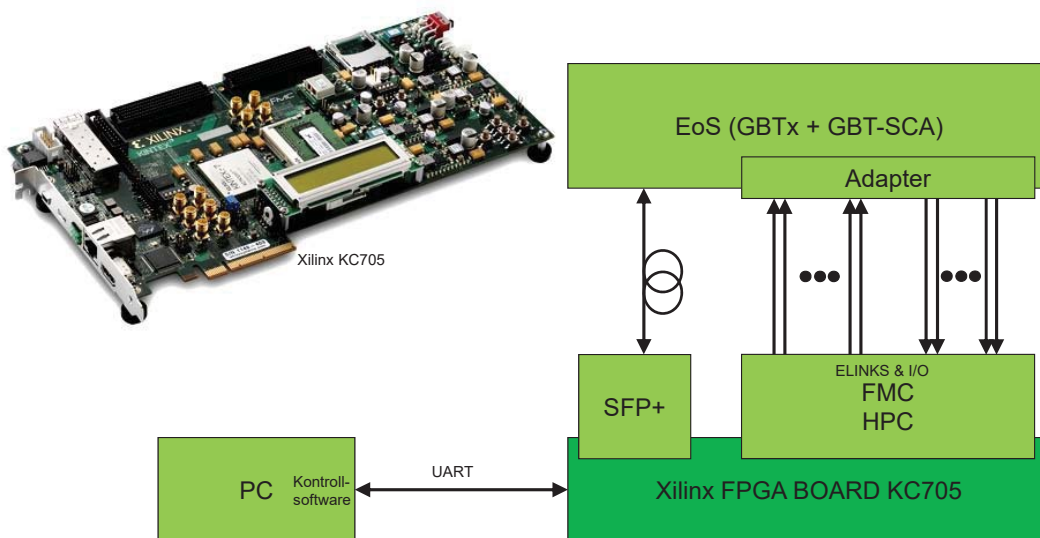
Funktionalität der Schnittstellen

- GPIO
- DAC
- ADC
- I²C-Bus



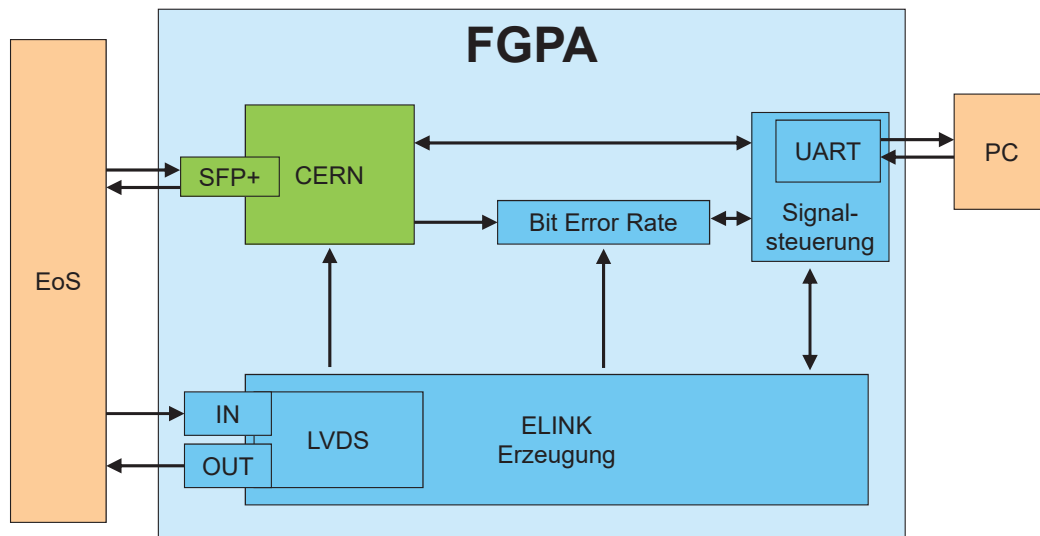
Testaufbau

Geplanter Testaufbau



FPGA-Module

Modulübersicht

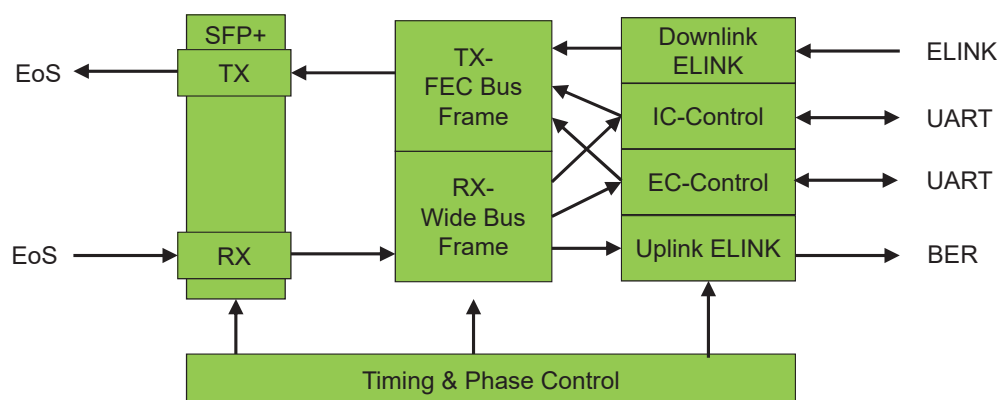


DESY. | FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers | Wolff Jonas, 16.4.2018

Seite 13

FPGA-Module

CERN Core



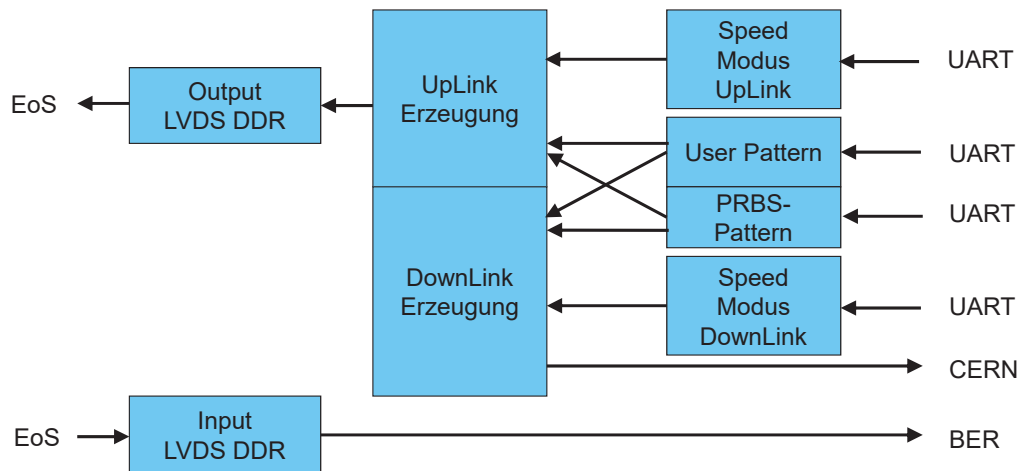
- Der Core wurde vom CERN zur Verfügung gestellt
- Kontrolle, Erzeugung und Empfang des GBTx RX und TX Frames
- Einbindung der IC/EC Steuersignale in den GBTx Frame

DESY. | FPGA basierte Testbench für 10Gbit Daten-Module des ATLAS Trackers | Wolff Jonas, 16.4.2018

Seite 14

FPGA-Module

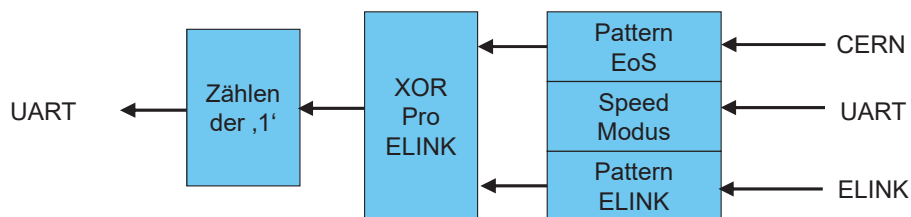
ELINK Erzeugung/Empfang



- Für jeden ELINK kann ein individuelles Pattern eingestellt werden
- Die Geschwindigkeit kann für jede Gruppe separat eingestellt werden
- UpLink und DownLink laufen parallel

FPGA-Module

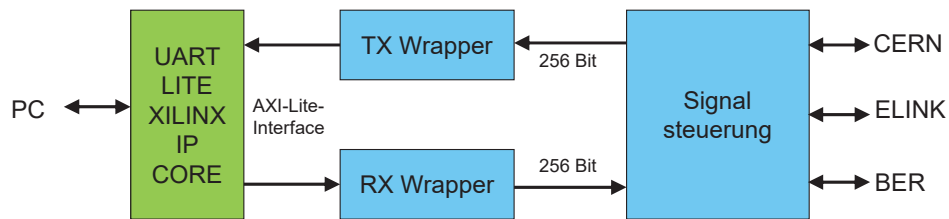
Bit Error Rate (BER)



- ELINK Separierung abhängig vom Speed-Modus des ELINKS
- Pro ELINK wird das Pattern von EoS-Platine und von der ELINK-Erzeugung verglichen
- Mittels XOR werden Unterschiede im Pattern Bitweise ermittelt.
- Der Zähler zählt die Unterschiede pro ELINK und überträgt sie

FPGA

Interface PC



- Zwischen PC und dem FPGA wird eine RS232 Schnittstelle eingesetzt
- FPGA seitig besitzt der UART-LITE IP Core ein AXI-Lite Interface
- Die beiden Wrapper übersetzen das AXI-Lite Interface in ein 256Bit breites Userinterface
- Die Signalsteuerung wiederum erzeugt dann die individuellen Steuerbefehle für die einzelnen Module

Status

Welche Funktionen sind implementiert

- Kommunikation zwischen VLDB und KC705 über 10G
- Kommunikation zwischen KC705 und PC über UART
- Loopbacktest der ELINKS im Up/Downlink
- Kontrollsoftware mit den Grundfunktionen

Welche Funktionen fehlen noch

- BER Modul ist einzeln getestet aber noch nicht implementiert
- Verbindung zu den GPIO / ADC / DAC / I²C Schnittstellen
- Die Kontrollsoftware wird ständig mit neuen Funktionen angepasst

Die Testbench ist noch nicht voll einsatzfähig, aber sie erleichtert uns schon die Funktionstests der Prototypen

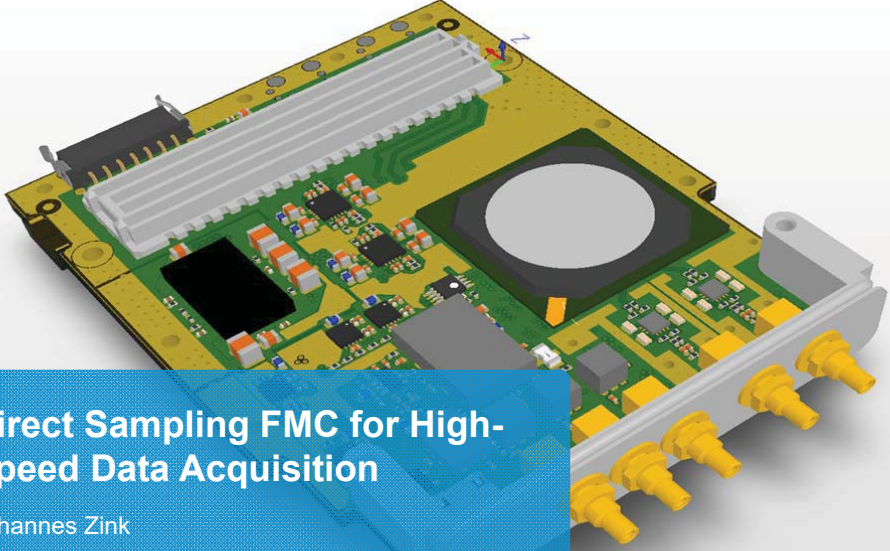
**Vielen
Dank**

Kontakt

DESY. Deutsches
Elektronen-Synchrotron

www.desy.de


Jonas Wolff
FEA
Jonas.Philipp.Wolff@desy.de
040 8998-2585



Direct Sampling FMC for High-Speed Data Acquisition
Johannes Zink


109. SEI Tagung, HZDR 2018

microTCA
TECHNOLOGY LAB
HELMHOLTZ INNOVATION LAB



DFMC-DS800 Übersicht

Direct Sampling FMC for High-Speed Data Acquisition
Johannes Zink, 16.04.2018, Hamburg S. 2




- Single-Width FMC nach ANSI/VITA 57.1 Standard
- 8.5 mm FMC-Steckerhöhe
- luftgekühlt, HF Abschirmkäfig + Kühlkörper geplant
- Frontplatte: 5 RF SSMC + 1 HDMI Type D (micro) Steckverbinder
- 2x JTAG (Tag-Connect)
- 1x ext. Spannungsversorgung
- 2 UFL ADC CLK DBG + 1 Pin Header DBG

109. SEI Tagung, HZDR 2018

microTCA
TECHNOLOGY LAB

HELMHOLTZ
GEMEINSCHAFT



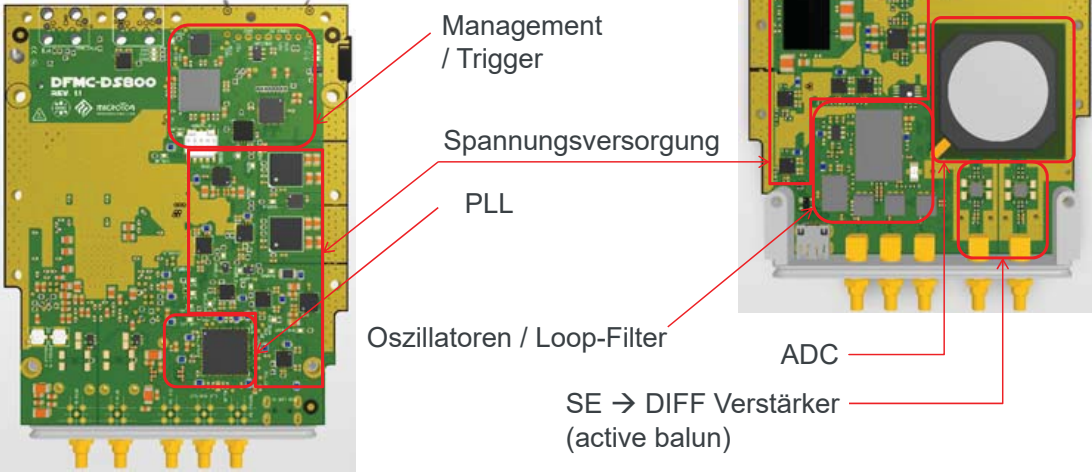
DFMC-DS800 Komponenten

Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg

S. 3

- 12-bits, 500/800 MSP/s dual ch., 1/1.6 GSP/s single ch.
- ADC Eingangsbandbreite: 2.7 GHz
- Vorverstärker Großsignal-Bandbreite: 4.8 GHz
- kein Anti-Aliasing-Filter, Varianten mit bis zu 3.2 GSP/s



Management / Trigger

Spannungsversorgung




PLL

Oszillatoren / Loop-Filter

ADC

SE -> DIFF Verstärker (active balun)

109. SEI Tagung, HZDR 2018

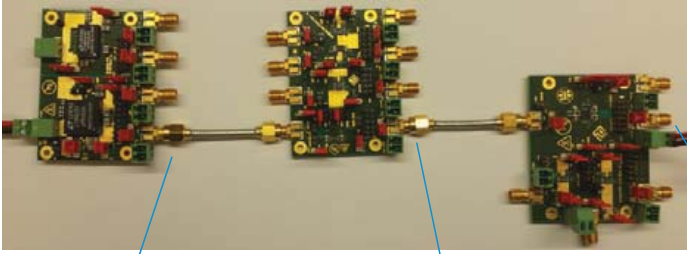
Spannungsversorgung - EVM

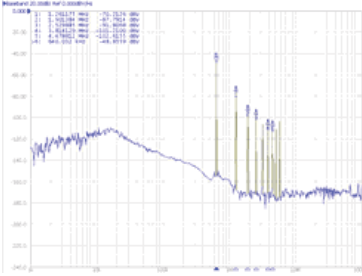
Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg

S. 4

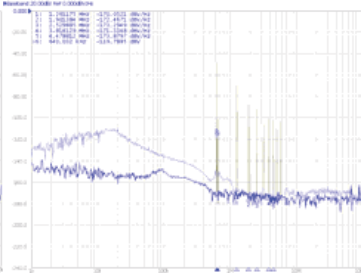
- Spannungsversorgung Evaluation Boards
- Messung des Power Supply Ripple Rejection (PSRR)





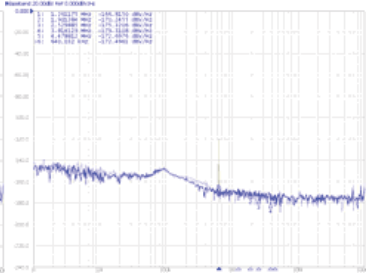
-48dBV@640kHz

→






-119dBV@640kHz

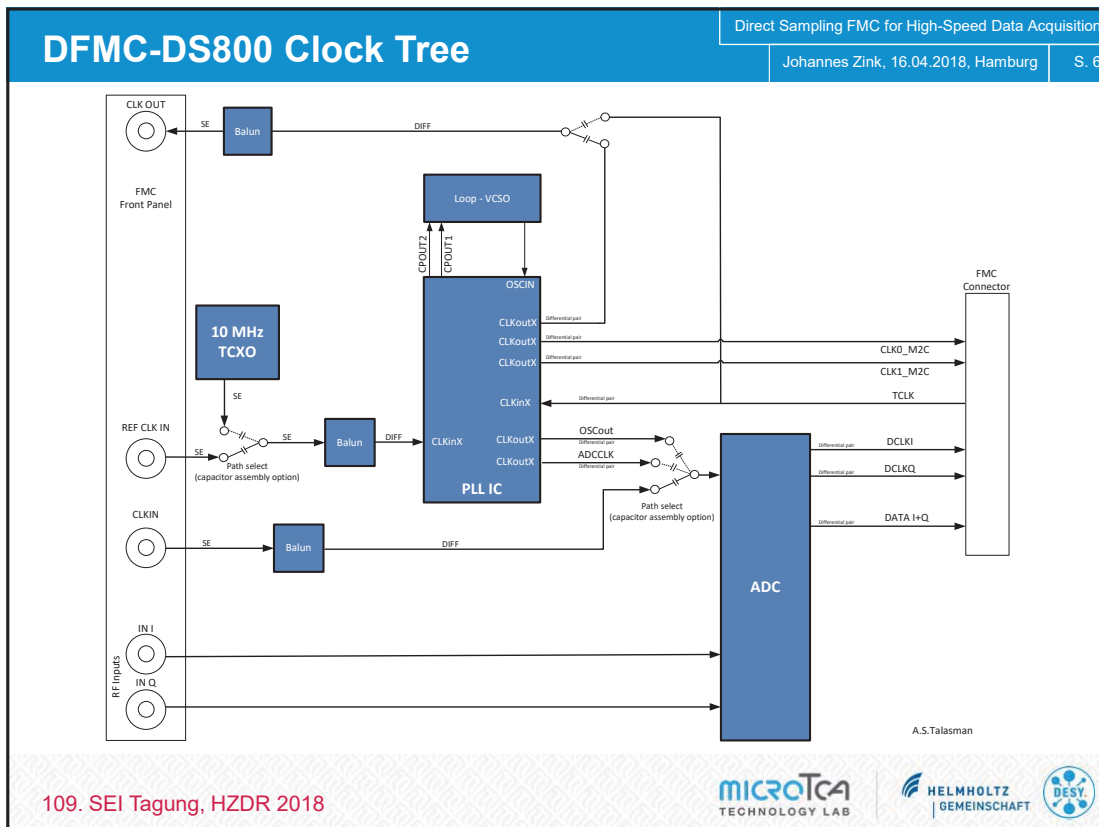
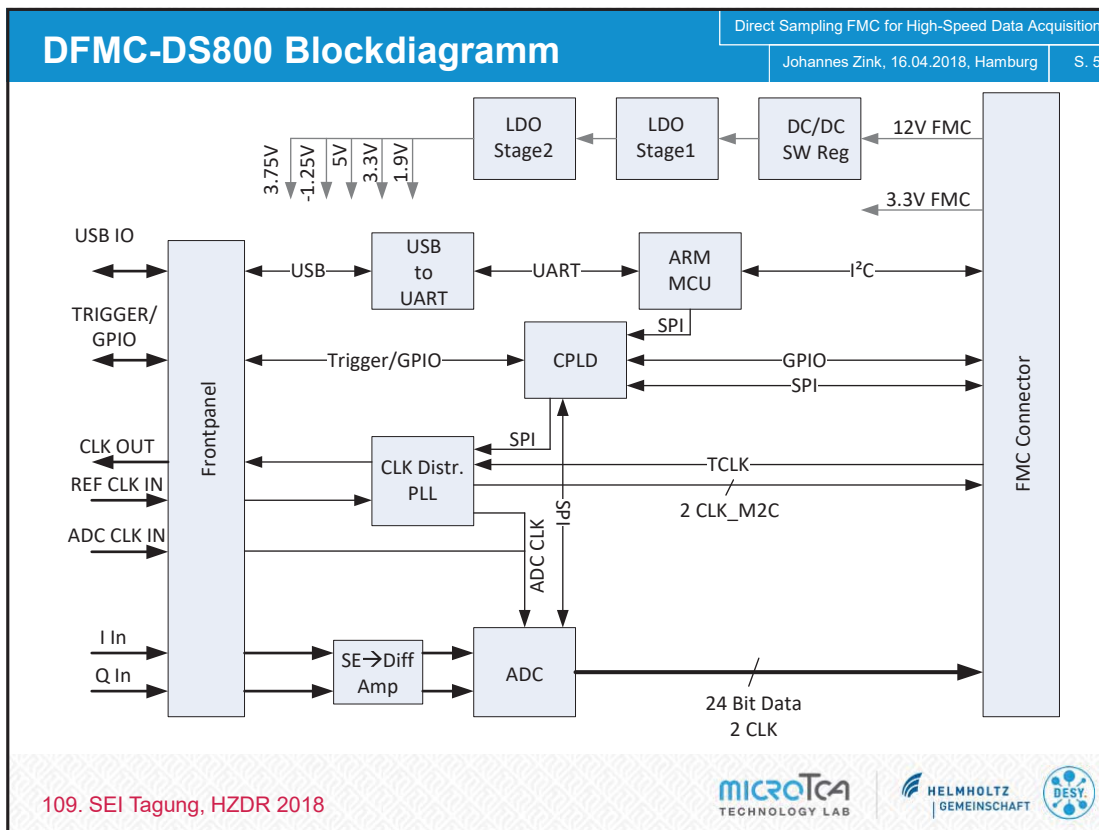
→



-172dBV@640kHz

109. SEI Tagung, HZDR 2018

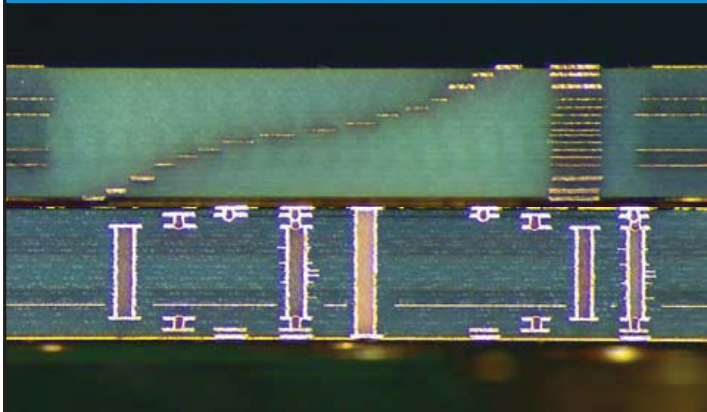




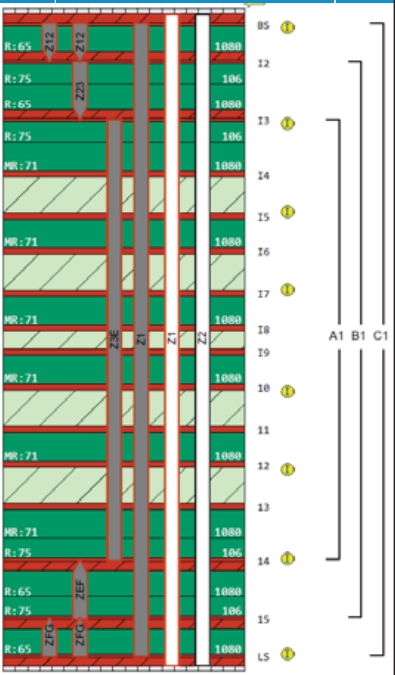


Leiterplattenentwurf

Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg S. 7





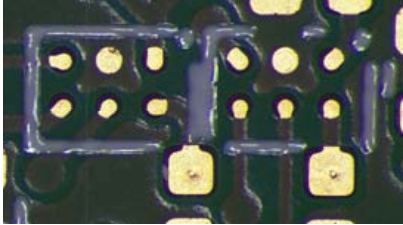
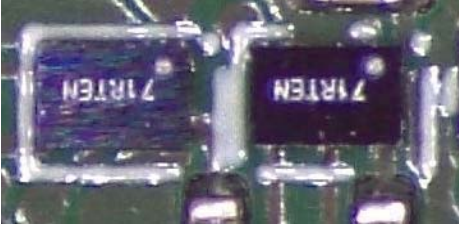
- 16 Lagen PCB (1.85mm) mit Blind-, Buried- und Stacked-Vias (0.1mm Bohrdurchmesser), 6 GND-Lagen
- Impedanz-kontrollierte Leitungen 50R Single Ended (CP), 100R Differential (Edge, CP)

109. SEI Tagung, HZDR 2018

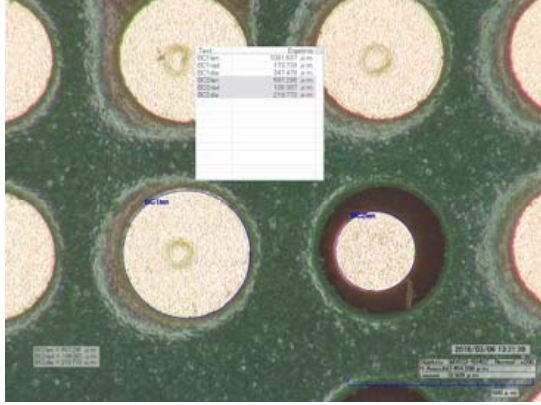
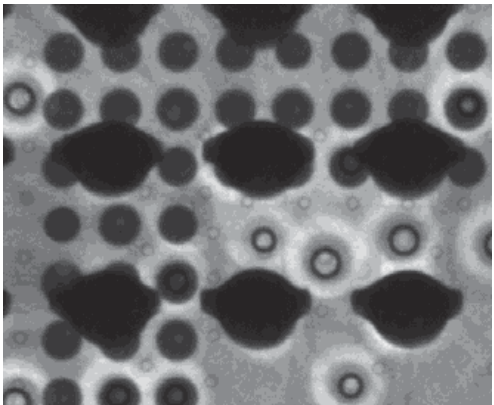
Leiterplattenentwurf

Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg S. 8

- kl. Pitch: 0.5mm, kl. BGA-Pad: 0.25mm


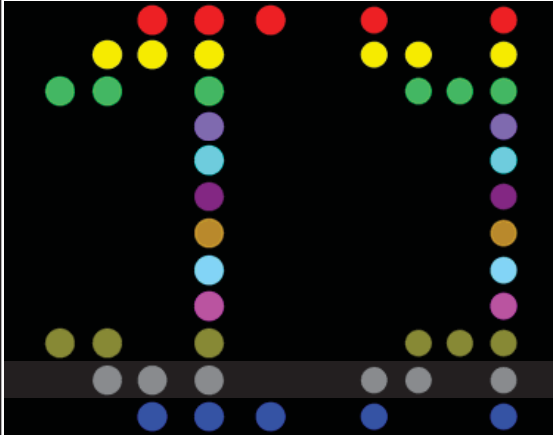
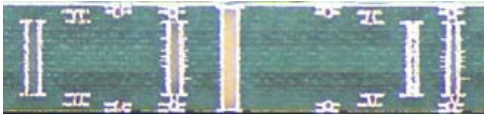



109. SEI Tagung, HZDR 2018


Direct Sampling FMC for High-Speed Data Acquisition

Leiterplattenentwurf - Vias




Johannes Zink, 16.04.2018, Hamburg
S. 9

- Problem: Welche Bohrpaare für Routing?
- alle Vias müssen am Ende auf 6 Bohrpaare abgebildet werden
- WICHTIG:** Via-Pads müssen auf den Stacked-Ziellagen auftauchen



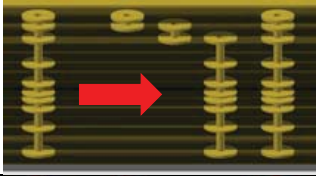

109. SEI Tagung, HZDR 2018


Direct Sampling FMC for High-Speed Data Acquisition

Leiterplattenentwurf - Vias

Johannes Zink, 16.04.2018, Hamburg
S. 10







- Lösung: "virtuelle" Bohrpaare (Vias) für Routing!
- Altium Skript: alle Vias werden analysiert und virt. Vias werden auf reale (fertigungstechnisch realisierbare) Bohrpaare abgebildet



- PCB-Hersteller könnte die Pads auch erzeugen
- ABER: viel Arbeit und Zeit, da nur in Gerber gearbeitet werden kann
- Änderungen im Quell-Design sparen Zeit und Geld → Fertigung stark vereinfacht

109. SEI Tagung, HZDR 2018

Leiterplattenentwurf - Kühlung		Direct Sampling FMC for High-Speed Data Acquisition
		Johannes Zink, 16.04.2018, Hamburg S. 11





- gedruckter Kühlkörper auf Unterseite (spez. Lötstopplack)
- große freie (Lötstopplack) Flächen zur Wärmeabfuhr
- freie Flächen und Bohrungen für Kühlkörper




109. SEI Tagung, HZDR 2018





Leiterplattenentwurf - Bestückung		Direct Sampling FMC for High-Speed Data Acquisition
		Johannes Zink, 16.04.2018, Hamburg S. 12







- Simulation der HF-Stecker-Footprints zeigte größtmögliche Freistellung um Signal-Pin
- GND-Bohrungen und Restring so klein wie möglich
- schlechte Lötung der GND-Pins

109. SEI Tagung, HZDR 2018





Mechanik

Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg

S. 13

- Kühlkörper mit HF-Abschirmung geplant
- Betrieb aber auch ohne möglich

109. SEI Tagung, HZDR 2018

Break-Out-Board

Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg

S. 14

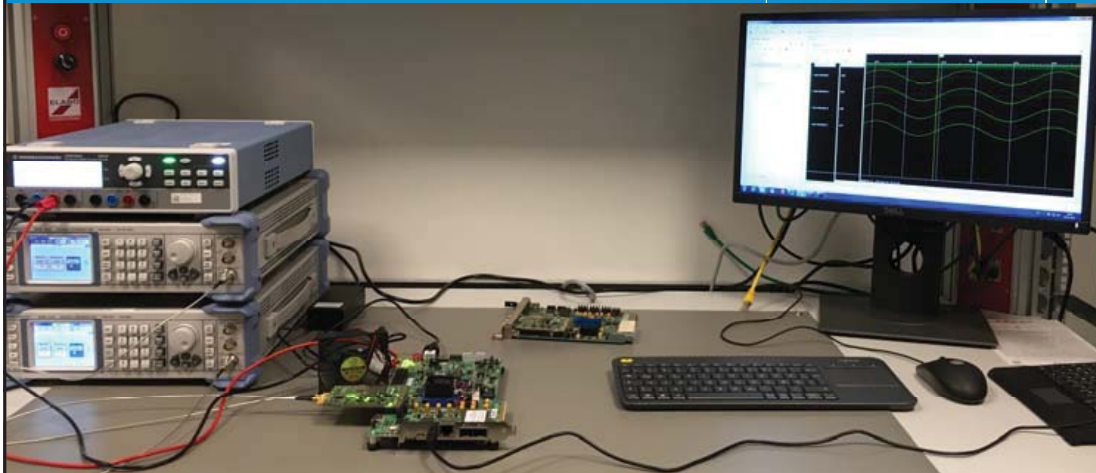
- Micro HDMI Type D am DS800
- bietet USB-Serial-Interface (nur Debug)
- HDMI Type A auf dem Break-Out-Board
- liefert 3.3V und GND für Single-Ended GPIO-Signale
- bietet Schnittstelle für die Trigger und GPIO-Signale
- interner DESY-Standard Trigger via RJ45

109. SEI Tagung, HZDR 2018

Direct Sampling FMC for High-Speed Data Acquisition

Erste Samples




Johannes Zink, 16.04.2018, Hamburg | S. 15



Foto, Versuchsaufbau und Firmware von Jan Marjanovic, DESY – MSK, mTCA Technology Lab

- Testaufbau mit Xilinx KCU105
- DS500 Variante mit 500 MHz ADC Takt
- Eingangssignal: Sinus mit 1.505 GHz
- R&S SMB100A Signalgeneratoren
- Leistungsfähiger Carrier nötig
- DS500 produziert 1.4 GByte/s Daten

109. SEI Tagung, HZDR 2018


Direct Sampling FMC for High-Speed Data Acquisition

Anwendung Beschleunigerdiagnose

Johannes Zink, 16.04.2018, Hamburg | S. 16



Elektronenpaket, Flug durch Cavity , H.Padamsee



geschmolzenes Klystron nach Lichtbogen, TV-Sender

High-Order Modes


- Elektronenstrahl regt HOM in Cavity an
- Signale vom HOM-Koppler enthalten Informationen über:
 1. Strahlage
 2. Strahlladung (Strahlstrom)
 3. Ausrichtung der Cavities
- „Electronics for High-Order Modes Detection“, Uros Mavric et al.

Klystron Lifetime Management

- Erkennen von gefährlichen Klystron-zuständen:
 1. Lichtbögen im Elektronen-Injektor
 2. Strahlverlust
 3. HF-Signalverlust
- → sehr schnelles Abschalten erforderlich
- Model Based Fast Protection System For High Power RF Tube Amplifiers Used At European XFEL Accelerator, Lukasz Butkowski

109. SEI Tagung, HZDR 2018





Industrielle Anw. und Ausblick		Direct Sampling FMC for High-Speed Data Acquisition
		Johannes Zink, 16.04.2018, Hamburg S. 17

- RADAR / LIDAR
- Signal Intelligence
- RF sampling SDR
- Konsumenten RF
- 3G/4G Basisstationen
- Kommunikationsanlagen

In naher Zukunft (2018):

- DAMC-DS800 → 8 Kanal-ADC AMC, gleiche ADCs wie auf DFMC-DS800
- 10/12-Bit Varianten mit bis zu 3.2 GSP/s möglich

Foto: Michael Fenner

109. SEI Tagung, HZDR 2018

Industrielle Anw. und Ausblick		Direct Sampling FMC for High-Speed Data Acquisition
		Johannes Zink, 16.04.2018, Hamburg S. 18

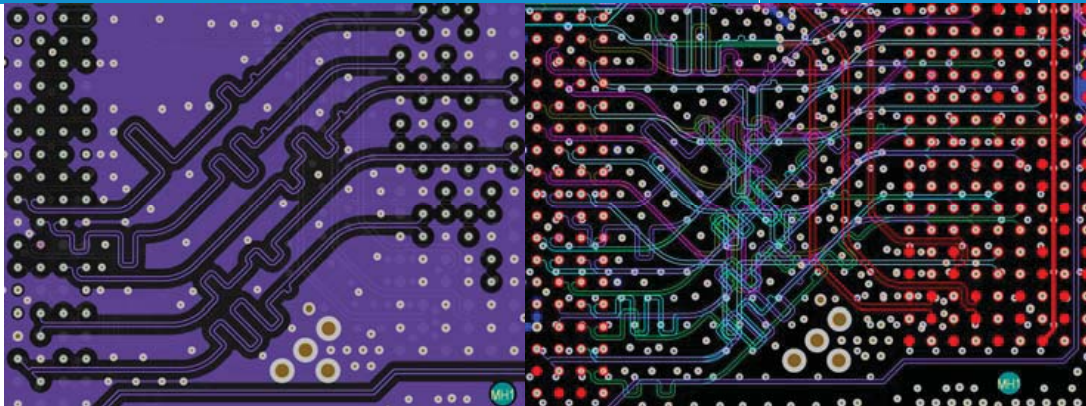
Danke für Ihre Aufmerksamkeit

109. SEI Tagung, HZDR 2018

Leiterplattenentwurf – Impedanz

Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg S. 19



109. SEI Tagung, HZDR 2018

microTECA
TECHNOLOGY LAB

HELMHOLTZ
GEMEINSCHAFT

DESY

Röntgenkontrolle

Direct Sampling FMC for High-Speed Data Acquisition

Johannes Zink, 16.04.2018, Hamburg S. 20



109. SEI Tagung, HZDR 2018

microTECA
TECHNOLOGY LAB

HELMHOLTZ
GEMEINSCHAFT

DESY



Future Upgrades of the BCM1F Detector at CMS

Alexander Rüde

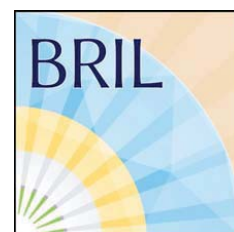
16.04.2018

aruede@cern.ch

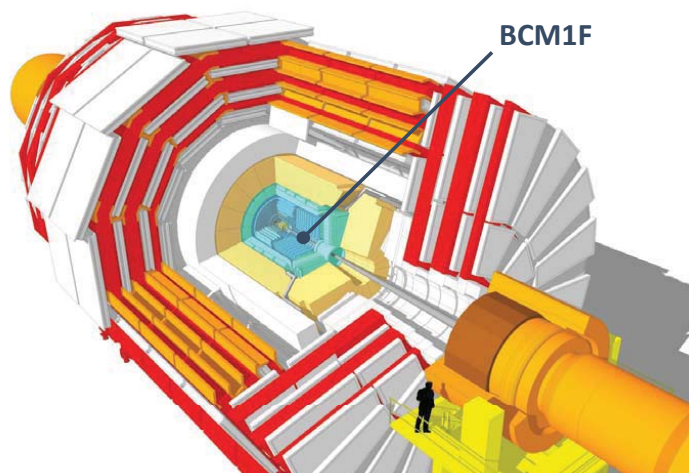
SEI-Tagung 2018
HZDR Dresden

The BRIL Project

- Beam Radiation Instrumentation and Luminosity Project (BRIL) @ CMS
- Online monitoring + real time feedback to LHC on machine induced-background (MIB) in CMS
- Online + passive monitoring and simulation of radiation environment in CMS the detector and cavern
- Beam Timing Monitoring using BPTX
- Online (bunch-by-bunch) luminosity measurement
 - Pixel Luminosity Telescope (PLT)
 - Fast Beam Conditions Monitor (BCM1F)
 - Hadron Forward Calorimeter (HF)
- Offline (precision) luminosity measurement
 - Pixel Cluster Counting (PCC)



The BCM1F Detector



Location of the BCM1F detector inside CMS

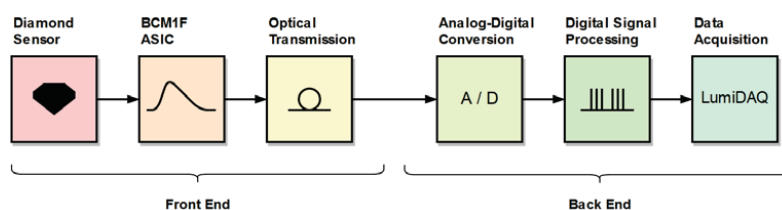
Illustration: doi:10.1088/1742-6596/513/2/022032

Alexander Rude

Future Upgrades of the BCM1F Detector at CMS

3

The BCM1F Detector



- Fast Beam Conditions Monitor
- Online (bunch-by-bunch) Luminosity + MIB measurement
- 48 sensor positions at $z = 1.82$ m away from IP
- Fast front end ASIC (< 10 ns FWHM)
- Optical transmission to back end
- legacy VME back end & new MicroTCA back end system
- Dead time free Luminosity DAQ system

Alexander Rude

Future Upgrades of the BCM1F Detector at CMS

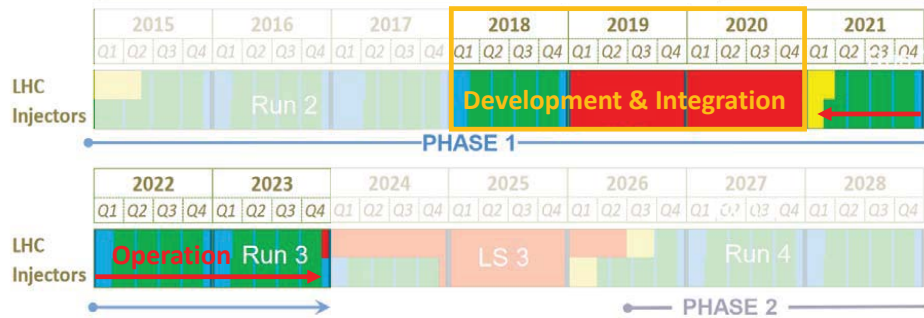
4

LHC Schedule

LHC roadmap: according to MTP 2016-2020 V2

LS2 starting in 2019 => 24 months + 3 months BC
 LS3 LHC: starting in 2024 => 30 months + 3 months BC
 Injectors: in 2025 => 13 months + 3 months BC

Green	Physics
Red	Shutdown
Yellow	Beam commissioning
Blue	Technical stop



https://lhc-commissioning.web.cern.ch/lhc-commissioning/schedule/LHC%20schedule%20beyond%20LS1%20MTP%202015_Freddy_June2015.pdf

Run 2:

13...14 TeV c.m. energy
 $\sim 1.7 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ peak luminosity

Run 3:

14 TeV c.m. energy
 $\sim 2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ peak luminosity

Alexander Rüde

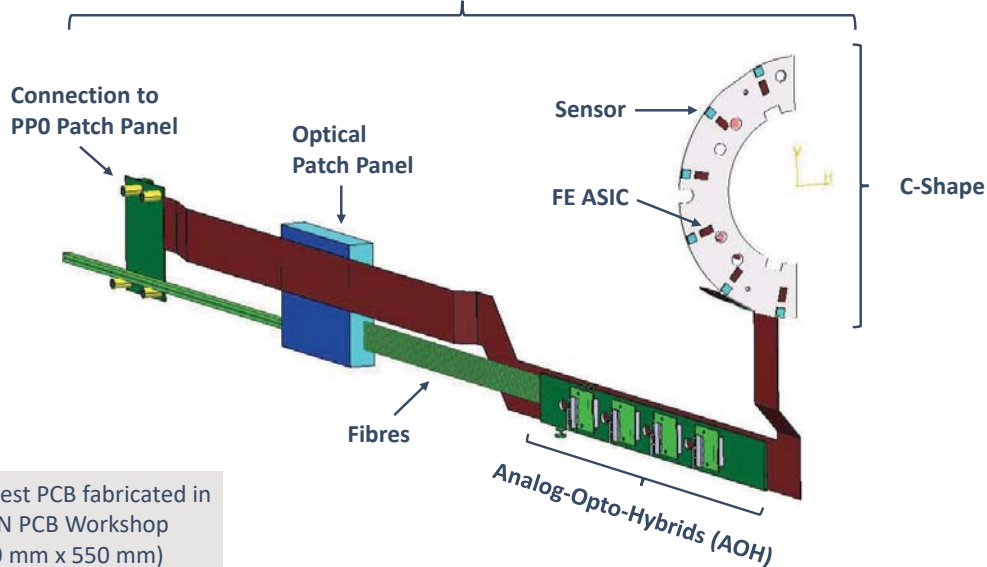
Future Upgrades of the BCM1F Detector at CMS

5

The BCM1F PCB

Current PCB

Flex-Rigid-PCB



Biggest PCB fabricated in CERN PCB Workshop (550 mm x 550 mm)

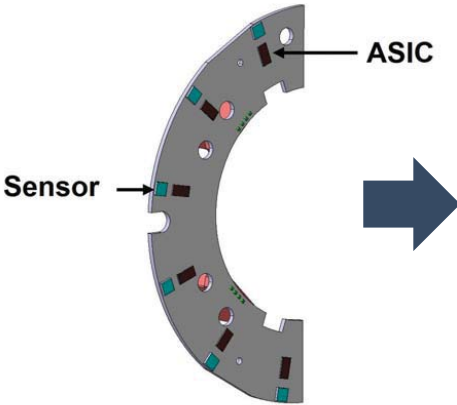
Alexander Rüde

Future Upgrades of the BCM1F Detector at CMS

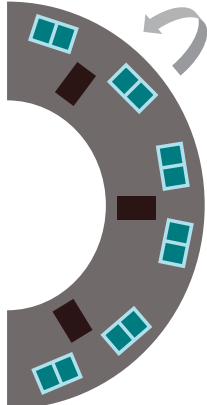
6

C-Shape Upgrades

Current C-shape



Upgraded C-shape



Active cooling (-20°C) from back side of PCB

Support for new Si sensors (external bias resistor)

3 ASICs, 4 channels each

Improved tooling for (double) vias

Alexander Rüde

Future Upgrades of the BCM1F Detector at CMS

7

Sensor Upgrades

Run 1: sCVD Diamond sensors (DC-coupled), 8 channels

- Significant efficiency loss due to radiation in sCVD sensors

↓

(late) Run2: sCVD +pCVD +Si Sensors (DC-coupled), 38 channels (48 positions)

- pCVD is more radiation hard than sCVD, but has small signal
- Silicon provides large signal but has significant leakage current
- Silicon leakage current biases optoelectronic transmitter (AOH)
 - Baseline shift
 - Signal degradation

↓

Run3: AC-coupled Silicon-only, 48 possible positions

- Silicon provides large signal
- AC-coupling prevents undesired biasing due to leakage current

Alexander Rüde

Future Upgrades of the BCM1F Detector at CMS

8

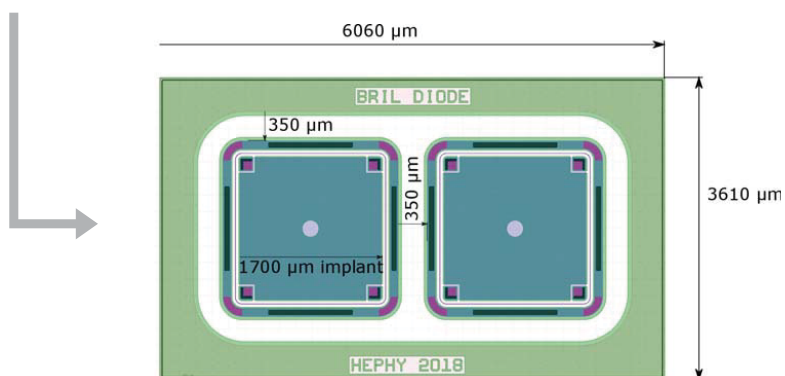
Sensor Upgrades

HGCal production:

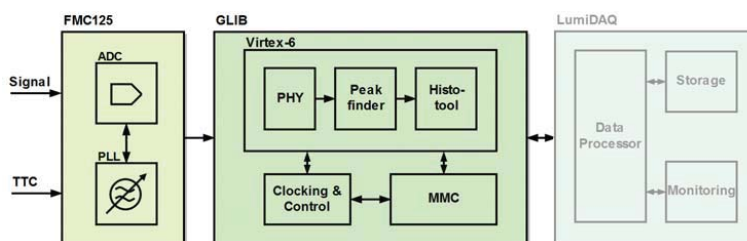
1.7 x 1.7 mm double-diodes
 ~ 140 pF coupling capacity
 External bias resistor (~ 10 MOhm)

Tracker production (TBC):

~2 x 2 mm double-diodes
 AC coupling with integrated bias resistor

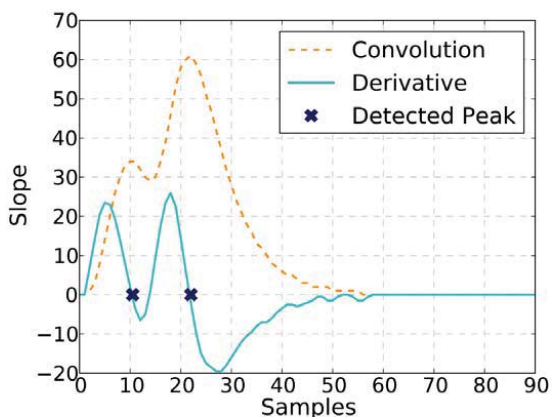
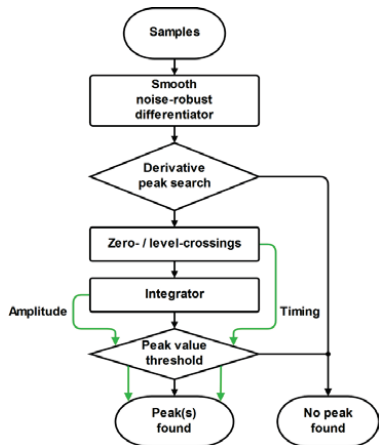


Back End Electronics



- MicroTCA Backend (2 crates), test run 2018
- 1.25 GHz quad-ADC (FMC125 from Abaco systems, formerly 4DSP)
- GLIB AMC card (CERN PH-ESE-BE)
 - Virtex 6 FPGA
 - Communication via IPBus
- New peak finder and histograming modules
- Planned: Frozen firmware and software for Run 3

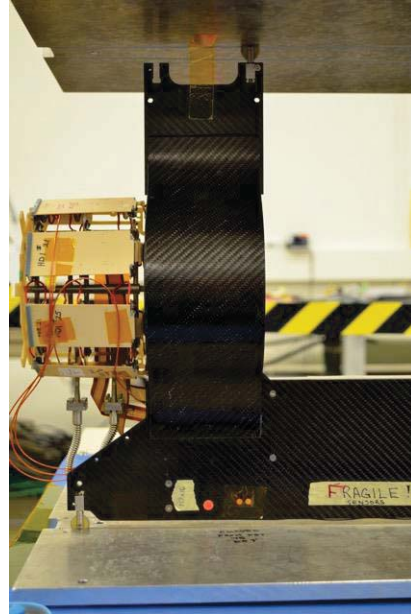
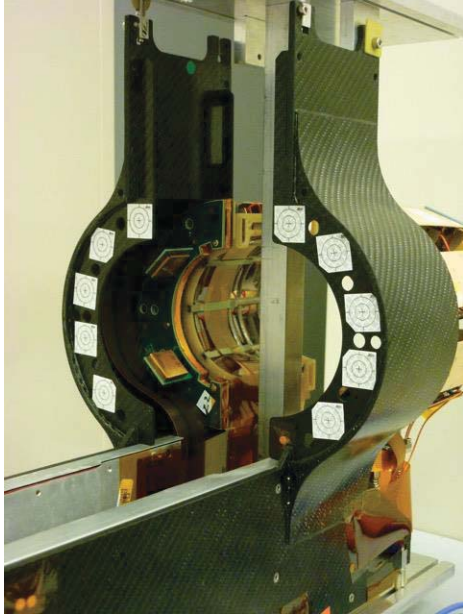
New Peak Finder



- Improved double-pulse resolution using derivative-based algorithm
- Parameterized VHDL-implementation for individual channel configuration
- Simulation promises improved peak detection

Backup

Carbon-Fibre Carriage

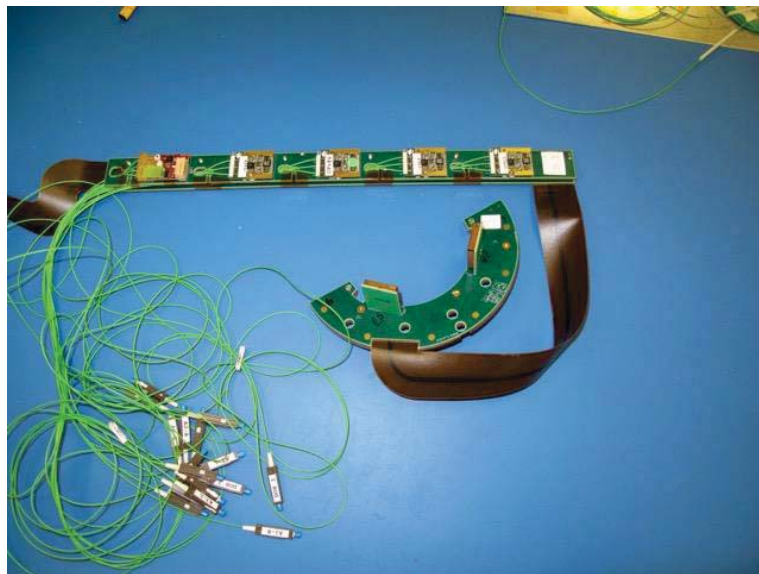


Alexander Rüde

Future Upgrades of the BCM1F Detector at CMS

13

Flex-Rigid-PCB

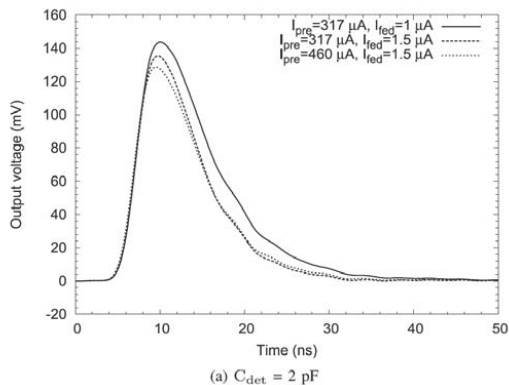
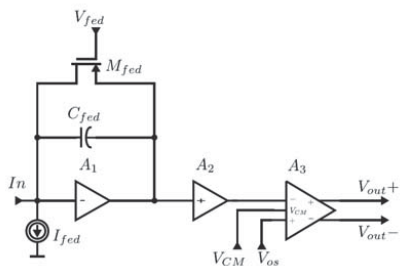


Alexander Rüde

Future Upgrades of the BCM1F Detector at CMS

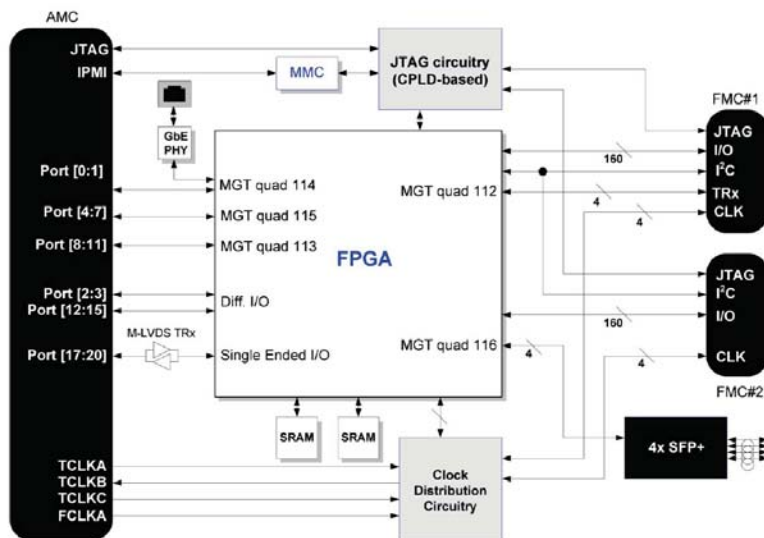
14

FE ASIC



From: Design and Performance of the BCM1F Front End ASIC for the Beam Condition Monitoring System at the CMS Experiment, D. Przyborowski, J. Kaplon, P. Rymaszewski, IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 63, NO. 4, AUGUST 2016

GLIB



From: GLIB User Manual



ENTWICKLUNG VON PROGRAMMEN

zum Auslesen und Kalibrieren eines neuartigen Detektorsystems

16. April 2018 | Alexander Steffens | Forschungszentrum Jülich – PGI/JCNS

Mitglied der Helmholtz-Gemeinschaft



INHALTSVERZEICHNIS

Einleitung

WLSF-Szintillationsdetektor

Jülich-Münchener Standard

Implementierung des Detektorservers

Kalibrierung des Detektors

Zusammenfassung und Ausblick

Mitglied der Helmholtz-Gemeinschaft

16. April 2018

Folie 1



INHALTSVERZEICHNIS

Einleitung

WLSF-Szintillationsdetektor

Jülich-Münchener Standard

Implementierung des Detektorservers

Kalibrierung des Detektors

Zusammenfassung und Ausblick

EINLEITUNG

PGI/JCNS – „Instrumententechnologie“

- Realisierung von Hard- und Softwarelösungen für **wissenschaftliche Experimente**
 - Unterstützung durch andere Jülicher Institute
 - ⇒ u. a. Entwicklung von **Detektorsystemen** zur Nutzung bei Neutronenstreuinstrumenten des JCNS
 - Aufgabenstellung:
 - Implementierung eines **TANGO-Servers** zur Bedienung des Detektors mit NICOS
 - Entwicklung eines automatisierten **Kalibrierungsalgorithmus**
- ⇒ **Ziel:** Inbetriebnahme des Detektors bei SAPHiR

INHALTSVERZEICHNIS

Einleitung

WLSF-Szintillationsdetektor

Jülich-Münchener Standard

Implementierung des Detektorservers

Kalibrierung des Detektors

Zusammenfassung und Ausblick

Mitglied der Helmholtz-Gemeinschaft

16. April 2018

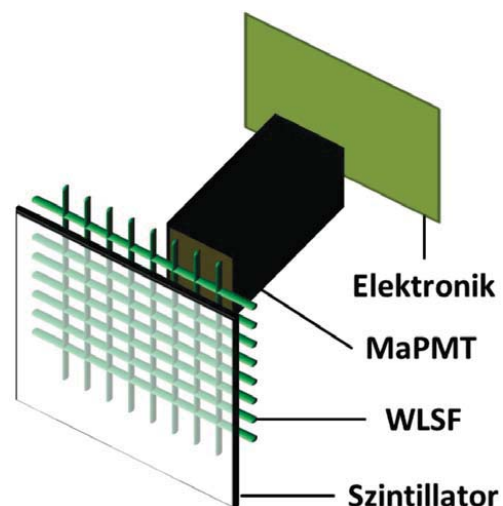
Folie 3



WLSF-SZINTILLATIONSDETEKTOR

Aufbau des Detektors

- Lithiumfluorid-Zinksulfid-**Szintillator** als Detektionsfläche
- Zwei übereinanderliegende, orthogonale **WLSF**-Ebenen
- Verbindung beider Enden einer WLSF mit einem Kanal eines **MaPMTs**
- **Ausleseelektronik** zur Verarbeitung der Daten



Mitglied der Helmholtz-Gemeinschaft

16. April 2018

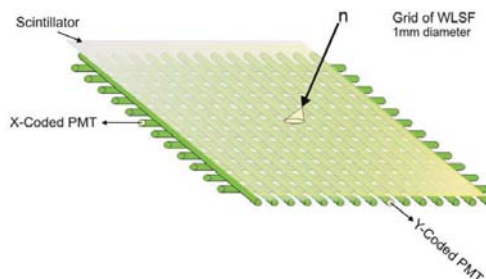
Folie 3



WLSF-SZINTILLATIONSDETEKTOR

Detektion von Neutronen

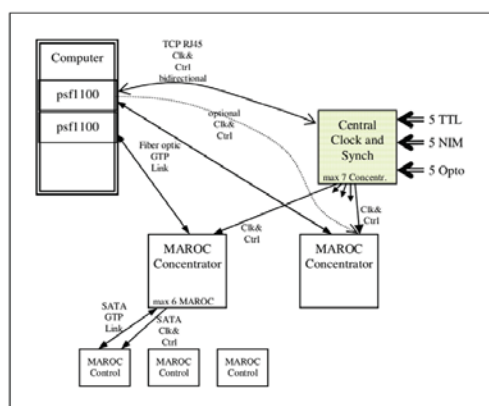
- **Absorption** eines auftreffenden Neutrons im Szintillator
- Einfangen vom Szintillator **emittierter Photonen** in WLSF
- Detektion austretender Photonen mit **vergrößerter Wellenlänge** im MaPMT
- **Erzeugung von Elektronen** durch Absorption der Photonen in Photokathode
- **Verstärkung** des elektrischen Signals im MaPMT, das in Ausleseelektronik verarbeitet wird



WLSF-SZINTILLATIONSDETEKTOR

Ausleseelektronik

- Fünf MaPMTs mit insgesamt 320 Kanälen (X: 192, Y: 128)
- Verbindung der MaPMT-Ausgangskanäle mit 64 analogen **MAROC**-Eingängen
- Anschluss von fünf MAROC-Platinen über serielles Protokoll mit einem **Konzentrator**



- Optische Schnittstelle von Konzentrator- zu **SIS/PSF1100**-Platine
- Anschluss eines **Rechners** über PCI-Schnittstelle
- **Central Clock** über Twisted-Pair zur zentralen Signalverteilung

WLSF-SZINTILLATIONSDETEKTOR

Ausleseelektronik – MAROC-Platine

- MAROC3: **Digitalisierung** des Eingangssignals mithilfe von Vorverstärker, Diskriminator und ADC
- FPGA: Hinzufügen eines **Zeitstempels**
- Schreiben erhaltener Daten in FIFO-Speicher nach Kanalnummer sortiert
- **Autonomes Senden** des FIFO-Inhalts über serielles Protokoll an Konzentrator



WLSF-SZINTILLATIONSDETEKTOR

Ausleseelektronik – Konzentrator-Platine

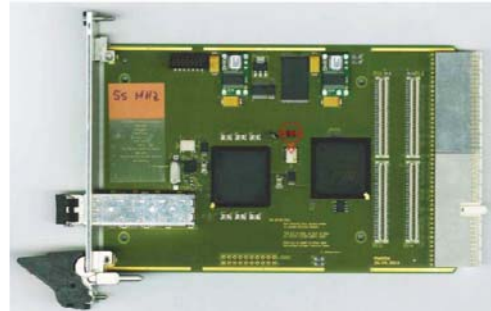
- Sicherung der MAROC-Daten in Eingangs-FIFO
- Sortierung nach **zeitlicher Reihenfolge** im FPGA
- Datenreduktion durch **Koinzidenzalgorithmen** im FPGA
- Übermittlung gesammelter **Zeit- und Ortsinformationen** an einen Rechner über optische Schnittstelle zur SIS/PSF1100-Platine



WLSF-SZINTILLATIONSDETEKTOR

Ausleseelektronik – SIS/PSF1100-Platine

- **PLX-Chip 9656** als Schnittstelle zwischen Rechner und Platinen durch Implementierung einer PCI-Schnittstelle
- Kommunikation mit Elektronik über PLX-Treiber und **PLX-API**
- Ansteuerung des PLX-Chips über **Spartan-6 FPGA**, der das SIS-Protokoll implementiert



INHALTSVERZEICHNIS

Einleitung

WLSF-Szintillationsdetektor

Jülich-Münchener Standard

Implementierung des Detektorservers

Kalibrierung des Detektors

Zusammenfassung und Ausblick

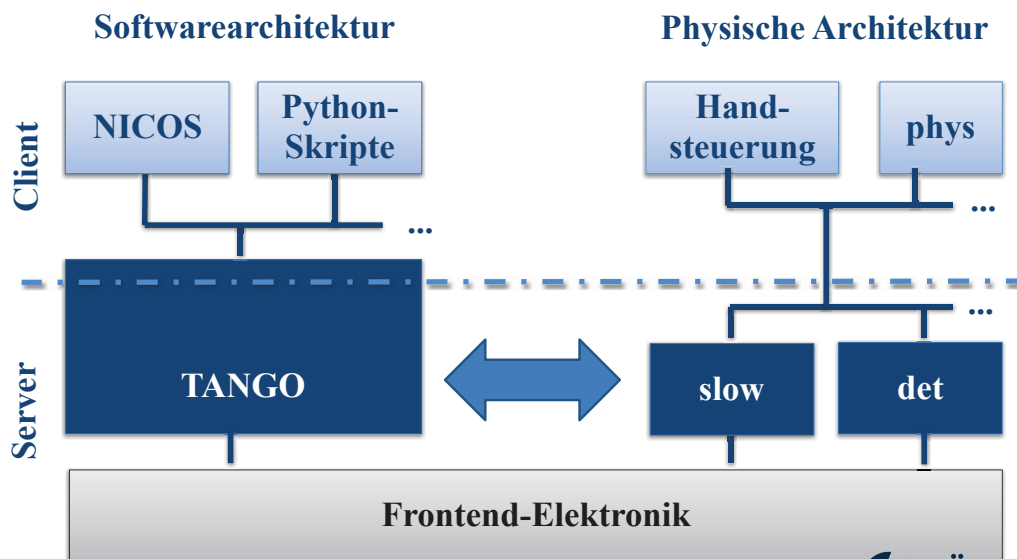
JÜLICH-MÜNCHENER STANDARD

Motivation

- **Vereinheitlichung aller Kontroll- und Datenerfassungssysteme** für Neutroneninstrumente des JCNS
 - ⇒ Verwendung des **TANGO**-Kontrollsystems und **Entangle**-Frameworks für die Server
 - ⇒ Zugriff auf TANGO-Schnittstellen mit Steuerungssoftware **NICOS**
- Einsatz des WLSF-Szintillationsdetektors bei SAPHiR und möglicherweise auch anderen JCNS-Instrumenten
 - ⇒ **Ziel:** Implementierung der Detektorsteuerung in TANGO zur späteren Nutzung mit NICOS

JÜLICH-MÜNCHENER STANDARD

Struktur der Kontrollsysteme des JCNS



JÜLICH-MÜNCHENER STANDARD

TANGO-System und Entangle-Framework

■ TANGO-Kontrollsystem

- Quelloffenes Projekt mehrerer Forschungsinstitute (TANGO Consortium)
- Objektorientierte Kontrollsystem
- Repräsentation eines Geräts durch mindestens ein Objekt
- Definition von Properties, Attribute und Kommandos
- Konfigurationsdaten in MySQL-Datenbank
- Client-Server-Kommunikation mittels CORBA und ZeroMQ

■ Entangle-Framework

- Basisklassen für gängige Geräte
- Mehrere Klassen pro Gerät anstelle von neuen Schnittstellen

INHALTSVERZEICHNIS

Einleitung

WLSF-Szintillationsdetektor

Jülich-Münchener Standard

Implementierung des Detektorservers

Kalibrierung des Detektors

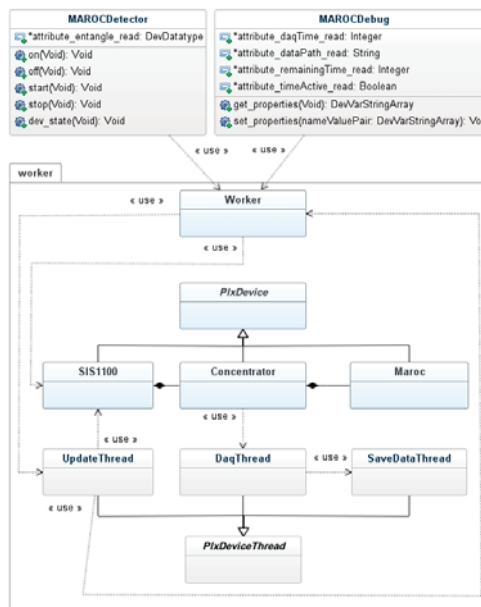
Zusammenfassung und Ausblick

IMPLEMENTIERUNG DES DETEKTORSERVERS

Softwarestruktur (1)

1 Modellierung der Hardware

- Abstraktion wesentlicher Funktionen in `PlxDevice`
- Gegenseitiger Zugriff über private Attribute
- Kapselung durch Singletonklasse `Worker`
- `Worker`: Kontrolle des Zugriffs auf Hardware, u. a. über PLX-Schnittstellen

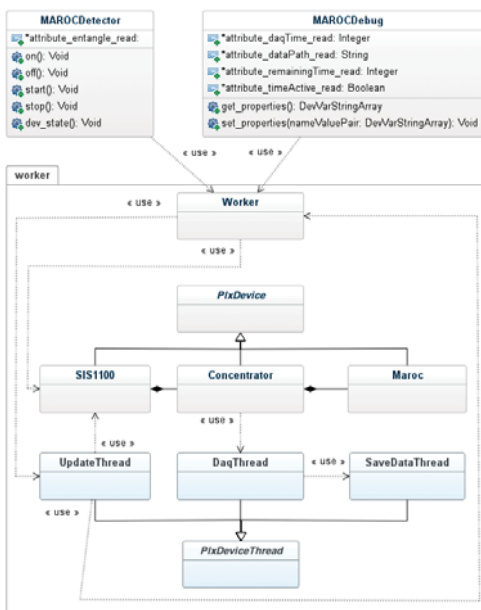


IMPLEMENTIERUNG DES DETEKTORSERVERS

Softwarestruktur (2)

2 Threadklassen

- Idee von `PlxDeviceThread`: Modularisierung, einfacher Datenaustausch, Existenz nur bei Notwendigkeit
- `DaqThread`: Auslese und Verarbeitung der Rohdaten
- `SaveDataThread`: kontinuierliches Sichern der Rohdaten, nach Messende auch 1D- und 2D-Daten
- `UpdateThread`: Überwachen der Bedingung zum Beenden einer Messung

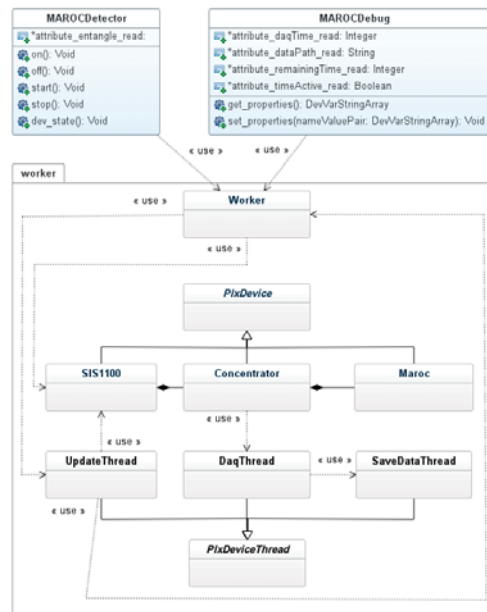


IMPLEMENTIERUNG DES DETEKTORSERVERS

Softwarestruktur (3)

3 TANGO-Klassen

- MAROCDetector mit Entangle-Klassenelementen: Prepare(), Start(), Stop(), State(), value, active, preselection
 - ⇒ Einbindung in NICOS ohne zusätzliche Klassen möglich
- MAROCDebug: daqTime, timeActive, dataPath, lastFilename
- Gemeinsamer Zugriff auf Singletonklasse Worker
 - ⇒ Sicherer Hardwarezugriff durch Kapselung und Mutex



INHALTSVERZEICHNIS

Einleitung

WLSF-Szintillationsdetektor

Jülich-Münchener Standard

Implementierung des Detektorservers

Kalibrierung des Detektors

Zusammenfassung und Ausblick

KALIBRIERUNG DES DETEKTORS

Motivation

- Trennung von Rauschen und durch Neutronen erzeugter Signale
- Homogenisierung der Nachweiswahrscheinlichkeit
- Ziel: Optimierung von
 - 1 Diskriminatorschwelle,
 - 2 Vorverstärkung und
 - 3 Hochspannung

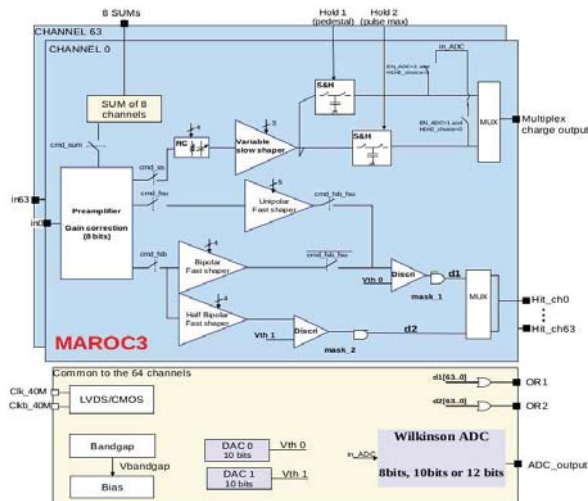
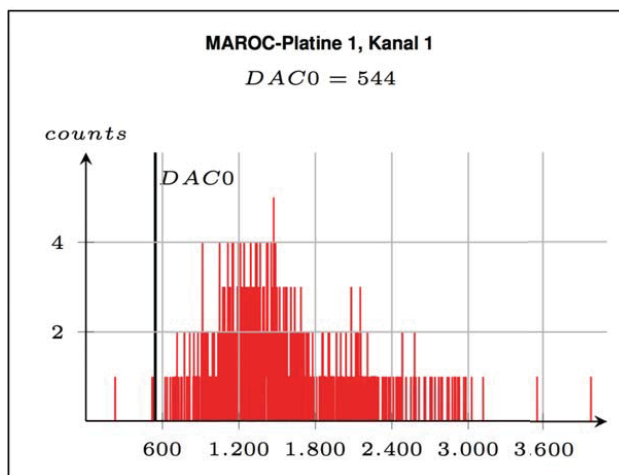


Figure 1: Block schematic of MAROC3 chip architecture

KALIBRIERUNG DES DETEKTORS

Einstellung der Diskriminatorschwelle – Erste Näherung

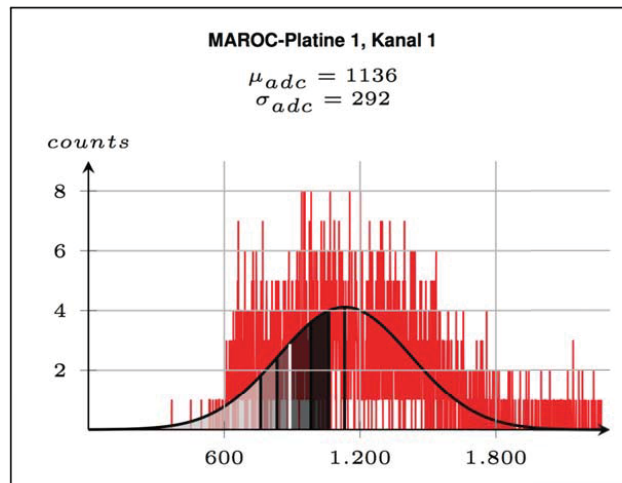
- Schwelle zu niedrig: Keine oder nur sehr wenige erhaltene Daten
- Sukzessives Erhöhen der Schwelle bis Single-Photonenpuls erkennbar



KALIBRIERUNG DES DETEKTORS

Einstellung der Diskriminatorschwelle – Mögliches Optimum

- Approximation einer Gaussverteilung an Single-Photonenpuls
- Vergleich von Werten der Dichtefunktion mit gemessenen Werten an Quantilen der Normalverteilung
- **Ergebnis:** Ab 0, 2-Quantil kaum noch Rauschen
- **Jedoch:** Praktische Restriktionen durch die Elektronik bei der Umsetzung



KALIBRIERUNG DES DETEKTORS

Einstellung der Vorverstärkung – Vorgehen

- Angleichung der Pulshöhenspektren, sodass Maxima in demselben Spannungsbereich liegen
 - ⇒ Gleiche Auswirkung der Schwelle auf jedem Kanal
- **Überlegungen:**
 - Bildung von Mittelwert und relativer Abweichung
 - Berechnung des Einflusses von Vorverstärkung auf erfasste Spannung
 - Anpassung der Vorverstärkung mithilfe der relativen Abweichung
 - Kontrollwerte: durchschnittliche und maximale, relative Abweichung
- **Ansatz:** Aktuelle Vorverstärkung entspricht gewünschter Vorverstärkung unter Hinzunahme der relativen Abweichung
 - ⇒ $gain(c) = gain'(c) + f(c) \cdot gain'(c)$

KALIBRIERUNG DES DETEKTORS

Einstellung der Vorverstärkung – Berechnungsvorschrift

$$\begin{aligned} \text{gain}(c) &= (1 + f(c) \cdot \text{scaling}) \cdot \text{gain}'(c) \\ \Leftrightarrow \text{gain}'(c) &= \begin{cases} \frac{\text{gain}(c)}{1 + f(c) \cdot \text{scaling}}, & \text{für } f(c) \neq -\frac{1}{\text{scaling}} \\ \text{gain}_{max}, & \text{für } f(c) = -\frac{1}{\text{scaling}} \end{cases} \end{aligned}$$

mit $\text{scaling} = 0,25$ und $\text{gain}_{max} = 255$

c : Kanalnummer einer MAROC-Platine

$f(c)$: relative Abweichung von $\text{maxADC}(c)$ zu $\overline{\text{maxADC}}$

$\text{gain}(c)$: aktuelle Verstärkung von c

$\text{gain}'(c)$: neu berechnete Verstärkung von c

Ergebnis: kontinuierliche Verbesserung

⇒ nach fünf Iterationen durchschnittliche Abweichung unter 3.5 % und max. Abweichung um ein Drittel auf ca. 20 % gesunken

INHALTSVERZEICHNIS

Einleitung

WLSF-Szintillationsdetektor

Jülich-Münchener Standard

Implementierung des Detektorservers

Kalibrierung des Detektors

Zusammenfassung und Ausblick

ZUSAMMENFASSUNG UND AUSBLICK

Ergebnisse

- 1 Entwicklung einer vielseitig einsetzbaren **Schnittstelle zur Steuerung des Detektors**
- 2 Implementierung eines **TANGO-Servers** unter Berücksichtigung des Entangle-Frameworks
- 3 Entwicklung eines automatisierten **Kalibrierungsalgorithmus**

Weitere mögliche Projekte

- 1 Implementierung des **TOF-Modus**
- 2 **Performanceuntersuchungen**

Vielen Dank für Ihre
Aufmerksamkeit!

EXPERIMENTSYSTEM SAPHIR



- Six Anvil Press for High Pressure Radiography and Diffraction
- Flugzeitneutronenbeugung (TOF) und Neutronenradiographie an polykristallinen und flüssigen Proben unter extremen Druck- und Temperaturbedingungen
- Nutzung thermischer Neutronen
- Herzstück: Sechsstempelpresse mit Presskraft von bis zu 23.5 MN
- Beugungs- und Radiographiedetektoren

TANGO-DETEKTORSERVER

Hardwarezugriff

- Abbilden physikalischer Speicherbereiche in virtuellen Adressbereich
- Setzen von Zeigern auf Startadressen der Register
 - ⇒ Änderung der Registereinträge durch Modifikation der Datenstrukturen
- Weitere API-Funktionen: Herstellen und Trennen von Verbindungen, DMA-Verwaltung

TANGO-DETEKTORSERVER

Fehlerbehandlung

- Fehlercodes in unterer Programmiererebene
- Ausnahmen in Schnittstellen zu TANGO
- Vier Logging-Modi: Error, Warning, Info, Debug

```
Tango warning @ 09.08.2017 13:59:29.705066
Error reason = [MAROC 2] Error while comparing written and read serial data arrays
Device [0]    : Register [0x0] changed: WR 0x511F45F3 -> RD 0x510EC5F3
Origin       : PLX_STATUS MAROC_ns::Maroc::_compareWRRegisterArrayWithLink(U32, bool)
```

```
Tango error @ 09.08.2017 14:18:53.514733
Exception caught in MAROCDetector : [Worker] Error while trying to start data acquisiton
Error reason                       = Prepare command was not executed beforehand.
Result                             : Detector is now in ALARM state.
Origin                             : virtual void MAROCDetector_ns::MAROCDetector::start()
```

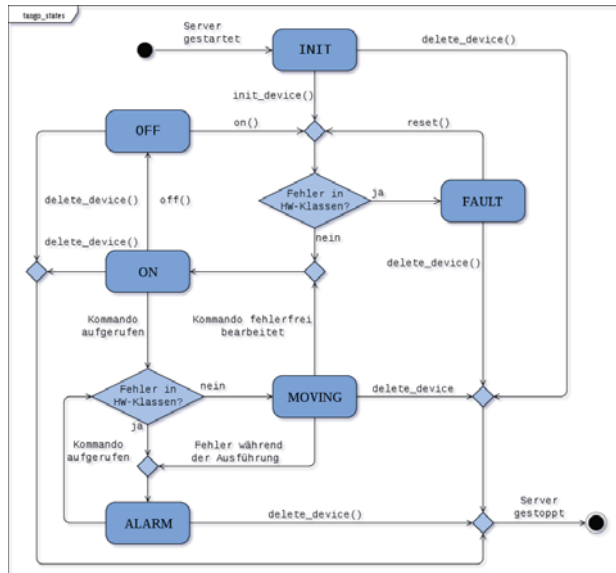
TANGO-DETEKTORSERVER

Konfigurationsdateien

- Größtenteils unveränderliche Parameter
 - Koinzidenzparameter der Konzentratoren
 - MAROC3-Konfiguration
 - ⇒ Separate Schnittstellen nicht sinnvoll
- **Lösung:** INI-Dateien für alle Platinen
 - INI-Format: Sektionen und Schlüssel-Wert-Paare
- LoadSettings() und SaveSettings() als TANGO-Kommandos

TANGO-DETEKTORSERVER

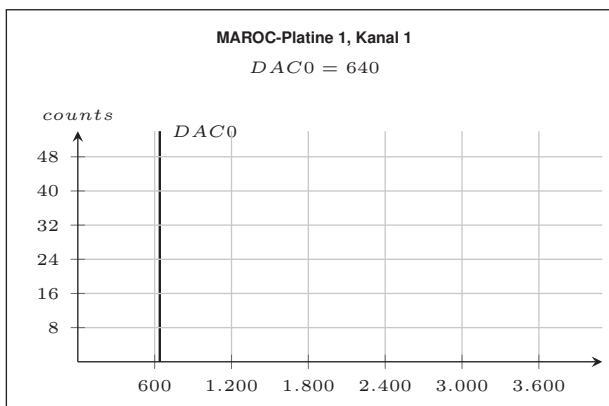
Statusverwaltung



KALIBRIERUNG DES DETEKTORS

Einstellung der Diskriminatorschwelle – Derzeitiges Optimum

- Setzen der Schwelle auf 0, 2-Quantil nicht möglich
- **Vermutung:** Verzögerungszeit im FPGA bei hoher Schwelle zu kurz
- **Alternative:** Erhöhen der Schwelle solange sinnvolle Daten ausgelesen werden
- Prüfung aller Kanäle mit ermittelter Schwelle



KALIBRIERUNG DES DETEKTORS

Einstellung der Vorverstärkung – Ergebnisse

Iteration	Gemessene Impulse pro Kanal	Standardabweichung	∅ relative Abweichung	betragsmäßig größte, relative Abweichung
1	1000	199	4.96 %	33.9 %
2	2000	184	4.49 %	19.4 %
3	3000	158	3.86 %	23.8 %
4	4000	150	3.66 %	21.7 %
5	5000	142	3.47 %	20.4 %

KALIBRIERUNG DES DETEKTORS

Einstellung der Hochspannung

- Verfahren identisch zur Vorverstärkung
- **Unterschiede:** Berechnung von neuem Skalierungsfaktor, anderer Wertebereich
- **Problem:** Änderung der Hochspannung anscheinend nicht korrekt in Elektronik umgesetzt
 - ⇒ Tests lediglich mit zwei Platinen möglich
- **Ergebnis:** Differenz zwischen Maxima der Pulshöhenspektren bereits sehr gering (unter 2.5 %)
 - ⇒ Bei derzeitigem Entwicklungsstand keine weiteren Tests zur Verbesserung der Hochspannung möglich

KALIBRIERUNG DES DETEKTORS

Angleichung der Nachweiswahrscheinlichkeit – Überlegungen

- **Motivation:** Ausgleich der Schwankungen in den Photokathoden der MaPMTs bezüglich der Nachweiswahrscheinlichkeit eines Photons

- Unterschiedliche Sensitivität der Photokathoden
- ⇒ Unterschiedliche Emissionswahrscheinlichkeit für ein Elektron pro Photon

- **Idee:**
 - Vermessen aller MaPMT-Kanäle mit speziell gepulster LED
 - Vergleich der detektierten Impulse pro Kanal

$$h(m, c) \cdot f(m, c) \stackrel{!}{=} \frac{1}{M \cdot 64}$$

$$\Leftrightarrow f(m, c) = \frac{1}{h(m, c) \cdot M \cdot 64}$$

$$\text{mit } h(m, c) = \frac{\text{counts}(m, c)}{\sum_{i=1}^M \sum_{j=1}^{64} \text{counts}(i, j)}$$

M : Anzahl vorhandener MaPMTs

$h(m, c)$: Anteil detektierter Photonen

$f(m, c)$: Faktor zur Anpassung von $h(m, c)$

Datenbankgestützte Produktdatenarchivierung

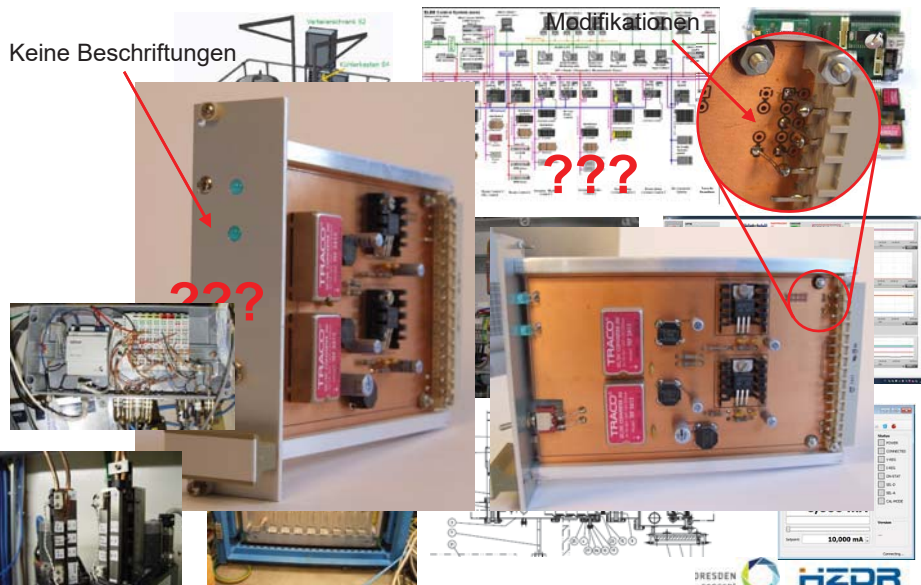
Unterstützung für eine lückenlose Geräte- und
Anlagendokumentation in der Zentralabteilung
Forschungstechnik

SEI 2018
M. Meyer



M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Problem: Lückenlose Abdeckung
Problem: Modifikationen an einem unbekanntem Gerät



Seite 2

Mitglied der Helmholtz-Gemeinschaft
M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de


Inhalt

- **Interdisziplinäre Dokumentenvielfalt**
 - Organisatorische Lösungen und deren Probleme
 - Unterschiedliche Archivierungsansätze

- **Lösungen zur Produktdatenablage für Produkte der Forschungstechnik**

- **Nutzerakzeptanz**
 - Bedienoberfläche
 - Verfügbarkeit und Datenzugriff
 - Kennzeichnung der Geräte

- **Geplante Funktionserweiterungen**




Seite 3 Mitglied der Helmholtz-Gemeinschaft
M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Interdisziplinäre Dokumentenvielfalt

ELEKTRO-TECHNIK	Schaltplan Schaltungssimulation PCB-Layout CAM-Daten Stückliste EPLAN	3D-Modell (CAD) Technische Zeichnungen FEM-Simulationen CAM-Daten Materiallisten	MECHANIK KONSTRUKTION
PROJEKT-PLANUNG	Angebote Lieferscheine Planungsunterlagen Blockbilder	Bedienungsanleitung Betriebsanleitung Risikobeurteilung Konformitätserklärung Prüfungsunterlagen	DOKUMENTATION
SOFTWARE FIRMWARE	Quellcode Bibliotheken	Konfigurationsdateien SPS-Code Visualisierungsbilder	AUTOMATISIERUNG

„Alles, was zum Nachbau gebraucht wird!“



Seite 4 Mitglied der Helmholtz-Gemeinschaft
M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

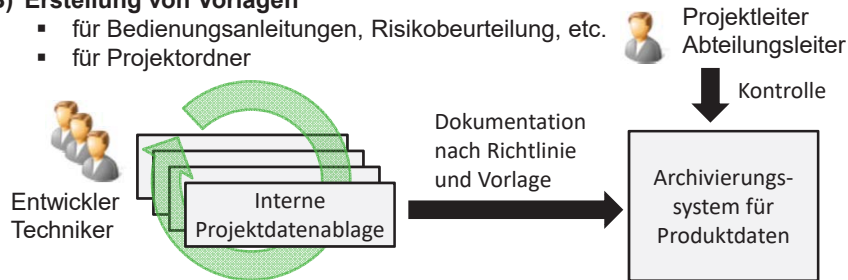
Organisatorische Lösungen und deren Probleme

A) Erstellung von Richtlinien

- für den Projektablauf
- für die Nutzung von Datenablagen (Projektordner, SVN, etc.)

B) Erstellung von Vorlagen

- für Bedienungsanleitungen, Risikobeurteilung, etc.
- für Projektordner



Probleme:

- Dokumentieren macht keinem Entwickler Spaß
- Fokus bereits auf dem nächsten Projekt
- Konvertierung der Daten für das Archiv
- Kontrolle für Einhaltung der Richtlinien und Vollständigkeit
- Übersicht und Langzeitverfügbarkeit (Backup)

Seite 5

M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de



Unterschiedliche Archivierungsansätze

A) Projektordner und Unterordner auf Netzlaufwerken

- sehr einfache Handhabung
- ohne Richtlinie entsteht Wildwuchs
- mangelhafte Abbildung von Revisionen (insb. für Quellcode)

B) Dokumentenmanagementsystem (DMS/CMS)

- oft automatische Versionierung
- sehr gut für geschriebene Dokumente (pdf, docx, etc.)
- ungeeignet bei sehr vielen kleinen (z.B. Quellcode) und wenigen großen binären Dateien (z.B. 3D-Model)

C) Versionskontrollsystem (VCS) (z.B. SVN, Git, Autodesk Vault, etc.)

- automatische Versionierung
- speziell an die Bedürfnisse angepasst (z.B. für Quellcode oder für 3D-CAD Modelle)
- Metadaten oft unzureichend möglich

D) Projektverwaltungssystem (z.B. SharePoint, Redmine)

- oft zusammen mit einem DMS oder einem Versionskontrollsystem
- gut zur Projekt- und Supportorganisation

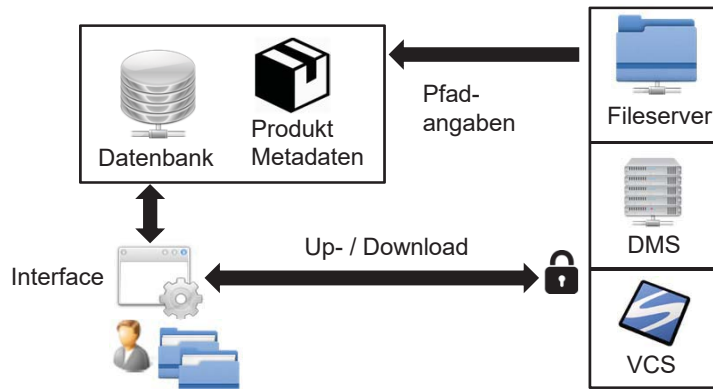
Seite 6

M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de



Verwendete Lösung zur Produktdatenarchivierung

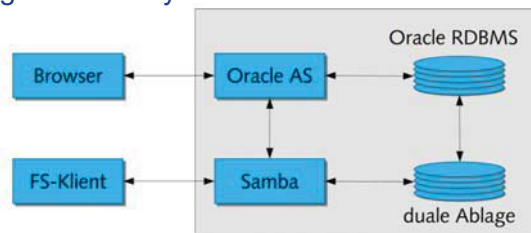
- **Metadaten** in der zentralen HZDR-Datenbank mit
- **Pfadangaben** zu den eigentlichen Daten, die jeweils im passenden Ablagesystem liegen



Seite 7

M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Verwendete Lösung zur Produktdatenarchivierung - HZDR eigenes IFS-System*



- Ablage von Metadaten in einer Oracle-Datenbank
 - Basistypen: Datei, Verzeichnis, symbolischer Link
 - Attribute durch Zuordnung einer „Klassendefinition“ auf diese Basistypen
- Dateien können als BLOB oder im angehängten Dateisystem abgelegt werden
- Nutzung der User-DB (inkl. Gruppen) für die Zugriffssteuerung
- Möglichkeit zum Einbinden bereits realisierter DMS-Applikationen
- Volltextsuche nach Attributwerten und innerhalb von Dateien möglich
- Baukasten zur Erstellung von Nutzerschnittstellen

* Internet File System (IFS), Quelle: Nils Schmeißer, Zentralabteilung Informationsdienste und Computing

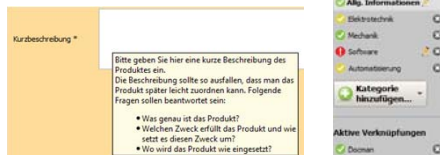
Seite 8

M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Nutzerakzeptanz

... ist höchst subjektiv.

Ziel: Zwang zur Erzeugung und Ablage von Dokumentationen ohne das es für die Entwickler und Techniker als „unangenehm“ oder „nervig“ wahrgenommen wird.



- **Verhinderung von Hilflosigkeit**
 - Tooltips
 - Stets verfügbarer, schneller und unkomplizierter Support
 - Möglichkeit Fehler zu begehen ohne Konsequenzen
 - Vorhandensein einer integrierten Hilfe

- **Fokus auf die Kernfunktion**
 - Schnelle und unkomplizierte Bearbeitung (< 10 Minuten pro Produkt)
 - Motivation durch „Vollständigkeits - Ampel“

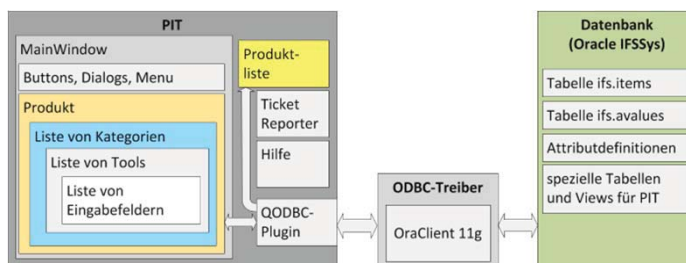
- die Vorteile einer zentral zugänglichen Doku werden mit der Zeit spürbar



Web-App vs. natives Desktop-Programm

- **IFS-Baukasten für Weboberflächen**
 - bisherige Erfahrungen negativ
 - mangelnde Unterstützung moderner Webtechnologien

- **Desktop-Programm**
 - bietet dem Nutzer eine vertraute Umgebung
 - Programmierexpertise vorhanden
 - direkter Zugriff zur Datenbank nicht auf jedem Rechner erlaubt

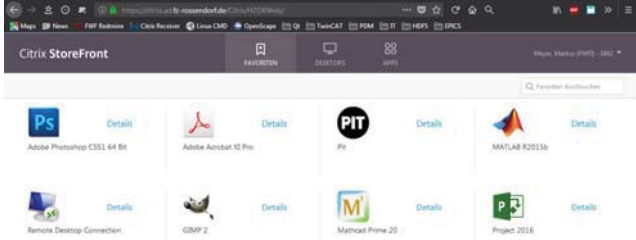


Zukunft: Alternative Anbindung mit Oracle C++ Call Interface (OCCI) über den Webserver (Anpassungen des DB-Admin notwendig)




Citrix-Umgebung

Bereitstellung von Desktop-Programmen als zentrale XenApps: Übertragung des UI über das ICA-Protokoll. Virtuelle Rechner erhalten Zugriff auf die Datenbank.



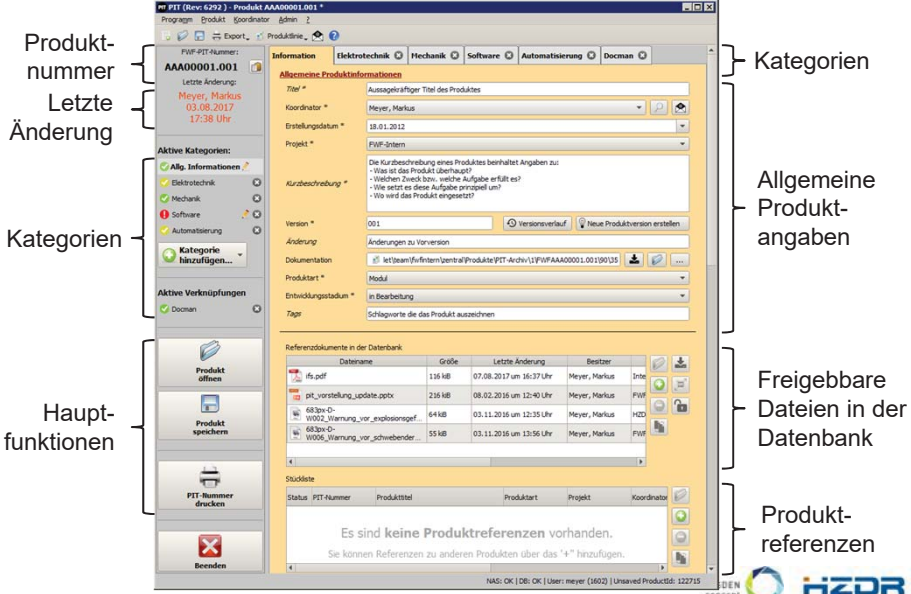
- **Vorteile:**
 - Verfügbarkeit des Desktop-Programms unter diversen Betriebssystemen und im Webbrowser
 - Softwareupdates durch einfaches Überschreiben der Programmdateien auf dem Server
- **Nachteile**
 - mittelmäßige Performance
 - Zugriff auf lokale Laufwerke ggf. verwirrend



 Mitglied der Helmholtz-Gemeinschaft

Seite 11 M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Bedienoberfläche - Überblick



Produkt-
nummer

Letzte
Änderung

Kategorien

Haupt-
funktionen


Datenname	Größe	Letzte Änderung	Bestzer
its.pdf	116 kB	07.08.2017 um 16:37 Uhr	Meyer, Markus
pt_vorstellung_update.pptx	216 kB	08.02.2016 um 12:40 Uhr	Meyer, Markus
0839v-D-10002_Warnung_var_englionssepf	64 kB	03.11.2016 um 12:35 Uhr	Meyer, Markus
0839v-D-10006_Warnung_var_schwebender	55 kB	03.11.2016 um 13:56 Uhr	Meyer, Markus

Kategorien

Allgemeine
Produkt-
angaben

Freigebbare
Dateien in der
Datenbank

Produkt-
referenzen

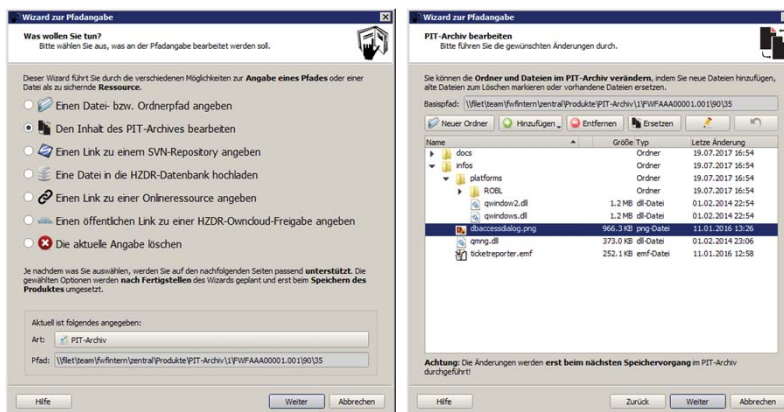


 Mitglied der Helmholtz-Gemeinschaft

Seite 12 M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

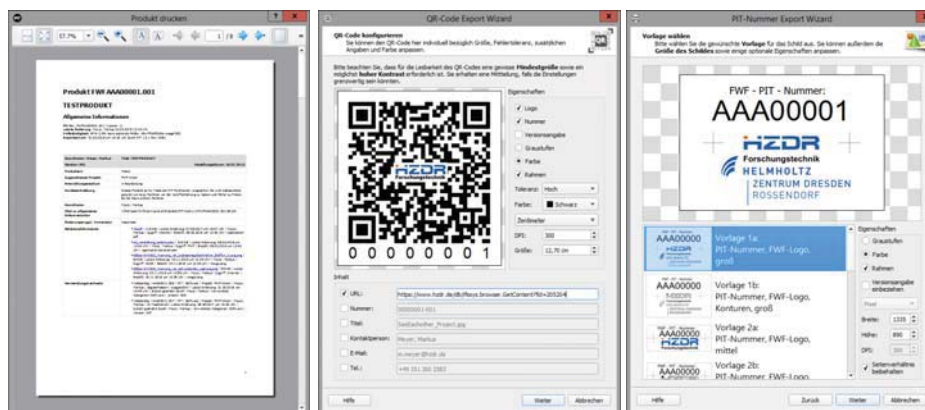
Bedienoberfläche - Pfadangabe

- Wizard zum sauberen Herstellen von Verknüpfungen zu den unterschiedlichen Ablagesystemen
- Eigenes Ablagesystem auf einem geschützten Netzwerkordner
- Synchronisation stets bei Produktspeicherung (nicht vorher)



Bedienoberfläche - Produktdatenexport

- Klassischer Export aller Attribute eines Produktes
- Wizard für die Ausgabe von Schildern in verschiedene Formate bzw. auf verschiedenen Geräten



Kennzeichnung der Produkte

- Pflicht zur Kennzeichnung bei Übergabe an die Institute
- Wiederkehrende Produktnummer
 - Schild auf dem Gerät
 - Vorlagen für Standarddokumente (z.B. Bedienungsanleitung, Risikobeurteilung, etc.)
- im Leiterplattenlayout
- Schriftfeld in technischen Zeichnungen
- in Soft- und Firmware





Forschungstechnik
 Developed at **HZDR**,
 Department of research technology (FWF)
 Markus Meyer FWF | Phone: +49 (0)351 260 2583

Date: 21.05.2018
 Revision: 6717
 PIT-Nr: AAA00235

**Anlagen-
dokumentation**

Kopplungsstrecke
SIMS an 6MeV Tandem




Meyer, Markus
m.meyer@hzdr.de
Tel.: +49 (0)351 260 2583

Auftraggeber: FZGA / A. Hahn
Projektleiter: FWI / M. Meyer

HZDR
Zentralabteilung FWI
Rechenzentrum 010
01108 Dresden

PIT-Nr.: AAA00173
Version: 1.0.0
05.07.2017






Seite 17
M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Es sind weitere Funktionen geplant!

1.4.0

Featureupdate: Threading und FWF-Archiv-Anbindung

6%

19 Tickets (1 geschlossen – 18 offen)

Zugehörige Tickets

- Feature #249: Produktsuche bei mehreren Versionen eines Produktes
- Feature #267: Automatische Link-Prüfung
- Feature #660: Dateioperationen für große Dateien in Threads
- Feature #1277: Durchgängiger Thread-Support
- Feature #1630: Auswirkungen des Produktstadiums
- Feature #1632: Integration des FWF-Dateiarchives inklusive Handhabung
- Feature #1690: Durchgängige Verwendung des Icon-Themes
- Feature #1696: Support für Drag&Drop Operationen
- Feature #1708: Anbindung der Netzwerkordner für PIT-Archiv und FWF-Archiv via net use
- Feature #1787: Zoom der Bedienoberfläche mit Strg+Mausrad
- Feature #1850: Liste für ähnliche Produkte
- Feature #1861: Vorlagen für Schilder mit Angabe des Produkttitels
- Feature #1897: Schriftart applikationsweit einstellen
- Feature #2009: Erweiterung für Verbindungen zur Onwcloud
- Feature #2385: Verhinderung für Pfadangaben zu Ordnern auf lokalen Laufwerken oder auf P:\
- Feature #2393: Neue Kategorie: Sicherheitsbetrachtung
- Feature #2480: Neue Angabe für Bilder bzw. Fotos in allen Kategorien
- Feature #2481: Übertragen eines Angabeblocks innerhalb der Kategorie zu einem anderen Produkt
- Feature #2482: Stückliste als Baumstruktur und Bearbeitung durch Verschieben

2.0.0

Neues Interface zur Datenbank

0%

1 Ticket (0 geschlossen – 1 offen)



Zugehörige Tickets

- Feature #1851: Anbindung an die Datenbank via Webserver

- Automatische Prüfung der Pfadangaben auf Erreichbarkeit
- Integration des CAD-Archivs der mechanischen Konstruktionsabteilung (ca. 1000 Datensätze mit insg. ca. 800 GB)
- Performanceerhöhung
- Drag & Drop
- Anbindung der DB mit Oracle C++ Call Interface (OCCI) über den Webserver

Niemals die Kernfunktion aus den Augen verlieren.

Keine Überfrachtung!

Seite 18
M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Zusammenfassung

- Sammlung aller Dokumente und Entwicklungsdaten für ein Produkt der Zentralabteilung Forschungstechnik unter einer Produktnummer
 - Metadaten zentral in der HZDR-Datenbank
 - Pfade zu den Daten im jeweils geeigneten Ablagesystem
- Kennzeichnungspflicht auf den Produkten
- Eingängiges und performantes Nutzerinterface
- Übersicht und Kontrolle für die Projektverantwortlichen

Jetzt zu Ihren
Fragen.

Bedienoberfläche - Anbindung des alten DMS

- Ablagesystem für PDFs und wenige mittelgroße Projektdateien
- Berechtigungssystem für HZDR-interne Freigaben

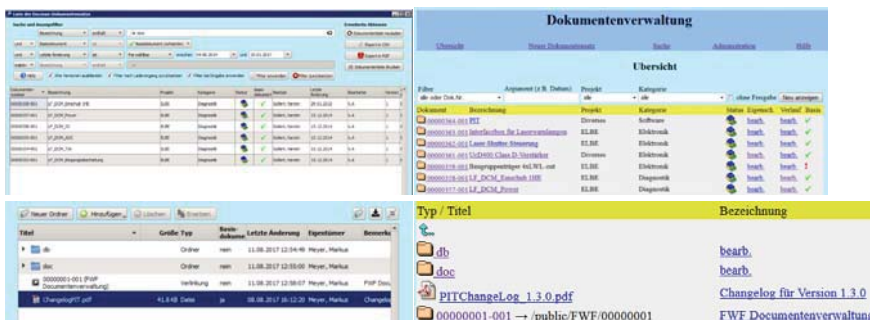
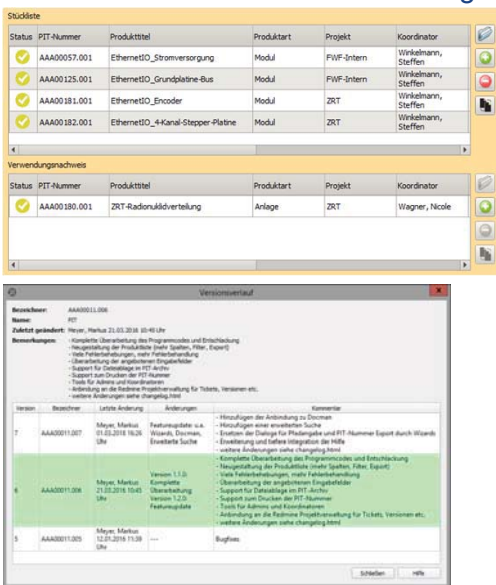


Abbildung im Desktop-Programm als Alternative zur Weboberfläche

- + Tooltips und Hilfe
- + Filterung während der Eingabe
- + rekursive Up- und Downloads
- + schnelles Browsen in der Dateiliste
- + Fehlerbehebungen



Bedienoberfläche - Referenzierung und Versionierung



- Stückliste und Verwendungsnachweis zwischen Produkten
- Ermöglicht die Begrenzung der Attributmenge pro Produkt und eine spezifischere Dokumentation
- Übersicht der verwendeten Produkte z.B. in einer Anlage

- Produktversionen mit Referenz zum Vor- und Nachfolgeprodukt
- Koexistenz von alten und neuen Produktversionen
- Erstellung einer Änderungshistorie

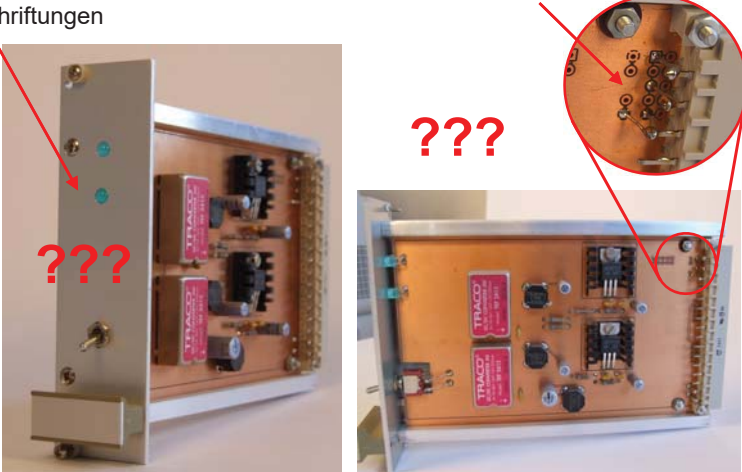


Problem: Modifikationen an einem unbekanntem Gerät

Keine Beschriftungen

Modifikationen

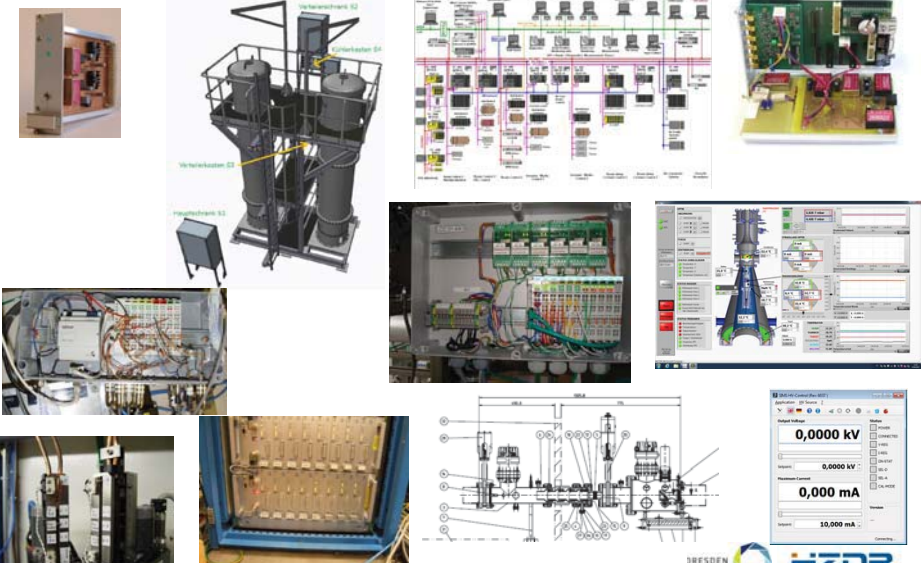
???



DRESDEN concept HZDR

Seite 23 Mitglied der Helmholtz-Gemeinschaft
M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

Problem: Lückenlose Abdeckung



DRESDEN concept HZDR

Seite 24 Mitglied der Helmholtz-Gemeinschaft
M. Meyer | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

MicroTCA Technology Lab - A Helmholtz Innovation Lab at DESY.



MicroTCA at DESY/ XFEL



Why MicroTCA? XFEL Requirements

- Standardized electronics for easy maintenance
- 24/7 operations, high availability
- access to electronics in tunnel restricted
- precision sensors with high data rates (>TeraBit/sec)
- low latency (<2us) control loops
- open source, no vendor lock-in
- industrial electronics to ensure long life times

Advancement on Previous Standards

- Fully managed components (temperature, power, firmware)
- Remote diagnostics and remote management
- Hot-swap and redundancy options
- High-bandwidth digital signal processing and low-noise analog electronics in a single crate
- Compact, versatile formats
- Decoupling of analog and digital development cycles

MicroTCA at DESY

- Long tradition of contributing to standards at DESY
- 10+ years experience with MicroTCA
- Structured selection process for the XFEL in 2006
- Technology Transfer:
 - HVF-0016 „MTCA.4 for Industry“ (2012-2015)
 - HIL-02 „MicroTCA Technology Lab“ (since 2016)

MicroTCA Standard

Key facts

- Open, modular standard (PICMG, 100+ organizations)
- Origin: telecommunications, proven in a wide range of applications, incl. transport, medical, aerospace
- Significant developments in the physics research community incorporated into the standard MicroTCA.4 (precision timing, rear access via RTMs)



RTM

- rear side cable access
- mostly analog
- signal sampling and conditioning

AMC

- mostly digital
- latest FPGAs
- data processing

Lab Structure Implementation: From Innovation to Market



Mission

- To make the DESY-developed MicroTCA board portfolio commercially available through industry partnerships
- To foster the widespread adoption of MicroTCA-based solutions beyond research and facilitate transition to industry
- To create an *Enabling Space* for the interaction with external and internal clients



Business Model

- Design services and product development: hardware, firmware, software
- High-end test and measurement services
- Consulting (neutral, vendor-independent system configuration and integration)

Dedicated team of ca. 7 FTE
>20 licenses to date, ~30TEUR p.a.
State-of-the-Art Infrastructure
Five year initial funding period
2021: Self-sustaining operations

Target Sectors

- Industrial automation & quality control
- Medical technology
- Laser
- Radar
- Traffic control

Lab Integration: MSK, M and DESY



M-DIVISION
Machine Group UFE

DESY. MSK

- Focused on front-end electronic, firmware and software developments for accelerators
- Beam stabilization systems in storage rings and LINACS
- RF control systems for the accelerator structures (LLRF)
- Timing for pre-accelerator systems
- Precision magnet controls for DESY II
- Precision synchronization systems on femtosecond level
- Special diagnostic devices
- MicroTCA Technology Lab**
 - First point of contact for research and industry
 - Industry showroom
 - Licensing opportunities
 - Order processing
 - Internal technology transitions
 - Production, Certification
 - Project pipeline hub



Technology Transfer: Helmholtz Association (ARD-ST3)






PDF III Topic: Accelerator Research & Development (ARD) – Talk by Sven Pfaffner "Precision RF controls for accelerating structures"

International Collaboration, Dissemination, Exchange



Support

- Hardware
- Firmware
- Software

Integration

Training

- MicroTCA Basic/ Advanced (at DESY)
- System start-up (on site)

Consulting

- LLRF specification and design
- Interoperability
- Operations performance optimization
- Upgrades, further developments

Collaboration with Industry

Advance Research and Development for Next Generation MicroTCA Systems

- New materials, design concepts, interfaces and communication protocols
- MicroTCA component design

Tutorials, Trainings and Workshops

- MicroTCA system configuration and module designs
- Advanced electronics design
- High-end test and measurement methods

Joint Marketing Activities

- MicroTCA standard promotion
- Market research
- Industry exhibitions on conferences and trade fairs
- Hardware loaner pool and online system configurator

Interoperability Improvements

- Joint test sessions
- Design reviews
- Dedicated MicroTCA component test stands



Contribution to the MicroTCA Ecosystem

Annual MicroTCA Workshop (since 2012)

- Tutorials for beginners
- Interoperability testing opportunities
- Short talks from industry and research
- Industry exhibition and social program



Website

- Presentation of new DESY/ Techlab developments
- Repository for MicroTCA developers and users
- Directory of partners, suppliers, events, guidelines
- Contact point for support and training requests



<https://techlab.desy.de/>

Software Framework / Tool Kit

- Open Source: <https://github.com/ChimeraTK/>
- Device and control system independent



Starter Kits

- AMC/RTM board templates ready to use
- Module Management Controller Software implementing basic board function:



PICMG Standard Evolution

- Executive membership (voting rights)
- Major contribution to capability specification MicroTCA.4
- Working group member, e.g. Standard Process Model Design Guide
- Emerging technology watch (e.g. IoT)



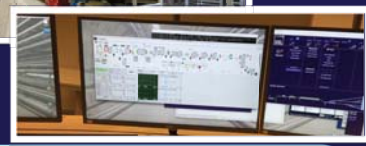


N.A.T. Solutions for MTCA.4.1

Complete and EASY to Use

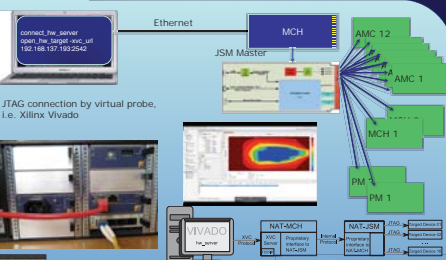
Components for Installations like XFEL

- 12/6 slot 19" Chassis NATIVE-R9, NATIVE-R2
- RF Backplane NAT-LLRF-Backplane
- JTAG Switch Module NAT-JSM
- Power Supplies NAT-PM1000, NAT-RPM
- 80xPCIe Gen3, 16xGbE NAT-MCH-PHYS80
- 48xPCIe Gen3, 16xGbE NAT-MCH-PHYS
- LLRF Management NAT-MCH-RTM-BM-FPGA
- PicoSecond Timer NAMC-psTimer, -RTM-C
- Kintex7 & 8xSFP NAMC-TCK7
- FMC-Carrier NAMC-ARRIA10/ZYNQ-FMC



Easy Configuration of High Performance Technology

- Debugging of multiple JTAG Xilinx devices via MCH, no need for JTAG adapter
- IPMI Debug over Ethernet
- Easy to use Web Interface to configure
 - PClexpress
 - PClexpress Clusters inside and outside of MTCA crate,
 - Individual x4, x8, x16 PClexpress configurations
 - Power Module
 - Power Configurator to set up 1+1, n+1 power configuration
 - individual maximum current setting in FRU and backplane
 - GbE/XAUI: Virtual LAN, Port Mirroring etc configurations
 - JAVA Support NAMC-psTimer (compatible with x2Timer)
 - LLRF backplane and eRTM support



Latest News

Standard Name	Size
NATIVE-mini	1U, 2 AMC Slots
NATIVE-C1	19", 1U, 6 AMC Slots
MTCA.0	NATIVE-C2 19", 2U, 12 AMC Slots
NATIVE-C5	5U, 7 double AMC Slots
NATIVE-SX	3U, 5 Slot
MTCA.1	NATIVE-IPC 19", 4U, 10 AMC Slots
NATIVE-C8	19", 8U, 10 AMC Slots, JSM
NATIVE-R2	19", 2U, 6 AMC + 6 RTM Slots, JSM
NATIVE-R5	5U, 7 AMC + 7 RTM Slots
MTCA.4	NATIVE-R9 19", 9U, 12 AMC + 12 RTM Slots, JSM, LLRF
MTCA.2	on request
MTCA.3	on request

AMC-FMC Carrier

NAMC-Xilinx-FMC

Power Supplies AC and DC

- NAT-PM-DC600LV DC 24V (18-36V) 600W
- NAT-PM-DC420 DC -48V (-40..-60V) 420W
- NAT-PM-DC840 DC -48V (-40..-60V) 840W
- NAT-PM-AC600 AC 110-265 600W
- NAT-PM-AC600D AC 110-265V 600W
- NAT-PM-AC1000 AC 110-265V 1000W
- NAT-RPM-PSC AC 110-265V +/-VV, 600W

MicroTCA Carrier Hub and Management

- Single NAT-MCH-xxx
 - GbE, XAUI, PCIe, RapidIO
 - Clock generation and distribution 1pps-700 MHz
 - optical and copper uplink XAUI, RapidIO
- Double NAT-MCH-PHYS/-80
 - GbE, PCIe
 - Clock distribution with low latency
 - optical x4, or x8 or x16 or two x8 PCIe uplink

Einsatz von PROFINET in der Neutronenstreuung

18.04.18 | Harald Kleines, JCNS-2

Jülich Centre for Neutron Science

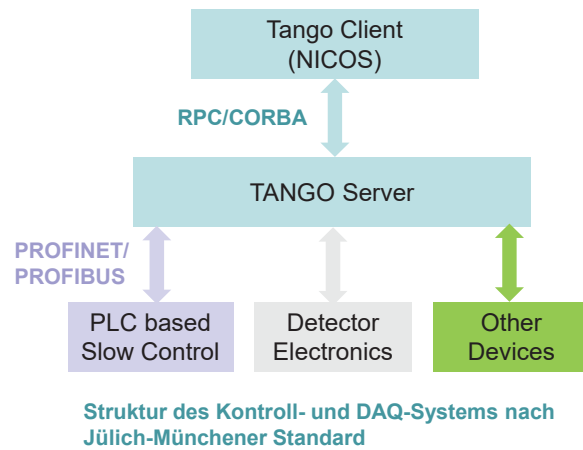
- Forschungszentrum Jülich
 - Interdisziplinäres Forschungszentrum, ca. 5800 Mitarbeiter
 - Forschungsreaktor FRJ-2 wurde 2006 abgeschaltet
- ⇒ Gründung des JCNS in 2006
 - Zentrale: JCNS-1, JCNS-2, (JCNS-3) in Jülich
 - Außenstelle am MLZ in Garching: 11 Instruments am FRM-2
 - Außenstelle am ILL in Grenoble: 3 Instrumente in Kooperation mit CEA
 - Außenstelle am ORNL in Oak Ridge: 1 Instrument an der SNS
 - Zukünftige Aktivitäten: ESS (3+ Instrumente) + High Brilliance Source



Neutronenleiter-
halle am FRM-II

Architektur der Kontrollsysteme der JCNS-Instrumente

- Hochgradige Standardisierung von
 - Architektur
 - Komponenten
 - Kommunikationssystemen
 - Kommunikationsmechanismen
 -
- Slow Control basiert auf industrieller Automatisierungstechnik, insbesondere auf SPS-Technik



Klassische Kommunikationsarchitektur der JCNS-Instrumente

Server-Rechner



PROFIBUS DP, MPI, Ethernet (UDP)

Steuerungen, Bedien-Panel



PROFIBUS DP, AS-Interface

Dezentrale Peripherie, Prozess I/O

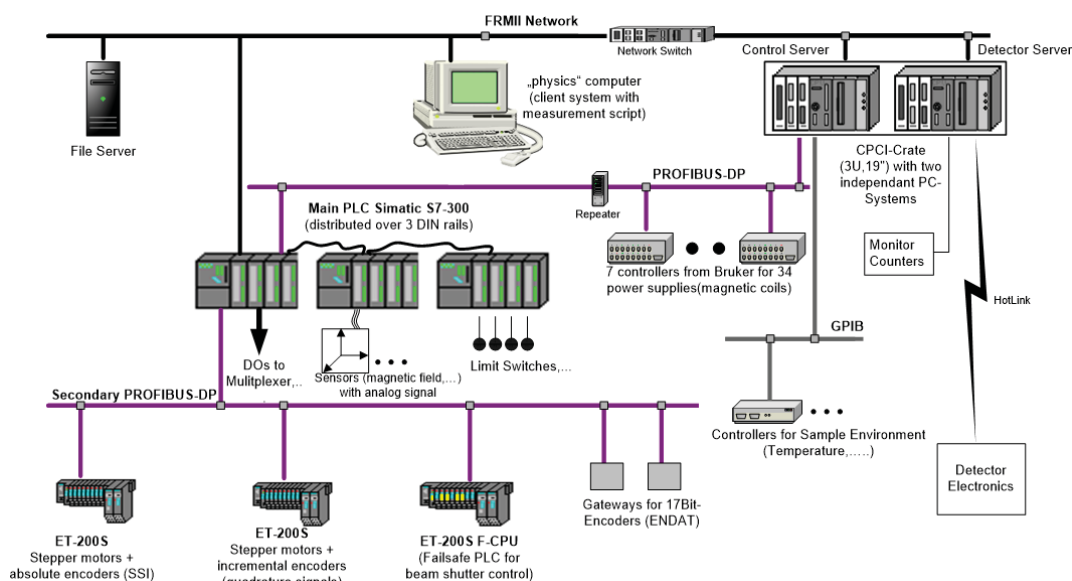


PROFIBUS DP (in den 90er Jahren)

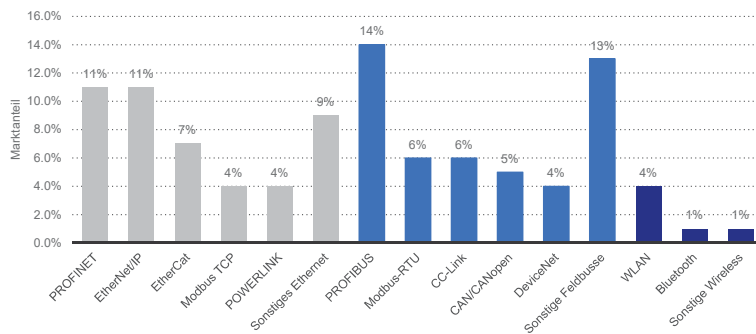
- Kommunikationsmodell: Producer/Consumer-Modell
 - Ideal geeignet für den zyklischen Ablauf in SPSen
- Standardisierte Gerätediagnose + standardisierte Geräte- und Kanalkonfiguration (GSD-Dateien) + Echtzeitfähigkeit
 - Ideal geeignet für die Kommunikation mit Automatisierungsgeräten
- Weltweit am meisten verbreiteter Feldbus und natürlicher Kommunikationsmechanismus bei Automatisierungsgeräten der Firma Siemens
 - ⇒ Arbeitspferd im JCNS für die Kommunikation mit dem Leitreechner und mit der dezentralen Peripherie
 - ⇒ Mitte der 90er Jahre Entwicklung eines eigenen Kommunikationskontrollers für CPCI mit Linux-Support
- Heute Vielzahl von Alternativen verfügbar
 - Hilscher, HMS, Kunbus, Softing,.....



Beispiel: Struktur des alten Kontrollsystems für das Spinecho-Instrument J-NSE



Marktanteile industrielle Kommunikation 2017



Quelle: Statista/HMS

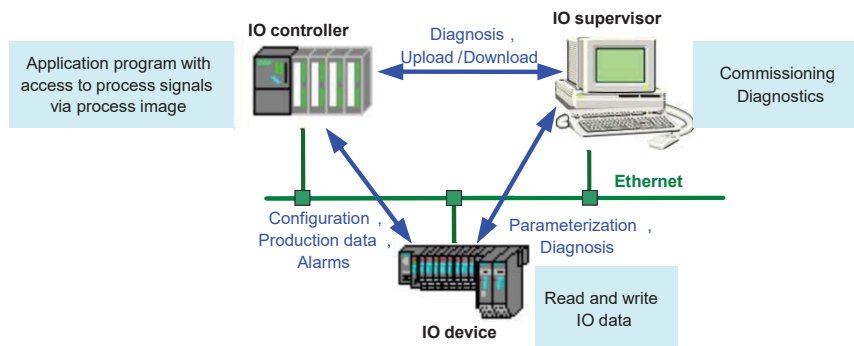
- PROFINET IO ist das Feldbussystem mit den höchsten Wachstumsraten
 - Bei neuen und alten Produkten von Siemens standardmäßig unterstützt
 - S7-1200, S7-1500, ET200SP, ET200MP, ET200PRO, SINAMICS
 - S7-300, S7-400, ET200S, ET200M
 - Funktionell sehr ähnlich zu PROFIBUS
- ⇒ Entscheidung im JCNS: Übergang zu PROFINET IO

PROFINET IO Überblick

- Definition durch die PI als Weiterentwicklung von PROFIBUS
 - Kontinuierlich weiterentwickelt
 - Standardisiert in IEC61784 und IEC61158, 100%-Ethernet/IEEE-kompatibel
- Ziele:
 - Erhöhung der Performance
 - Standard Netzwerkverkehr und Echtzeit-Daten auf einer Leitung
 - Nutzung von Wireless + Standard-Kommunikationsinfrastruktur
 - Redundanz
 - Shared Devices
 - Erweiterte Diagnose und Alarmer
 -
- 3 „Conformance“-Klassen CC-A, CC-B, CC-C (Isochronität)
- Applikationsprofile: PROFI-safe, PROFIdrive, PROFIenergy,.....

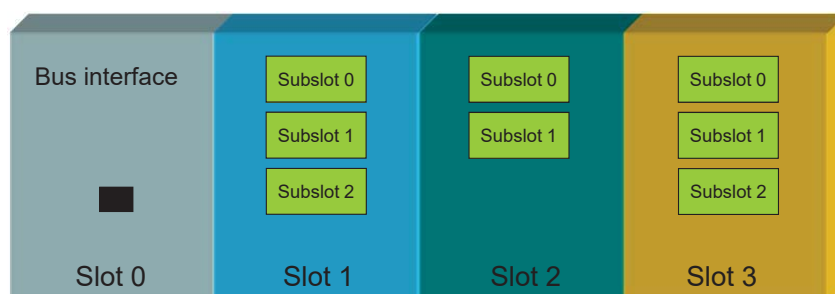
PROFINET IO System Modell

- Konzipiert für Szenarien mit Dezentraler Peripherie und zyklischem Datenaustausch
- Eng an Modell und Arbeitsweise von PROFIBUS DP angelehnt
- 3 Typen von Stationen (Master/Slave Szenario):
 - IO Controller: intelligentes Automatisierungsgerät (SPS,...)
 - IO Device: unterlagertes Feldgerät
 - IO Supervisor: Engineering Station



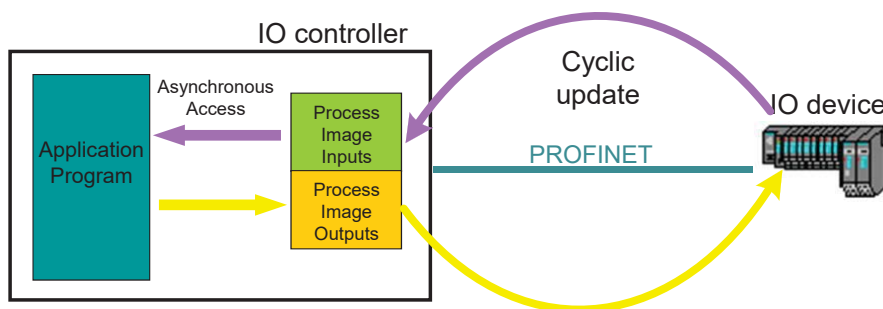
PROFINET IO Device Model

- (Potentiell) modulares Geräte-Modell
- Slot/Subslot: Gemeinsames Adressschema für Daten, Alarme und Diagnoseeinträge
- **GSDML-Datei** definiert Geräteeigenschaften (modulare Struktur, Parameter)
- Engineering Werkzeug (z.B. STEP 7) importiert GSDML-Dateien:
 - Offline-Definition von Gerätekonfiguration and -Parametrierung
 - Lädt die Konfiguration in die IO-Controller



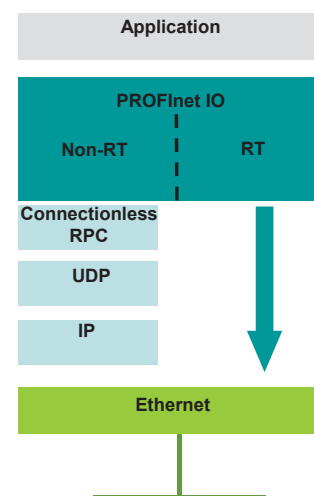
PROFINET IO Kommunikation

- Zuweisung der IP-Adresse via Discovery and Control Protocol (DCP)
- Aufbau von Applikationsbeziehung und unterlagerten Verbindungen mit Context Management Services (RPC/UDP/IP)
- Konfiguration und Parametrierung aller IO Devices mit den Acyclic Record Data Services (RPC/UDP/IP)
- **Zyklischer Datentransfer-Mode** (Prozessdaten und Alarmer)

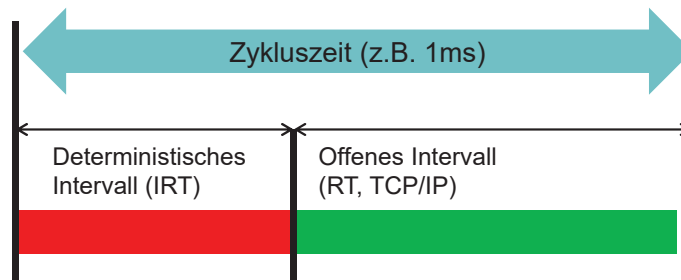


PROFINET IO Protokolle

- Non-RT Kommunikation (Context Management, Acyclic Record Data)
 - UDP/IP
 - OSF RPC (nicht SUN!!)
- RT Kommunikation
 - Für zyklischen Datenaustausch (und DCP)
 - (optional) Bypass von UDP/IP
 - Ethertype 0x8892
- Isochrone RT Kommunikation
 - Jitter Buszykluszeit unter 1µs
 - Uhrzeitsynchronisation via PTP (Precision Time Protocol) nach IEC61158
 - ASIC-Unterstützung notwendig



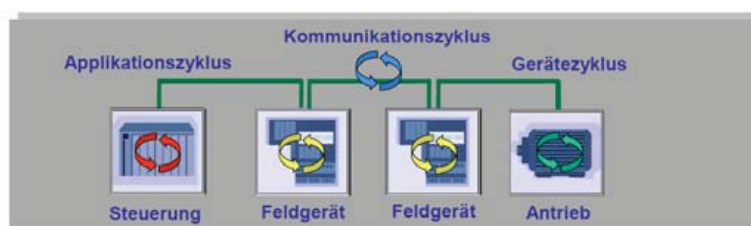
PROFINET IO Isochronität



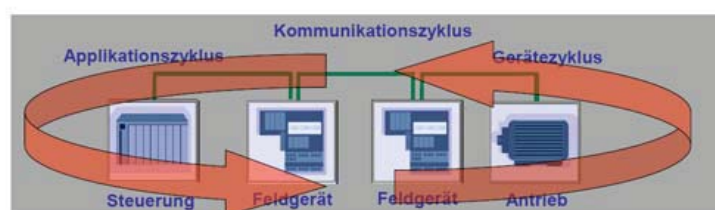
- Präzise Synchronisierung der Zykluszeit
- Zusätzlich IRT-Kanal (TDMA: 31,25µs slots)
- Scheduling im IRT-Kanal
- Support durch ASIC erforderlich

PROFINET IO Taktsynchronität

- RT Applikationen: Unterschiedliche Zyklen für Kommunikation, Steuerung und Feldgeräte => hoher Jitter



- Taktsynchronität: Alle Zyklen sind synchron
=> Jitter < 1µs, Zykluszeit < 1ms



Performance Optimierungen ab Version 2.3

- Fast Forwarding
 - Optimiertes Weitersenden eines Frames während des Empfangs
- Dynamic Frame Packaging
 - Übertragung aller Eingangs/Ausgangsdaten mehrerer Devices in einem Frame
- Fragmentation
 - Senden/Empfangen von maximalen Standard Ethernet Frames benötigt $>100 \mu\text{s}$ => Zerlegung in kleinere Segmente
- Insgesamt: Zykluszeiten von $31,25\mu\text{s}$ sind erreichbar

PROFINET ASICs

- Siemens/Renesas Ertec400
 - Mit 4-Port-Switch, PCI-Interface
 - Siemens/Renesas Ertec200
 - Mit 2-Port-Switch
 - Siemens/Renesas Ertec200P
 - Mit 2-Port-Switch, $31,25\mu\text{s}$ Zykluszeit
 - Phoenix/Renesas TPS-1
 - auch ohne CPU (nur digitale IOs)
 - Hilscher NetX-Familie
 - Multiprotokoll-ASICs, auch ohne CPU
 -
 - Alle ASICs enthalten kompletten Protokollstack
 - Aber Implementierung ist immer noch komplex
- ⇒ Für Hostanbindung sind kommerzielle Boards sinnvoll

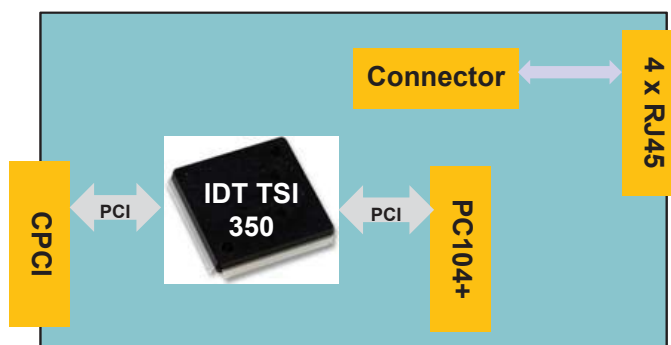


PROFINET IO Controller für CPCI und Linux

- Kommerzielle Produkte verfügbar
 - Hilscher, Kunbus,....
 - Nachteil: Weiteres Engineering-Werkzeug zusätzlich zur SPS-Programmierung erforderlich
- Alternative: Siemens-Produkt?
 - Nicht für CompactPCI
- Idee: CPCI-Träger für CP1604
 - PROFINET Controller/Device für PC104+ mit Linux Treiber (source code)
 - Webserver für Diagnose integriert



Blockdiagramm des CPCI Trägerbaugruppe



- PCI-to-PCI-Bridge IDT TSI 350
 - 66 MHz/32 Bit PCI
 - Kompatible zu TI PCI2050B und Intel 21150
 - 208 Pin PQFP package

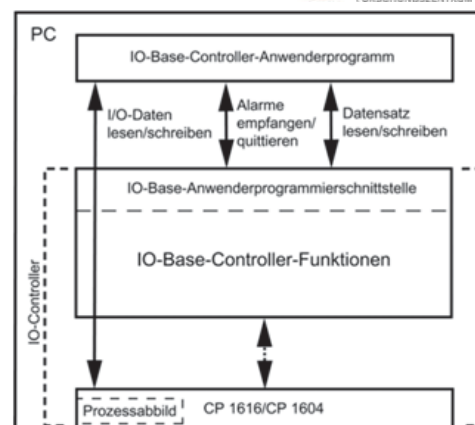
CPCI Trägerbaugruppe für PC104+



- 4-fach RJ45-Port direkt integriert
- Adapterplatine zur Anpassung der unterschiedlichen Steckerhöhen notwendig
- Einfache Breite => Demontage des des PC104+-Steckers von CP1604 notwendig
 - Austausch gegen Buchse

IO Base Interface

- Standardisierte C API für Controller
 - Für SW und HW Implementierungen
 - Für Windows und Linux im Source Code
 - Verwendung von Call Back Funktionen



PROFINET Driver +
Source Code
(auch Linux)



SOFTNET
PN IO

CP1616



CP1626



Auf Mainboard
(BoxPCs,...)



Integration in die Host-Software

- Parametrierung und Initialisierung
 - Bisher tools **dpconfig** + **pbd**
 - Jetzt: **Step7** + automatisch bei *profi_open()*
- Produktiv-Dienste in TANGO-Servern
 - *profi_open()*, *profi_close()*, *profi_set_data()*, *profi_get_data()*
 - Kleine Interface-Bibliothek zu IO-Base => alle Tango-Server ungeändert
- Diagnose und Test
 - Bisher Tool **dpdialog**
 - Jetzt **Step7**, Web-Server auf CP1604 + Tool **qango** für TANGO-Server
 - Evtl. noch Tango-unabhängiges Tool entwickeln

Integration in die SPS-Software

- Andere Konfiguration in Step7 (z.B. andere Adressen,.....)
- Programmierung des Datentransfers
 - Zugriff auf IO-Devices / DP-Slaves: keine Änderungen
 - *Memory-mapped* + *SPS-Betriebssystem-Support*
 - Kommunikation mit Host: Teilweise andere Funktionsbausteine mit fast identischen Parametern => triviale Änderung
- Programmierung von Diagnose, ...
 - Hier existieren Unterschiede
 - Aber: in der Regel nicht ausprogrammiert
 - nutzt Default-Handling durch SPS-Betriebssystem bzw. von Siemens bereitgestellte Standard-Masken in Tochpanels (WinCC)

Status

- Komplette Umstellung: ANTARES (TU München), Host: BoxPC IPC427
- Teilweise zwischen SPSen und dezentraler Peripherie: DNS, KWS, HEIDI,...
- Komplettumstellung mit CP1604: NSE im Sommer
- Insgesamt: Inkrementeller Übergang von PROFIBUS DP zu PROFINET IO bei den JCNS-Instrumenten
- Teilweise Koexistenz
- Bisher keinerlei Probleme
- Sehr niedriger Aufwand
- Grundsätzlich: Verwendung von spezifizierten Kabeln und Steckern im Instrument (Im Lab: Standard Cat5 Kabel)
- Wichtiger Vorteil in der Praxis: Größere IO-Daten-Bereiche

EtherCAT[®] in Motion

Motoransteuerung durch Mikrocontroller mit EtherCAT on Chip

Beiträge von

Diplomarbeit Martin Wünsche: **Schrittmotoransteuerung**

Masterarbeit Johannes Waßmann: **Synchronmotoransteuerung**

EtherCAT Feldbusknoten

- **Motivation @ HZDR**
- **Systemstruktur, Zusammenwirken von Master-Slave**
- **Wichtige Mechanismen im Feldbusknoten**
- **Entwicklungswerkzeuge und ihre Grenzen**
- **Schrittmotoransteuerung**
- **Synchronmotoransteuerung**

Motivation @ HZDR:

- Nutzung industrieller Leitsysteme
- Spezialisierte Geräte nur in Einzelfällen
- Mischung marktgängiger und eigener Komponenten

- Direktes Einbinden eigener Feldbusknoten in die vorhandene Automatisierungsumgebung

Profinet oder EtherCAT



Investition zu Beginn des Produktlebenszyklus



Unterstützung des Produktes:

- Projektierung
- Betrieb
- **Systempflege / Wartung / Diagnose**

Funktionalität

- übergreifende Steuerung & Regelung
- Anzeige / Bedienen
- Parameterverwaltung
- Datenbankanbindung
- Historie / Logging
- Security & Safety
- Kommunikation (OPC)
- Ablaufskripte

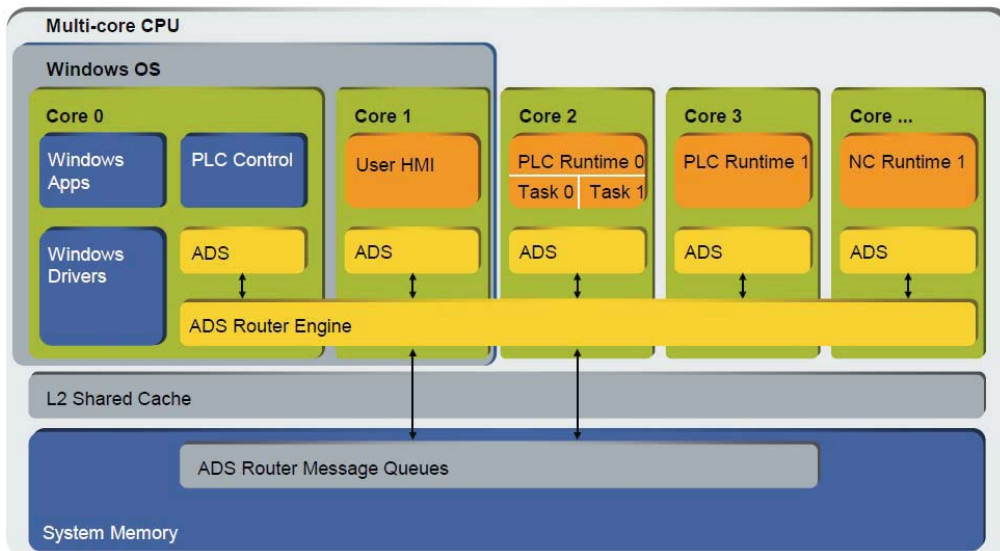
EtherCAT Feldbusknoten

- Motivation @ HZDR
- **Systemstruktur, Zusammenwirken von Master-Slave**
- **Wichtige Mechanismen im Feldbusknoten**
- **Entwicklungswerkzeuge und ihre Grenzen**
- **Schrittmotoransteuerung**
- **Synchronmotoransteuerung**

EtherCAT

Scheduler

- Einstellung der Nutzungsdauer von Windows
- Verteilung von Programmen auf Kerne
- Einstellen der Zeitscheibendauer für jeden Kern
- Protokoll: ADS (Automation Device Specification)



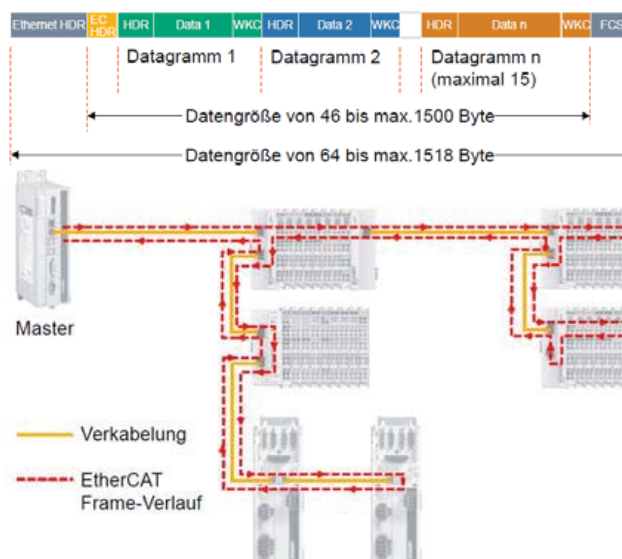
Mitglied der Helmholtz-Gemeinschaft

EtherCAT

EtherCAT Feldbus

- Ethernet Frames nach 802.3 mit Ethertype 0x88A4 durchlaufen den logischen Ring
- Master gliedert das Prozessabbild der Anlage in Datagramme
- Lokale Prozessabbilder der Slaves werden im Durchlauf aktualisiert
- Slaves implementieren Datenabgleich, Sicherungsmechanismen und fungieren als Switch

mehrere Datagramme pro Teilprozessabbild möglich



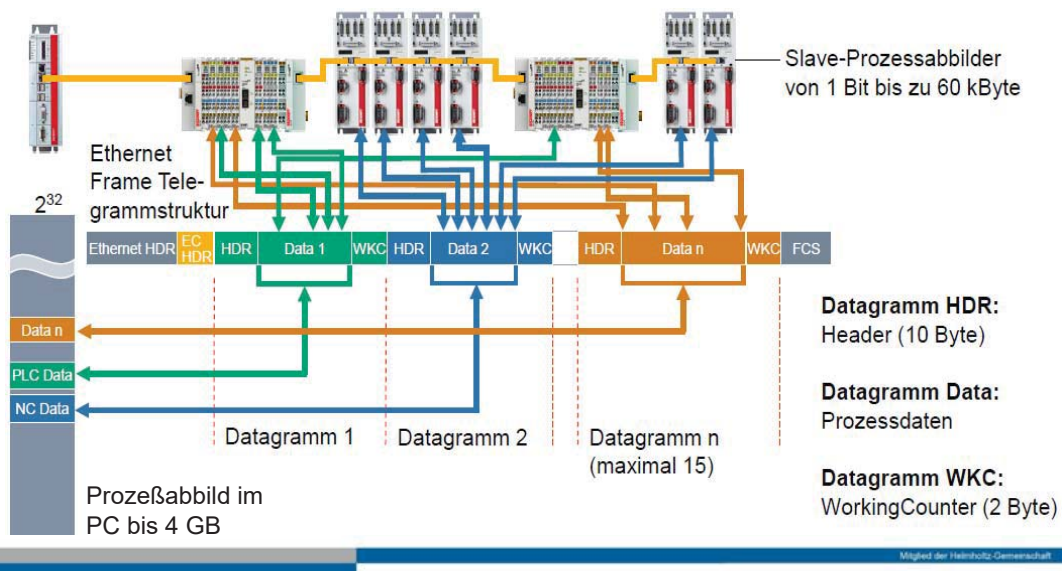
Mitglied der Helmholtz-Gemeinschaft

EtherCAT

Strukturierung von Prozessabbildern im Master

- Freiheitsgrad zur Segmentierung der Prozessabbild-Daten aus „Sync-Units“ => Zeitstruktur
- Zuordnung der Sync-Units erfolgt klemmenbezogen mit Zuordnung zu PLC/NC-Tasks entsprechend der IO-Anordnung in der Maschine

=> **Zusammensetzen der Datagramme (funktionsbezogen) aus „Sync-Units“**

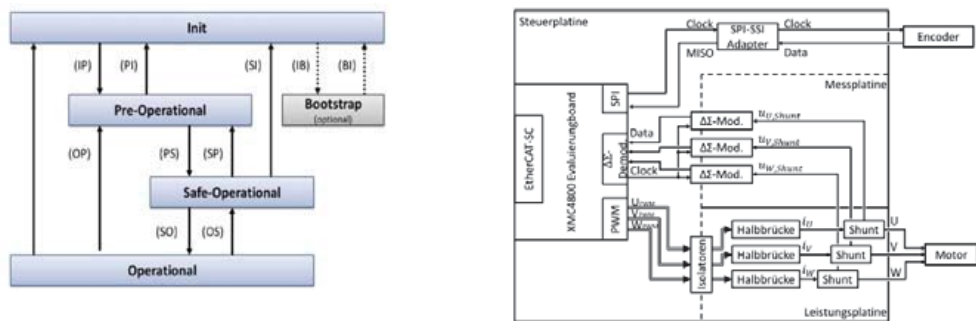


EtherCAT Feldbusknoten

- **Motivation @ HZDR**
- **Systemstruktur, Zusammenwirken von Master-Slave**
- **Wichtige Mechanismen im Feldbusknoten**
- **Entwicklungswerkzeuge und ihre Grenzen**
- **Schrittmotoransteuerung**
- **Synchronmotoransteuerung**

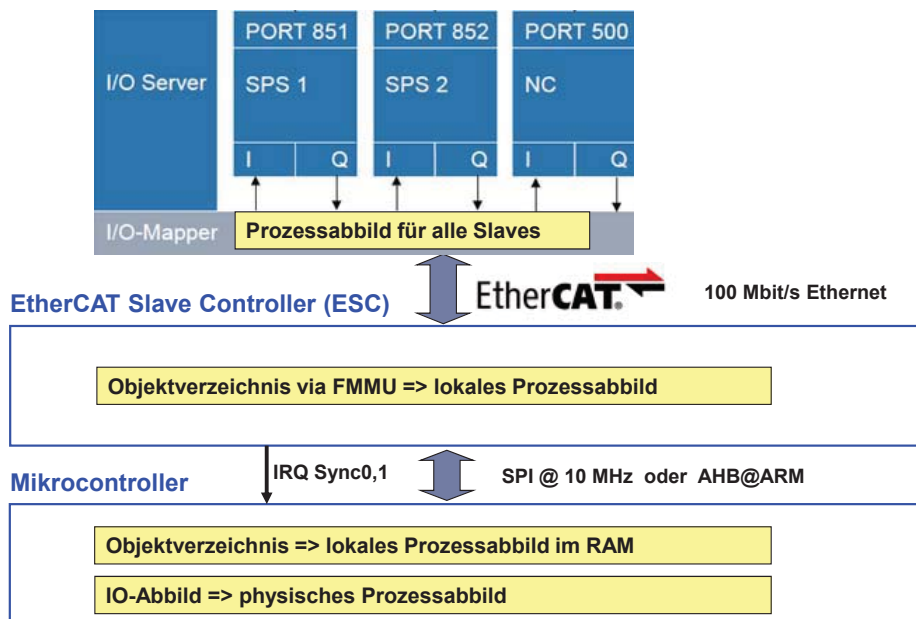
Funktionen im Feldbusknoten:

- **Kommunikation**
 - Sicherungsmechanismen
 - Metainformationen zum Gerät und zur Kommunikation
 - Prozessabbild
 - Zustandsautomat
 - logisches Handshake und optische Signalisierung
- **IO-Ansteuerung**



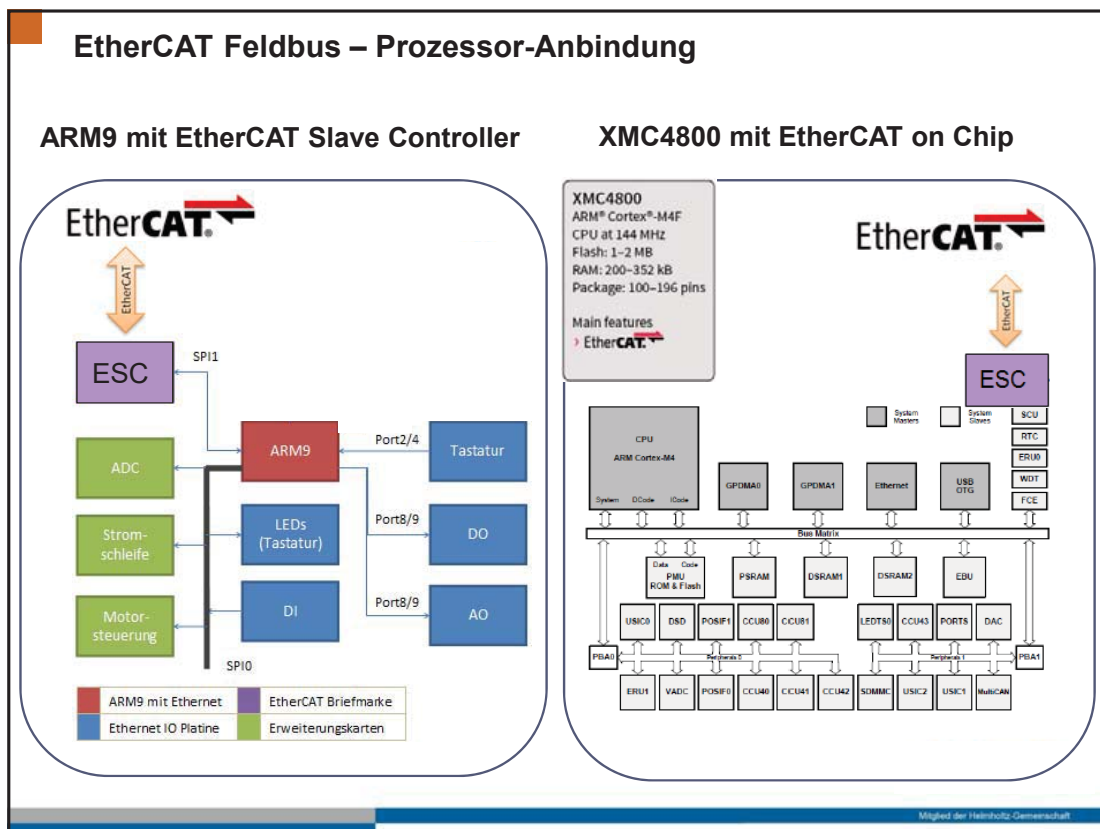
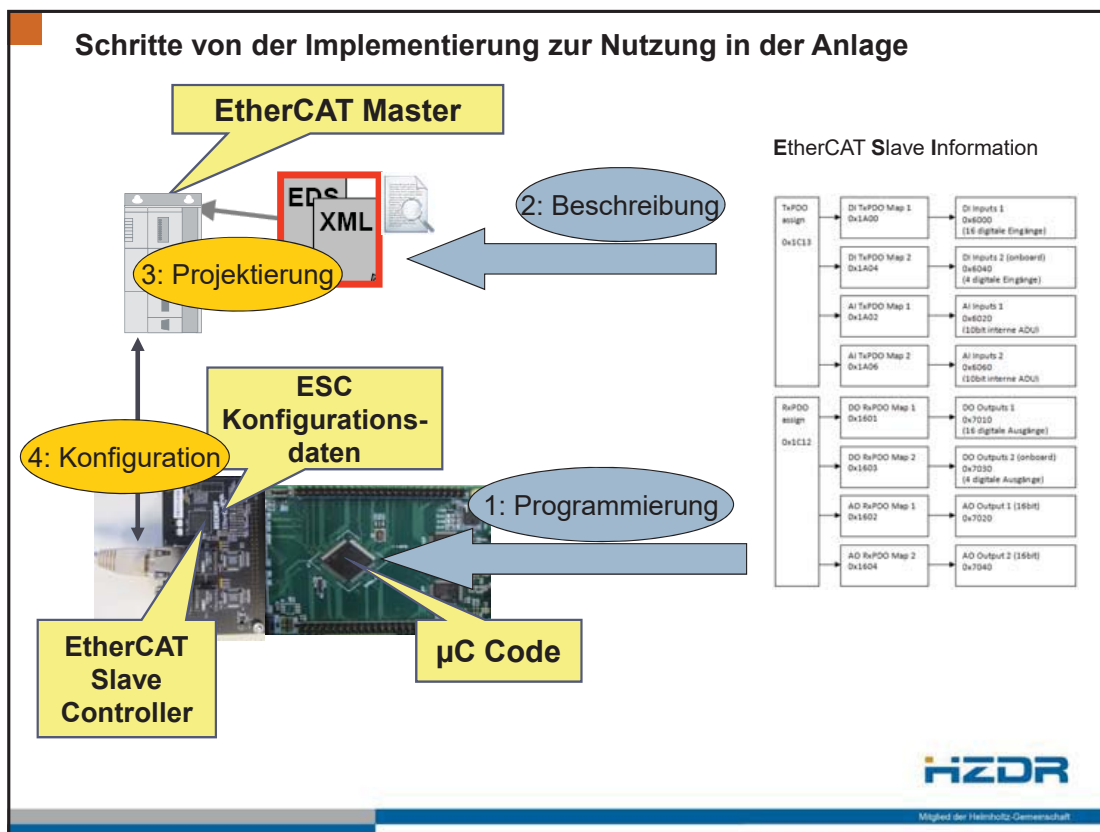
Mitglied der Helmholtz-Gemeinschaft

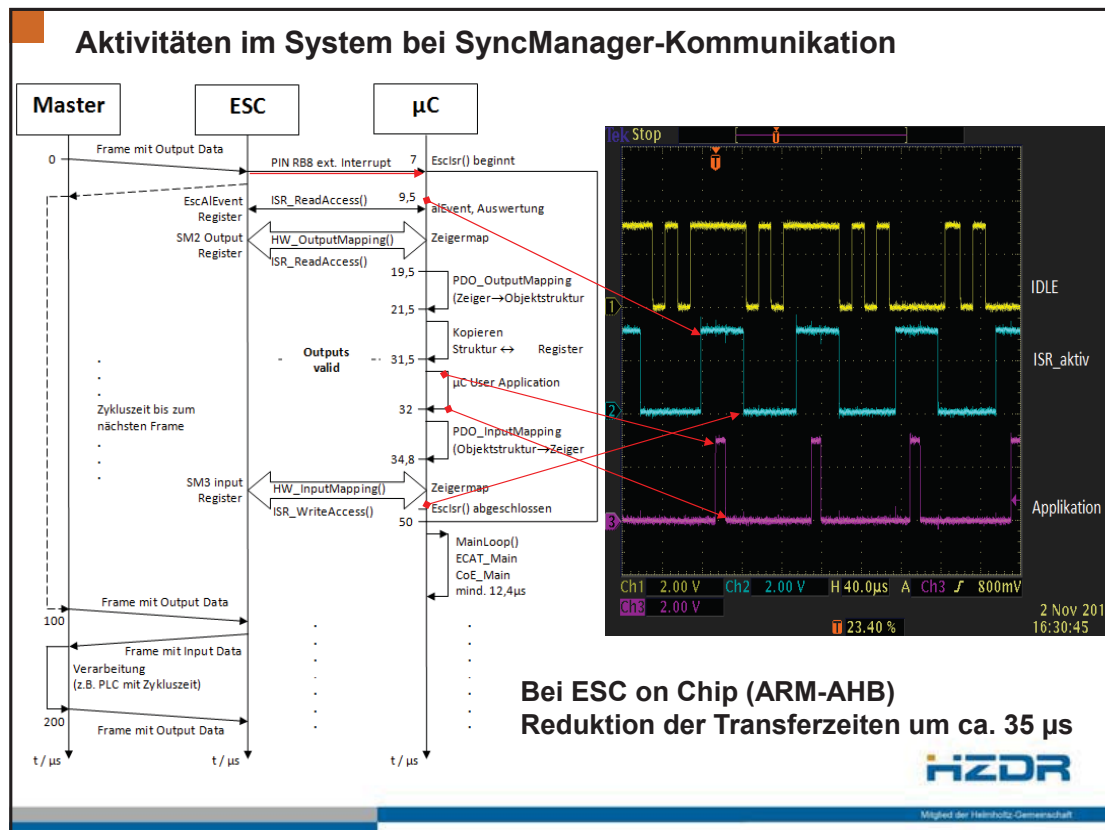
Prozessabbild-Instanzen in EtherCAT Slaves mit Mikrocontroller



HZDR

Mitglied der Helmholtz-Gemeinschaft





EtherCAT Feldbusknoten

- Motivation @ HZDR
- Systemstruktur, Zusammenwirken von Master-Slave
- Wichtige Mechanismen im Feldbusknoten
- Entwicklungswerkzeuge und ihre Grenzen
- Schrittmotoransteuerung
- Synchronmotoransteuerung

Kurzstatus Entwicklungswerkzeuge: funktionsfähig, ungewohnt, nichtoptimiert



- **DAVE**
 - Eclipse-basiert mit Gnu-Compiler
 - eigene Begriffswelt
 - ungewohntes Arbeiten mit „APP's“
 - Interrupts, Timer, SPI sind APP's
 - viel automatisch generierter Code (mit HAL)

- **Transfer der Prozessdaten**
 - generisch, z.B. für Schrittmotor : 211 µs
 - optimiert, Schrittmotor : 4,47 µs
 - => wichtig für Feldbuskommunikation und Verfahrensgeschwindigkeit

- **Generierung der Gerätebeschreibungsdatei:**
 - ca. 360 Zeilen Excel-Tabelle; davon 100 relevant
 - für eine Geräteverwendung ausgelegt
 - => manuelle Anpassung bei Nutzung mit PLC und NC

The object dictionary defined here shall be used complementary with ETG 5801 and ETG 8000

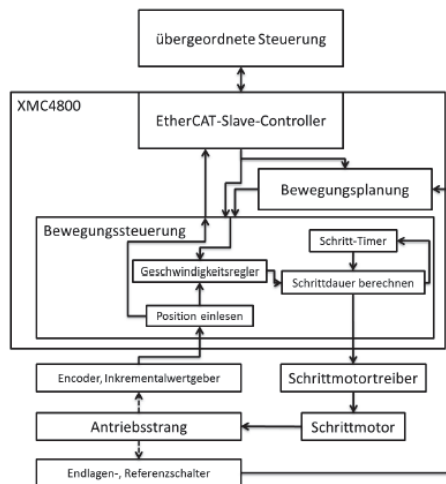
Index	ObjectName	IS	DataType	Name	...
0x7020	RECORD			STMControlMacro 1	
	0x01	BOOL	Control_Enable	?	
	0x02	BOOL	Control_Reset	?	
	0x03	BOOL	Control_ReduceTorque	?	
	0x04	Float	Pos_5		
	0x05	Float	Pos_3		
	0x06	BOOL	Control_DigitalOutput1	?	
	0x07	Float	Pos_4		
	0x08	Float	Pos_6		
	0x09	INT	Position	?	
0x7030	RECORD			STMControlMacro 2	
	0x01	BOOL	Control_Enable	?	
	0x02	BOOL	Control_Reset	?	
	0x03	BOOL	Control_ReduceTorque	?	
	0x04	Float	Pos_5		
	0x05	Float	Pos_3		
	0x06	BOOL	Control_DigitalOutput1	?	
	0x07	Float	Pos_4		
	0x08	Float	Pos_6		
	0x09	INT	Position	?	
0x7040	RECORD			SPS_External	
	0x01	BOOL	enable	?	
	0x02	Float	Pos_7		
	0x03	USINT	Modus	?	
	0x04	DINT	Position	?	
	0x05	DINT	Geschwindigkeit	?	
	0x06	DINT	Beschleunigung	?	
	0x07	UINT	Achse	?	

EtherCAT Feldbusknoten

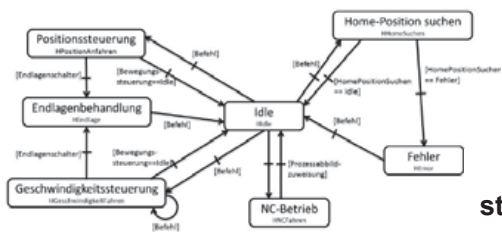
- Motivation @ HZDR
- Systemstruktur, Zusammenwirken von Master-Slave
- Wichtige Mechanismen im Feldbusknoten
- Entwicklungswerkzeuge und ihre Grenzen
- **Schrittmotoransteuerung**
- Synchronmotoransteuerung

Schrittmotorknoten für 2 Achsen:

- **IO-Gerüst:**
 - galv. getrennte Encoder oder Inkrem.geber
 - galv. getrennte Endschalter
- **Synchronisiertes Messen beim Verfahren möglich**
- **Flexible Logik zum Behandeln von Endlagen, Home,...**
- **NC- und SPS-Betrieb**
 - **NC: Geschwindigkeitssteuerung**
 - **SPS: Positions- oder Geschwindigkeitssteuerung**
 - **autark im Mikrocontroller ohne SPS**



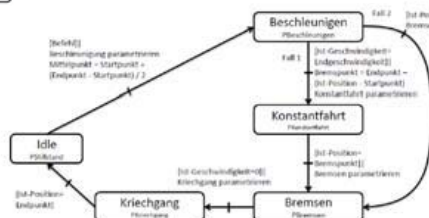
Hauptsteuerung



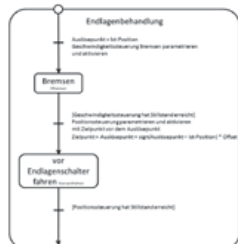
Geschwindigkeitssteuerung (SPS)



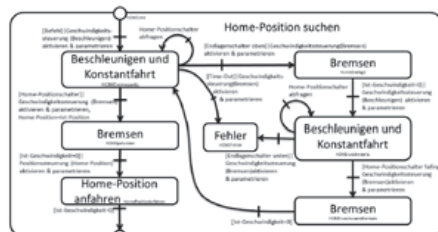
Positionssteuerung (SPS)



Endlagenbehandlung



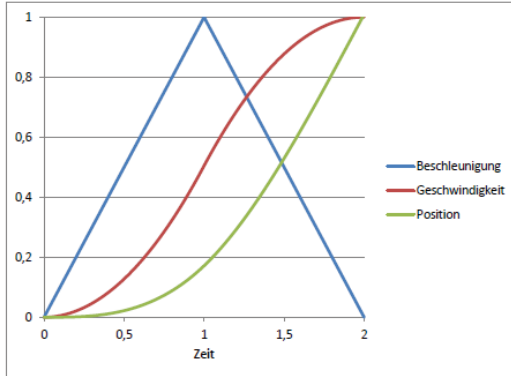
Home-Position suchen



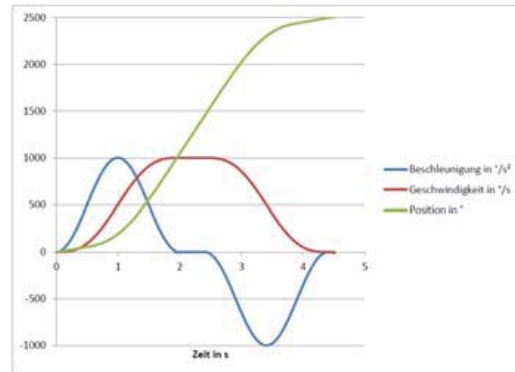
Schrittmotor-Performance:

2 Motoren, max. Verfahrensgeschwindigkeit ca. 60.000 Mikroschritte/sec
1125 U/min bei (200 Vollschritten a 16 Mikroschritte)/mech. 360°

Planungsverfahren mit unterschiedlichen Profilen (Skalierung entfernt):



linearer Beschleunigungsverlauf $a = k \cdot t + c$
auf Sollgeschwindigkeit



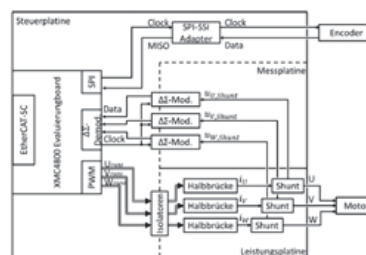
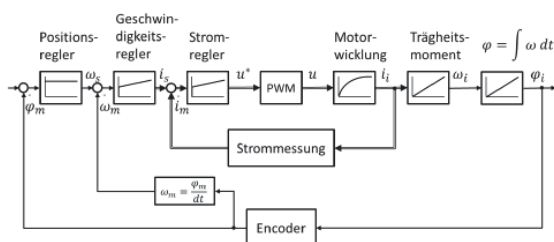
Beschleunigungsverlauf $a = k \cdot \sin^2(t)$
auf Sollposition

EtherCAT Feldbusknoten

- Motivation @ HZDR
- Systemstruktur, Zusammenwirken von Master-Slave
- Wichtige Mechanismen im Feldbusknoten
- Entwicklungswerkzeuge und ihre Grenzen
- Schrittmotoransteuerung
- Synchronmotoransteuerung

Synchronmotorknoten für 1 Achse mit

- IO-Gerüst
 - galv. getrennte Encoder oder Inkrementalgeber
 - Strangstrommessung 3x Delta-Sigma-ADC
- Clarke – Park Transformation und Rücktransformation
- Raumzeigermodulation mit trägerbasierter PWM
- Regler:
 - Magnetisierung und Drehmomentstrom @ 20 kHz
 - Geschwindigkeitsregler @ 20 kHz
 - Position @ 2 kHZ

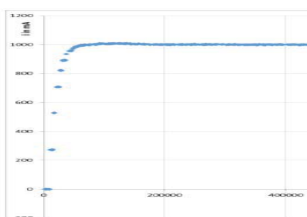


Synchronmotorknoten für 1 Achse:

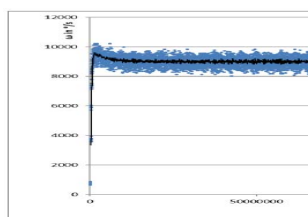
- Endstufe für 24 V, 3 A ausgelegt
- Regler und Abtastakte:
 - Magnetisierungs- und Drehmomentstrom @ 20 kHz – stabil nach 600 μ s
 - Geschwindigkeitsregler @ 20 kHz – stabil nach 7 ms
 - Position @ 2 kHz - stabil nach ca. 130 ms

Einschwingcharakteristik der Regler:

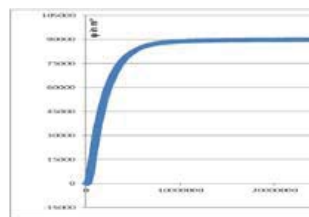
Stromregler iq: 0,6 ms



Geschwindigkeitsregler 7ms



Positionsregler ca. 130 ms



Offen: Steuerungseingriffe durch Berechnung von Bewegungsprofilen

Henrik Tietze
Zentralabteilung Forschungstechnik

Automatisierung einer Anlage zum Transport flüssiger sowie gasförmiger Radionuklide

SEI-Tagung am HZDR – April 2018





Henrik Tietze | Zentralabteilung Forschungstechnik | www.hzdr.de

Agenda

- Motivation
 - Designparameter
- Funktionsprinzip
 - Übersicht Gastransport
 - Übersicht Flüssigtransport
- Peripherie
- Steuerung
 - Vernetzung
 - Software
- Visualisierung

Seite 2



Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.hzdr.de

Motivation

- ZRT-Neubau führt Labore für Radiopharmaka-Herstellung und radiochemische bzw. biochemische Grundlagenforschung zur Radiopharmakaentwicklung in einem Laborgebäude zusammen
- Das Gebäude beinhaltet zusätzlich auch ein Zyklotron zur Herstellung der dafür benötigten Radionuklide
- Für die Verteilung und den sicheren Transport dieser Radionuklide im Gebäude wird ein entsprechendes System benötigt



(ZRT: Zentrum für Radiopharmazeutische Tumorforschung)

Motivation

- **Aufstellung der Designparameter in der frühen Projektphase**
 - Zu überbrückende Entfernungen bis ca. 50m
 - Sicherstellung des gefahrlosen Transports (PSS)
 - Generierung von Freigabesignalen für Zyklotron
 - Transport soll weitestgehend automatisch ablaufen
 - Flüssige Substanzen sollen auch dosiert werden
 - Manuelle Bedienung für Sonderfälle
 - Möglichkeit zur Bedienung von mehreren Bedienplätzen
 - Einschränkung der Bedienung auf legitimierte Operatoren

Übersicht: Gastransport

Ziel:
z.B. „PET-Box“ im Labor

- Der Transport von Gasen erfolgt in Edelstahl-Leitungen mit einem Innendurchmesser von 1,3 mm und bei einem Druck von 2-5 bar
- Gase können nicht dosiert werden

Quelle:
„Target“ am Zyklotron

Seite 5

Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.bzdr.de

Übersicht: Flüssigtransport

Ziel:
z.B. „PET-Box“ im Labor

- Transport von Flüssigkeit erfolgt in Kapillarleitungen (PTFE, Ø 0,8 mm innen)
- Der Transportdruck beträgt ca. 2 bar

Schritt 1:
Transport vom „Target“ in Vorratsbehälter

Schritt 2 (Dosierung):
Transport einer Teilmenge zum Ziel

Seite 6

Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.bzdr.de

CAD-Modelle

Flüssigverteilung/-dosierung

Gasverteilung in 4-facher Ausführung

Zielstation

DRESDEN concept HZDR

Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.bzdr.de

Seite 7

Peripherie

- Ventilantriebssteuerung für Multipositions-Ventile
- EthernetIO (Produkt der HZDR-Forschungstechnik)
 - Mikrocontrollerbasiertes, modular aufgebautes System
 - verwendete Konfiguration: Schrittmotorantrieb mit Absolutwertgeber
 - speziell für dieses Projekt angepasstes Kommunikationsprotokoll

Ventilkopf (10 Positionen)

3x 4-Kanal Schrittmotor-Treiber 3x Eingangsmodul für Absolutwert-Encoder

DRESDEN concept HZDR

Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.bzdr.de

Seite 8

Peripherie

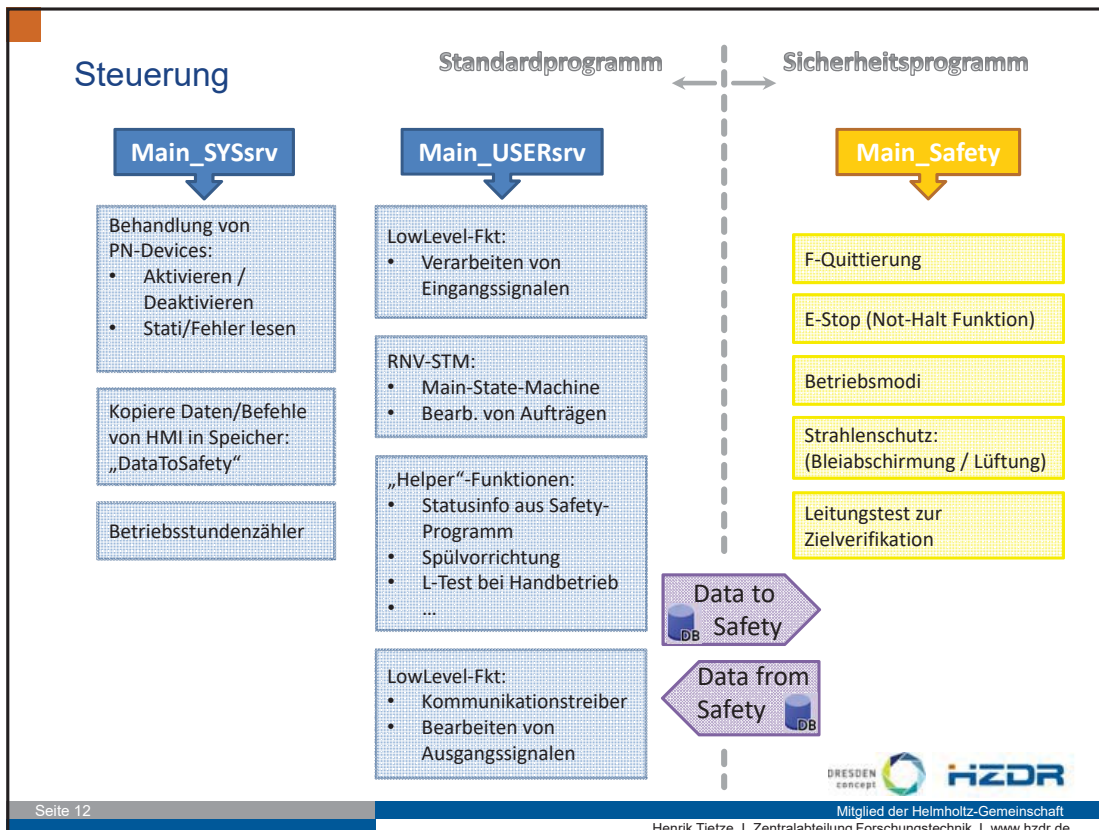
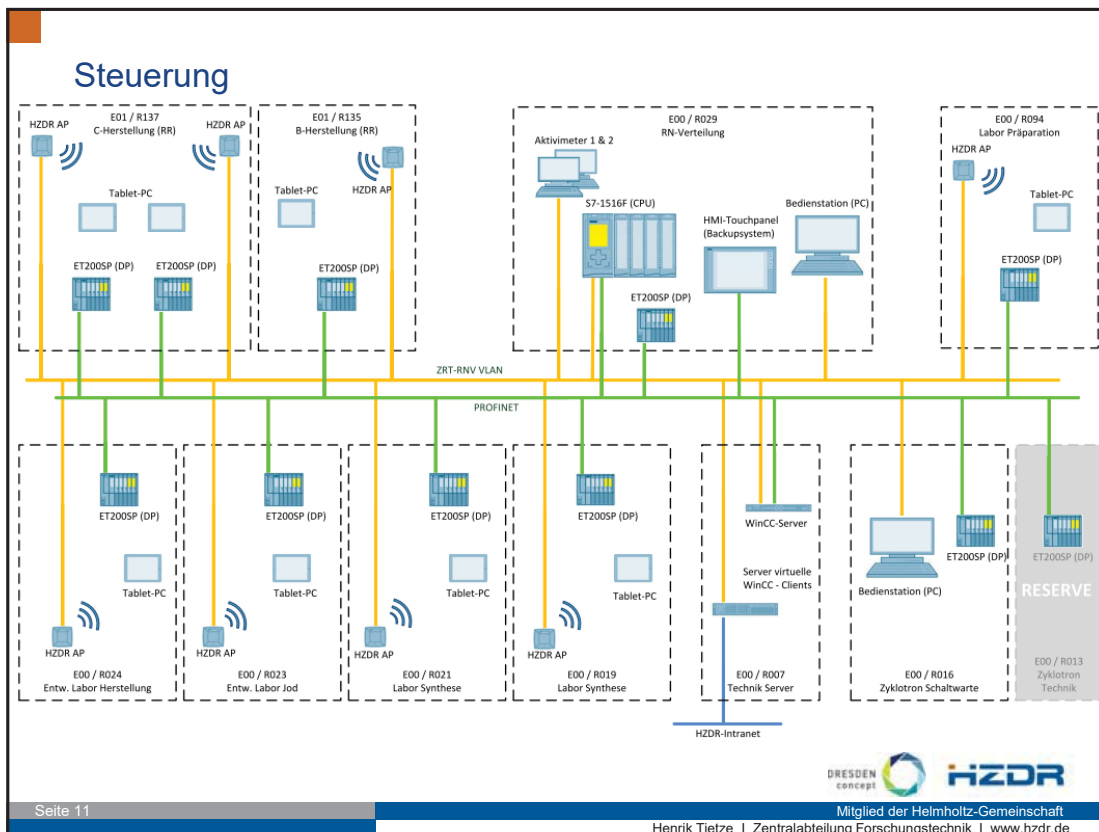
- **Ethernet**
 - Aktivimeter
 - PC-Basiertes Messsystem zur Bestimmung der Aktivität radioaktiver Isotope (hier F^{18}/F^{-}) bis 1TBq
 - verwendet TCP/IP Protokoll für Datenaustausch (Messgerät tritt als Server auf)
 - EthernetIO
 - μ C-Basierte Schrittmotorsteuerung
 - Kommunikation mit übergeordneter Steuerung über UDP Protokoll
- **RS485 (Seriell)**
 - Ortsdosisleistungserfassung
 - Messsystem zur Bestimmung der Ortsdosisleistung in Laboren oder an Arbeitsplätzen
 - Proprietäres Protokoll für Datenaustausch
- **Digitale und Analoge I/O**
 - Analog
 - >50 Drucksensoren, 0-10V
 - ca. 10 Temperatursensoren, 0-10V
 - Digital (auch Fehlersicher)
 - >40 Endschalter (redundant)
 - >50 Zwei-Wege-Ventile (Ansteuerung über Sicherheitsrelais mit Feedbackkreis)
 - Meldeleuchten
 - Durchflusssensoren
 - ...

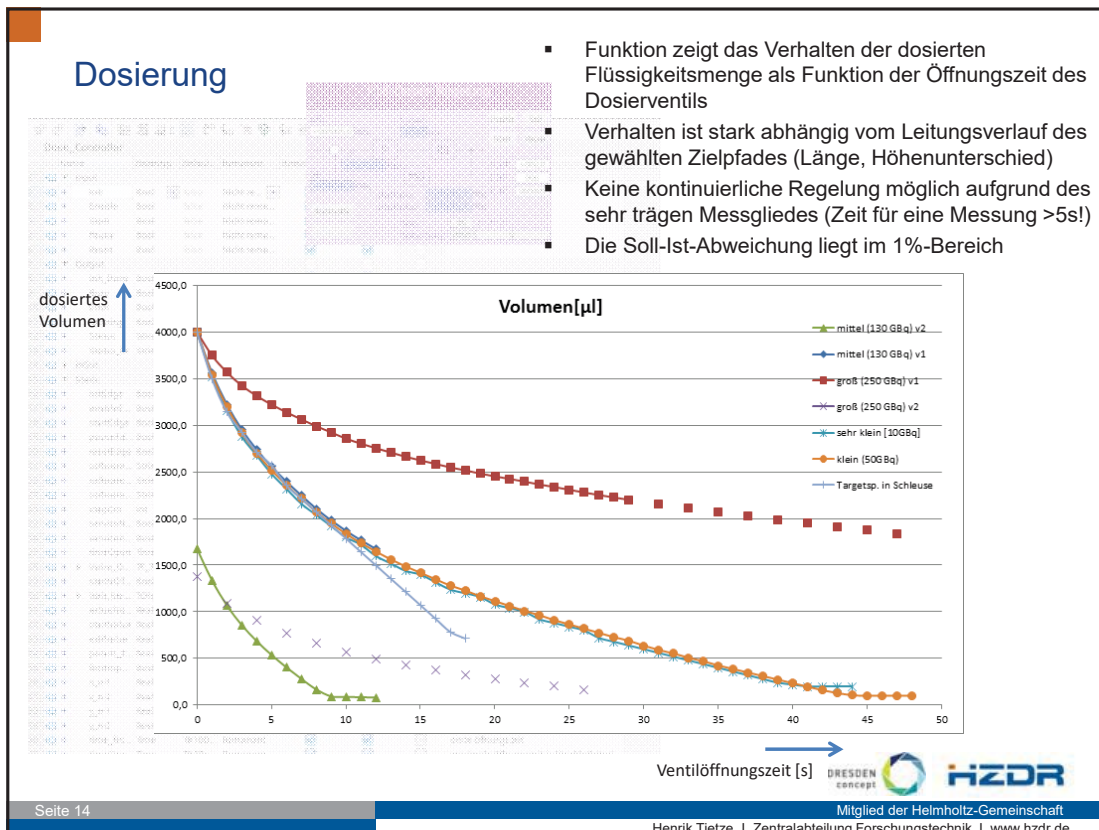
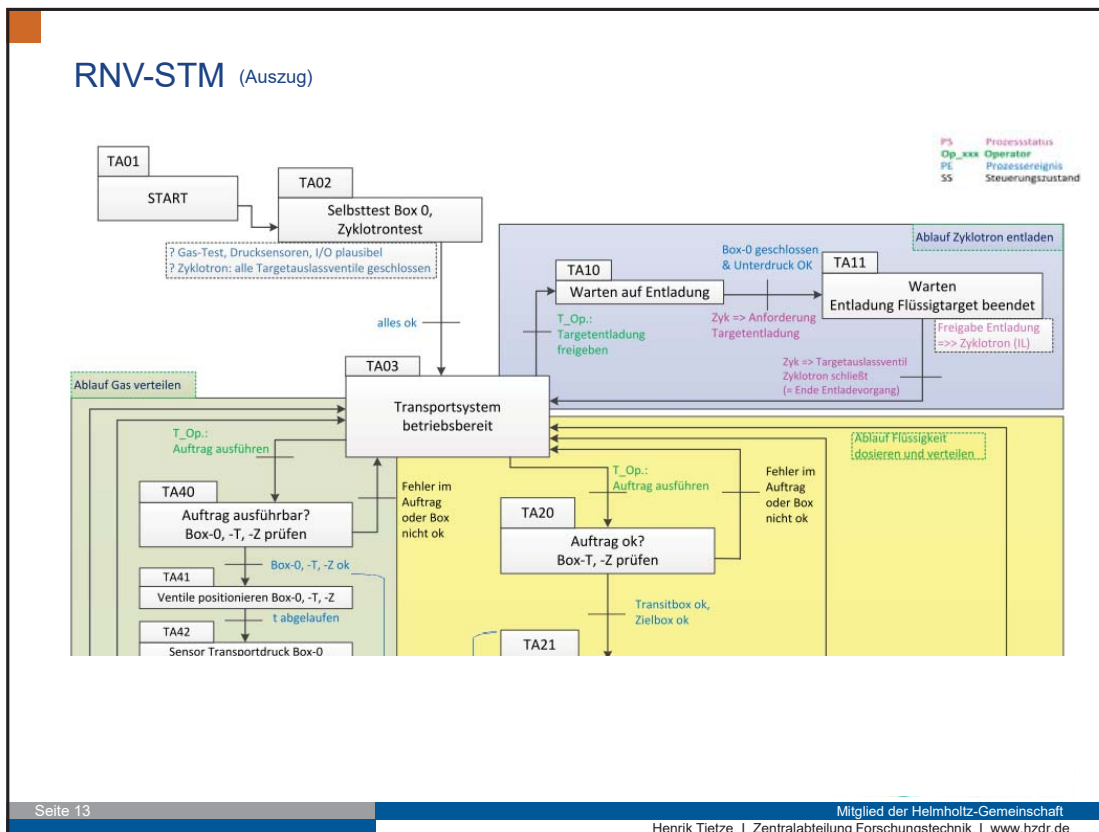


Steuerung

- die Steuerung der Anlage erfolgt mittels SPS
 - zertifizierte Komponenten für fehlersicheren betrieb (SIL)
 - dezentraler Aufbau möglich
 - unterstützt verschiedene Schnittstellen für die Kommunikation mit der gegebenen Peripherie
 - robust/zuverlässig, für industrielle Umgebungsbedingungen geeignet
- als Kontrollsystem kommt WinCC zum Einsatz
 - Server/Client Struktur für größere Anzahl an Bedienstationen
 - bringt bereits viele notwendige Funktionalitäten mit:
(Variablenmanager/Nutzerverwaltung/Bedienrechte/Datenlogging/
Meldungen/System- und Komponentendiagnose), die nur konfiguriert werden müssen
 - sehr gut skalierbar







Visualisierung

- Bedienoberfläche Eckdaten
 - Zugriff auf den Prozess von verschiedenen Bedienterminals, auch parallel
 - Nutzerverwaltung, d.h. Bedienung nur bei ausreichender Berechtigung
 - Darstellung und Archivierung von System- und Prozessmeldungen
 - Protokollierung von Bedienhandlungen
 - Diagnosesystem für die Hardwareüberwachung und Fehlersuche
 - Prozessdatenarchivierung und -anzeige in grafischer Form

- Auftragskonzept / Betriebsmodes
- Bedienrechte (Master), Protokollierungen, Meldesystem, Diagnosesystem



ZRT - Radionuklidverteilung 11:11:06
17.01.2018

aktuelle Nutzer: **Getzeff** Master-Rolle: **inaktiv**

aktueller Auftrag: Zyklotron F2(Gas) entladen in Box 10 **Bearbeitungsstatus:** Auftrag läuft... Operator-Bestätigung Pause Abbrechen

Zyklotron

Entladeanforderung: Zykl. => RNV **F2**

Entladefreigabe: RNV => Zykl. **freigegeben**

TS 1B Ventil zu

TS 2 Ventil zu

Auftragsdaten prüfen

Transportweg einstellen

Leistungstest durchführen

Abschirmung überprüfen

Warten auf Anf. Zyklotron

Entladevorgang läuft

Warte auf OP-Stopf

Warten Ende Entladung

00:00:00

RNV-Box 0

ODL-Messwert: **7,44 mSv/h**

Hubelemente: **blockiert**

Lüftung: **geschlossen**

Lüftung: **Unterdruck OK**

Regler Dosierung

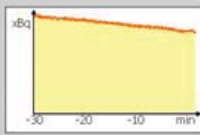
Soll-W.: **0,0 GBq**

Ist-W.: **0,0 GBq**

Status: **betriebsbereit**

Aktivimeter F-18/F

Mess-W.: **490,600 MBq**



Pfadanwahl

Produkt: **F-18/F2**

Pfad: **Box 12**

freigegeben

Spülschleife

Status: **leer**

Ziel: Box 12

Hubelemente: **blockiert**

Lüftung: **geschlossen**

Lüftung: **Unterdruck OK**

Regler Dosierung

Soll-W.: **0,0 GBq**

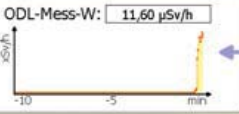
Ist-W.: **0,0 GBq**

Status: **betriebsbereit**

Transferbox

Box 11 **Box OK**

ODL-Mess-W.: **11,60 µSv/h**



Hauptbild "Automatik" | Detailbilder "Handbetrieb" | Anlagenstatus | Meldungen | Diagramme | Nutzerverwaltung | Auftragsverwaltung | Service

Seite 17 Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.bzdr.de

ZRT - Radionuklidverteilung 10:17:17
17.10.2017

aktuelle Nutzer: **Getzeff** Master-Rolle: **inaktiv**

Manueller Betrieb ZRTVM03: >>Detail_F18

Box 0: 646,00 µSv/h Box OK

Box 14: 346,00 µSv/h Box OK

Ziel: Box 13: 13,50 mSv/h

zum Experiment **0,094 bar**

Freigabe blockiert

Mess-W.: 1,339 GBq

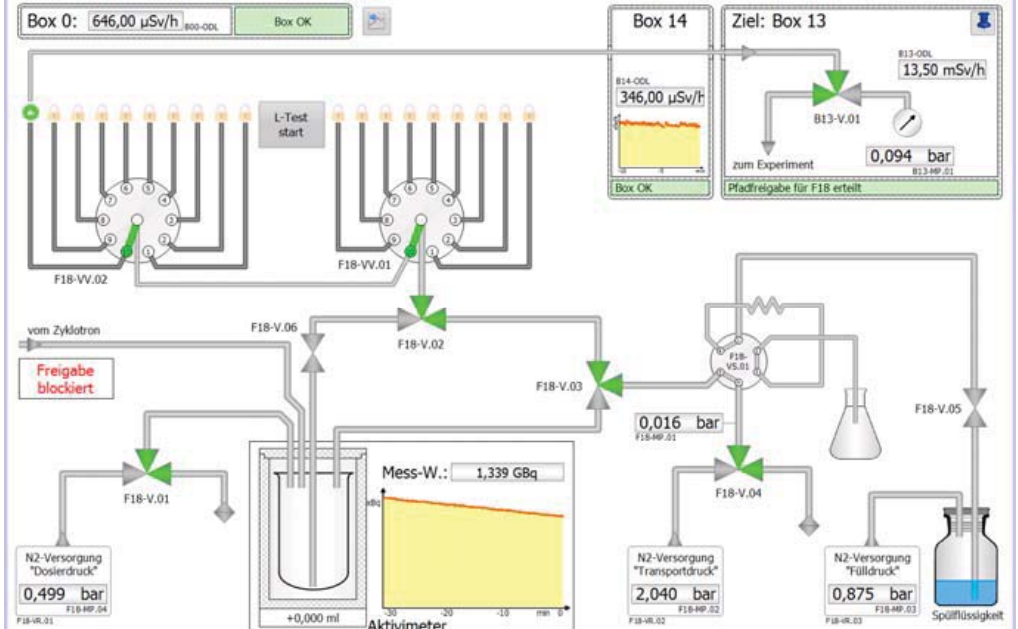
0,499 bar (N2-Versorgung "Dosierdruck")

0,016 bar (N2-Versorgung "Transportdruck")

2,040 bar (N2-Versorgung "Fülldruck")

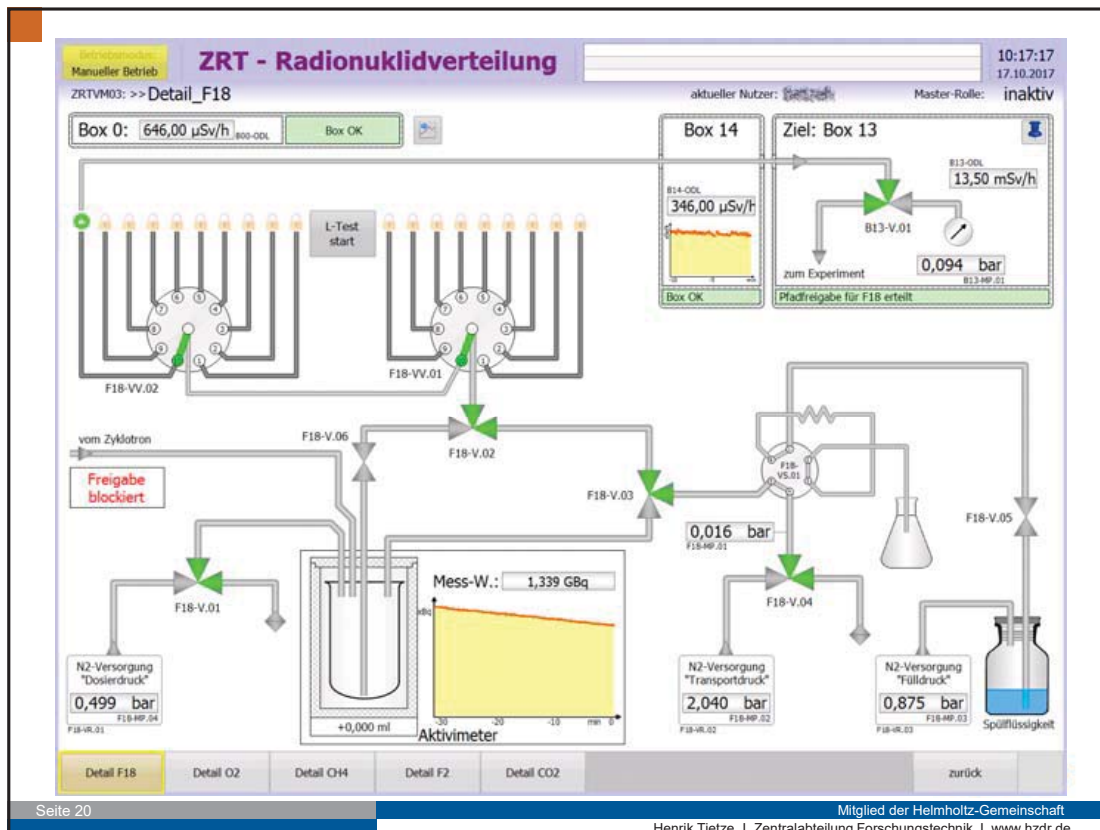
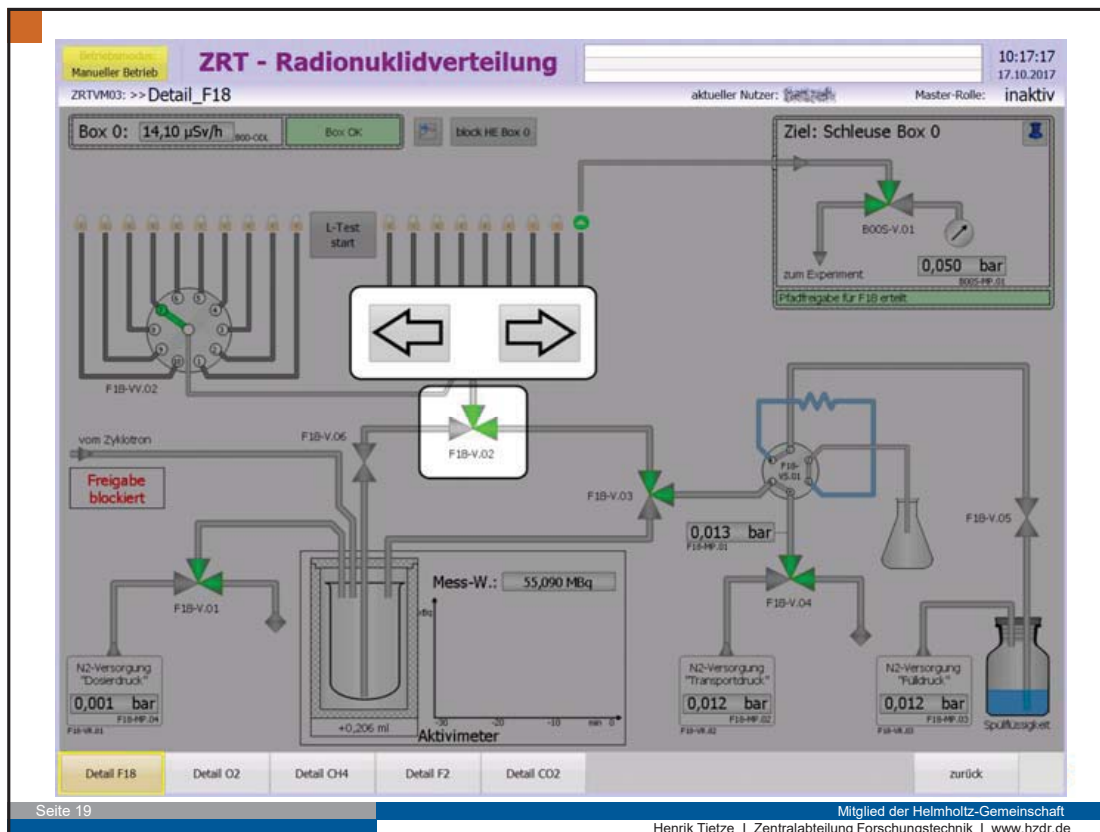
0,875 bar (N2-Versorgung "Fülldruck")

Spülflüssigkeit



Detail F18 | Detail O2 | Detail CH4 | Detail F2 | Detail CO2 | zurück

Seite 18 Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.bzdr.de



SEI-Tagung, Frühjahr 2018, HZDR Dresden Rossendorf

10:17:17
17.10.2017

ZRT - Radionuklidverteilung

ZRTVM03: >>Detail_F18

aktueller Nutzer: **betz** Master-Rolle: **inaktiv**

Box 0: 15,30 $\mu\text{Sv/h}$ **Box OK** **Block HE Box 0**

Ziel: Schleuse Box 0

zum Experiment 0,050 bar

Pflichtgabe für F1B erteilt

1 2 3 4 5 6 7 8 9 10

Drehrichtung: **automatisch / kürzeste Strecke** Im Uhrzeiger Sinn / absteigend Gegen Uhrzeiger Sinn / aufsteigend **Ventil umstellen**

Mess-W.: 52,510 MBq

Aktivimeter

N₂-Versorgung "Doserdruck" 0,001 bar

N₂-Versorgung "Transportdruck" 0,012 bar

N₂-Versorgung "Fülldruck" 0,012 bar

Spülflüssigkeit

Detail F18 Detail O2 Detail CH4 Detail F2 Detail CO2 zurück

Seite 21 Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.bzdr.de

Danke für Ihre Aufmerksamkeit!

Fragen?



Elektromagnetische Einkopplungen in Kabel

— Anwendung einer Feldberechnung mit CONCEPT II —

Wolfram Sorge

18. April 2018

DRESDEN concept

HELMHOLTZ
ZENTRUM DRESDEN
ROSSENDORF

Mitglied der Helmholtz-Gemeinschaft
Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>

Themen

- 1 Kabeltransferimpedanz
 - Koppelprinzip
 - Kabel im Betrieb
 - Frequenzverläufe
 - Simulationsziel
- 2 Berechnen von Oberflächenströmen
 - Kopplungsmodell
 - Rechengröße
- 3 Anwendung
 - Vorbild: Projekt DIAMOND
 - Mantelströme bei verschiedenen Anordnungen
 - Ursache von Resonanzen
 - Bezugsmasse durch Erdungsbänder

HZDR
Forschungstechnik

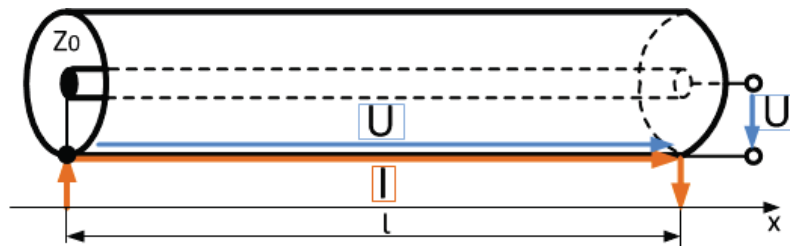
Seite 1/14
Mitglied der Helmholtz-Gemeinschaft
Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>

Kabeltransferimpedanz

Koppelprinzip

Definition: Kopplung zwischen Vorgängen im Kabel (z. B. Störspannungen) und elektromagnetischen Vorgängen außerhalb (Felder und induzierte Ströme) [GON05].

Modell nach [HEL01]:



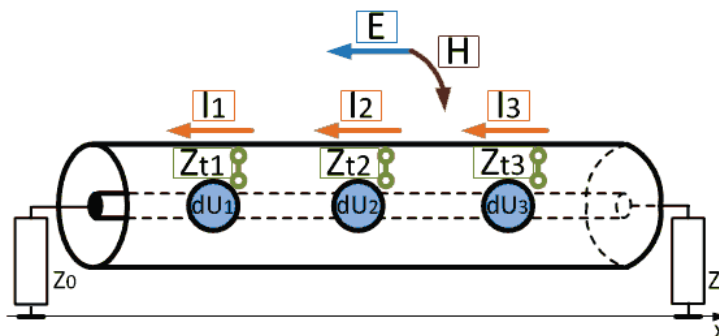
Kabeltransferimpedanz:

$$Z'_T = \frac{dU_j}{dl} \frac{1}{I(l)}$$

Kabeltransferimpedanz

Kabel im Betrieb

Modell nach [BRS98]:



Näherung für elektrisch kurze Kabel:

- Eingestrahlte Felder erzeugen Ströme auf dem Außenmantel.
- Diese Ströme erzeugen Störspannungen.
- Bei $Z(0) = Z(l) = Z$ gilt an den Abschlüssen:

$$U(l) = \frac{1}{2} \int dU.$$

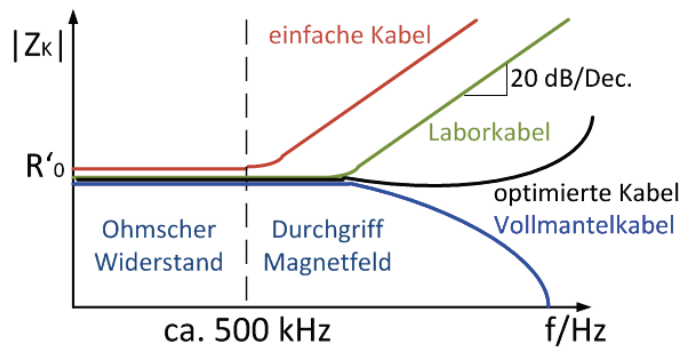
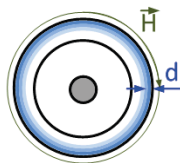
Kabeltransferimpedanz

Frequenzverläufe

Geflechschirm



Vollmantelschirm



Äquivalente Leitschichtdicke:

$$d = \sqrt{\frac{2}{\omega \mu \kappa}}$$

Kabeltransferimpedanz

Simulationsziel

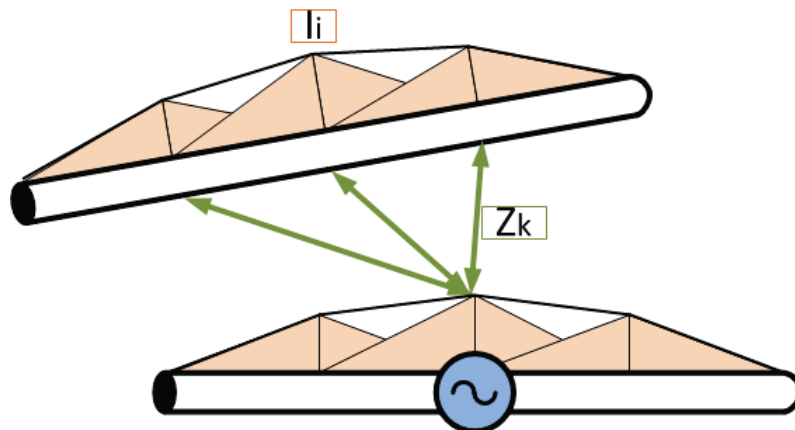
Erkenntnisse:

- Aus Oberflächenströmen auf Kabelmänteln lassen sich Störspannungen im Kabel berechnen.
- Zur Berechnung wird die spezifische, frequenzabhängige Kabeltransferimpedanz benötigt (Experiment, Datenblatt).
- Primäres Ziel einer Feldsimulation ist somit die Berechnung von Oberflächenströmen auf Kabelmänteln.

Berechnen von Oberflächenströmen

Kopplungsmodell

Ersatzstromverfahren (Momentenmethode MoM) [CONII]:



- Annähern der Oberflächenströme durch Stromelemente
- Erstellen einer Kopplungsmatrix zwischen den Elementen
- Lösen der Matrixgleichung

Berechnen von Oberflächenströmen

Rechengröße

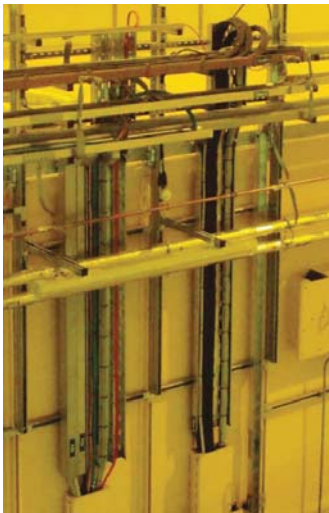


Bei elektrische kurzen Strukturen (niedrige Frequenzen) kann vereinfacht mit dem Durchschnitt der Stromamplituden gerechnet werden:

$$\underline{I} = \frac{1}{N} \sum_{i=1}^N I_i$$

Anwendung

Vorbild: Projekt DIAMOND



[GOE17]

Erfahrungen:

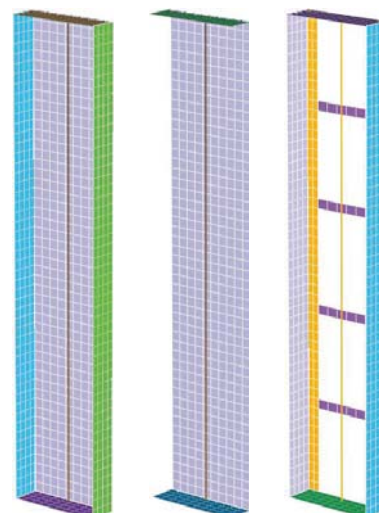
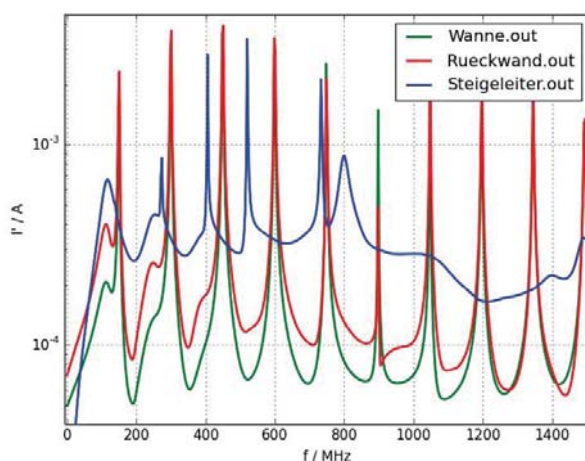
- Kabel immer auf durchgehender Metallunterlage verlegen
- Kabeltrassen (-wannen) auch bei senkrechter Kabelanordnung
- Außerhalb von Kabelwannen eng anliegende Erdungsleitung als Ersatzlösung

Anwendung

Mantelströme bei verschiedenen Anordnungen

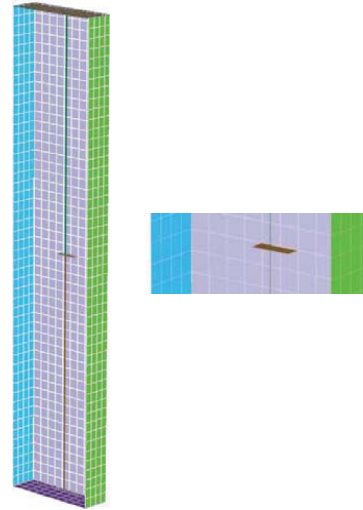
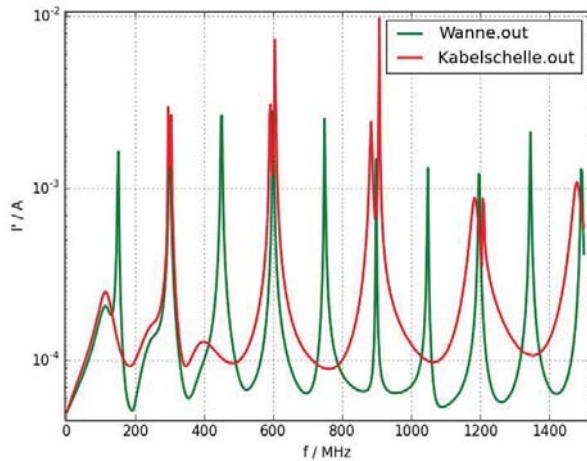
Feld: zirkular, 45°

Durchschnittswerte des Strombelags:



Anwendung

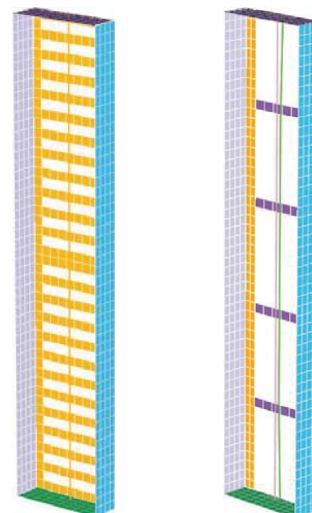
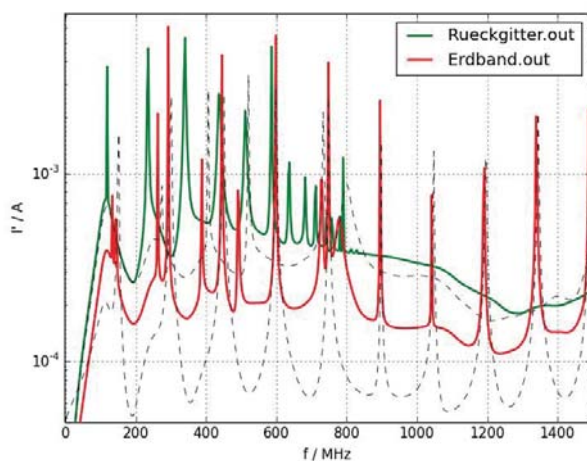
Ursache von Resonanzen



$$f_{r,n} = n \cdot \frac{c}{2} \cdot \frac{1}{\ell} \text{ mit } n = 1, 2, \dots$$

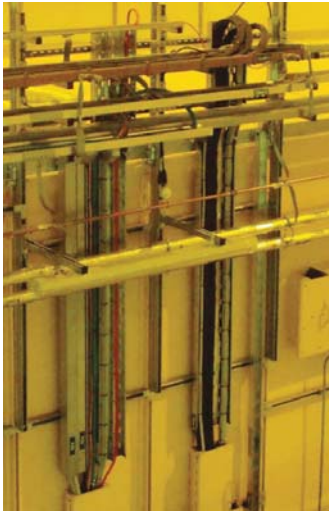
Anwendung

Bezugsmasse durch Erdungsbänder



Ergebnis

Vergleich mit Erfahrungen



[GOE17]

Erfahrungen bestätigt:

- Nah bei verlegten Kabeln sind durchgängig leitende Bezugsflächen vorzusehen.
- Kabelwannen sind auch für senkrecht angeordnete Kabel bevorzugtes Mittel zur Störungsminde rung.
- Dicht an Kabeln geführte Erdungsleitungen mindern Störungen.

Zum Nachlesen

- 📄 Karl Heinz Gonschorek,
EMV für Geräteentwickler und Systemintegratoren
Springer Berlin Heidelberg New York, 2005
- 📄 Sven Helmers,
Einkopplung elektrischer Felder in geschirmte Kabel der Mess- und Leittechnik
Dissertation TU Dresden, Fak. ET, 2001
- 📄 Heinz-D. Brüns, Hermann Singer,
Computation of Interference in Cables Close to Metal Surfaces,
0-7805-5015-4/98 1998 IEEE
- 📄 Heinz-D. Brüns, Angela Freiberg,
CONCEPT-II Version 12.0 User's Manual,
Institut für Theoretische Elektrotechnik,
Technische Universität Hamburg-Harburg, September 2017
- 📄 Peter Göttlicher,
Mitteilung über Erfahrungen bei DIAMOND,
HIBEF - WP 9.8 E-Projektierung/Erdung/EMV/EMP, 29.11.2017

Dank

Vielen Dank.

HZDR
Forschungstechnik

Seite 14/14

Mitglied der Helmholtz-Gemeinschaft
Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>



VERIFICATION OF A 65NM CMOS IC FOR VARIOUS APPLICATIONS (NEUTRINO DETECTION, HIGH ENERGY PHYSICS, ETC.)

18TH APRIL 2018 | CHRISTIAN ROTH

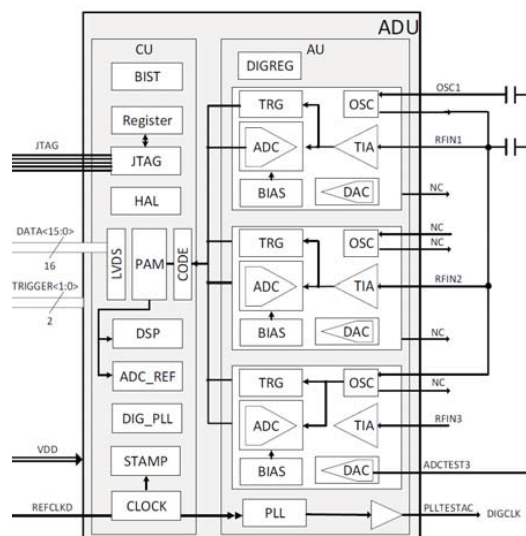
Mitglied der Helmholtz-Gemeinschaft



VULCAN CHIP OVERVIEW

• The Vulcan Chip

- **Highly linear**, fully integrated circuit – **Vulcan**
 - Sampling ADC with approx. 80 dB linearity (3 signal chains with 3 different gains)
 - No external components required
 - On-chip clock generation from ref. clock
- Precise signal reconstruction
 - No analog delay line (reducing noise & distortion)
 - Control loop to suppress DC variations
 - Optional overshoot compensation
- Further key parameters of Vulcan:
 - ADC with 9.5 bit (3x 8 bit), 1 Gsample/s
 - Transimpedance Amplifier (TIA) Input impedance of < 10 Ohm
 - Power consumption ~ 1.2 Watt

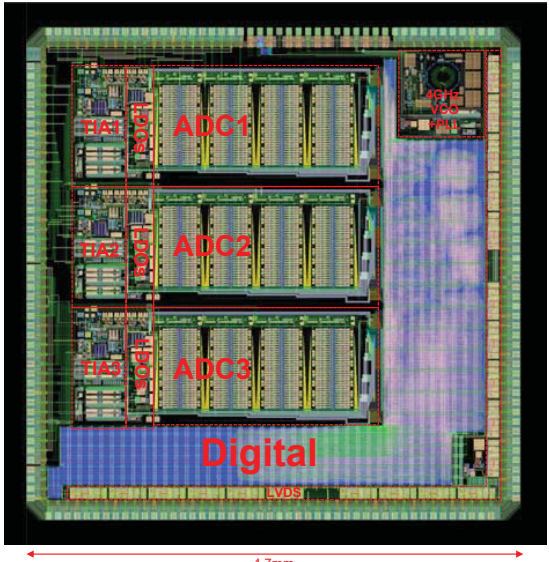


Mitglied der Helmholtz-Gemeinschaft

18th April 2018

Seite 2





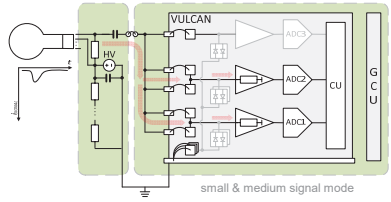
VULCAN IC LAYOUT

Key Parameter of Vulcan	
Process	65 nm CMOS
Active Area	22 mm ²
Power	~ 1.2 W
Input Impedance	< 10 Ohm
Input Bandwidth	500 MHz
Sampling Rate	1 Gsample/s
Dynamic Range	80 dB
ADC Resolution	3x 8 bit
High Gain	0.06 p.e./bit
Medium Gain	0.4 p.e./bit
Low Gain	8 p.e./bit

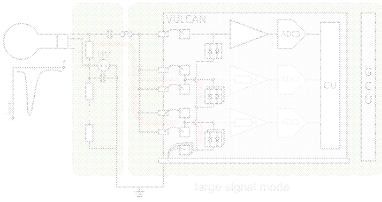
Mitglied der Helmholtz-Gemeinschaft
18th April 2018
Seite 3

VULCAN SIGNAL MODES

- Signal Modes – Small & Medium Signals



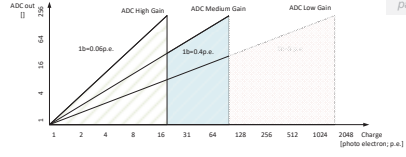
small & medium signal mode



large signal mode

First two signal chains

- Parallel TIA input
- Programmable gains
- Combined input resistance $R \approx 5 \Omega$

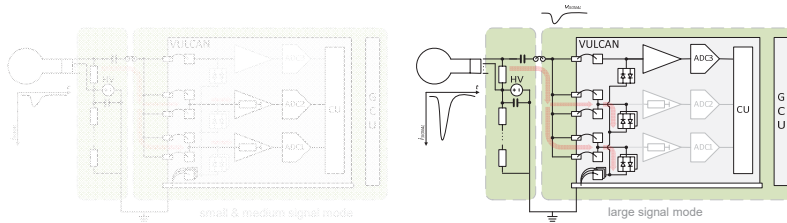


patent pending

Mitglied der Helmholtz-Gemeinschaft
18th April 2018
Seite 4

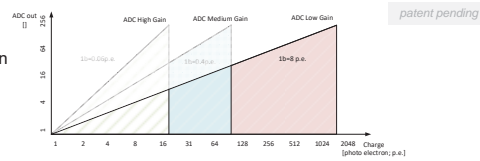
VULCAN SIGNAL MODES

- Signal Modes – Large Signals



Third signal chain

- Current > 20 mA
- TIA input saturates, ESD diodes open
- Voltage over diodes measured
- Combined input resistance $R \approx 5 \Omega$



LAB SETUP OVERVIEW



BOARD CONCEPT

Verification Board

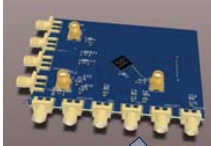
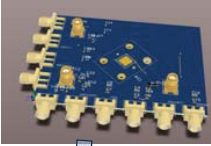
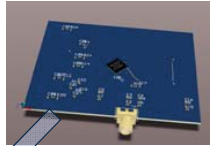
- Board for IC Verification
- Every ADC can be measured
- Best RF/Impedance performance
- Optimized for verification measurements

Socket Board

- Socket can be populated on board
- For measurement of many samples
- Limited performance measurements
- Functional checks

PMT Board

- For direct usage with PMT
- Protection circuit
- All 3 ADCs connected

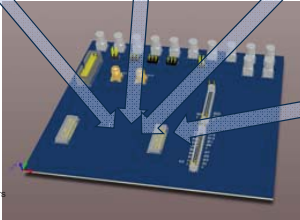




Main Board

- Logic analyser connection
- Power supply connection
- JTAG interface
- DC measurements
- Samtec board to board connectors

System Board



- All 3 ADCs connected
- Protection circuit
- Reference design for system implementation



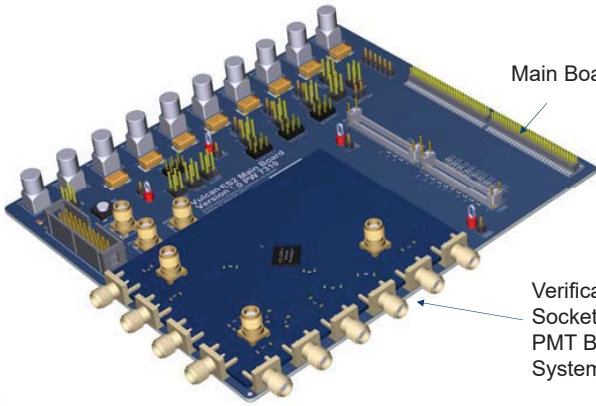
Mitglied der Helmholtz-Gemeinschaft

18th April 2018

Seite 7

VERIFICATION BOARD CONCEPT





Main Board

Verification Board or
Socket Board or
PMT Board or
System Board

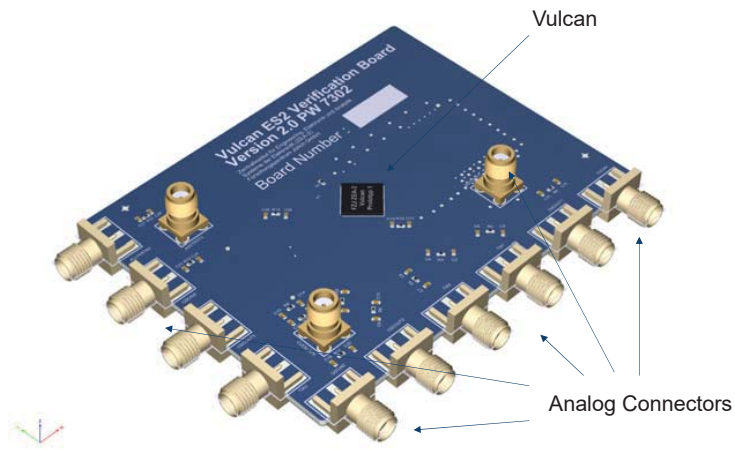
Mitglied der Helmholtz-Gemeinschaft

18th April 2018

Seite 8

VERIFICATION BOARD



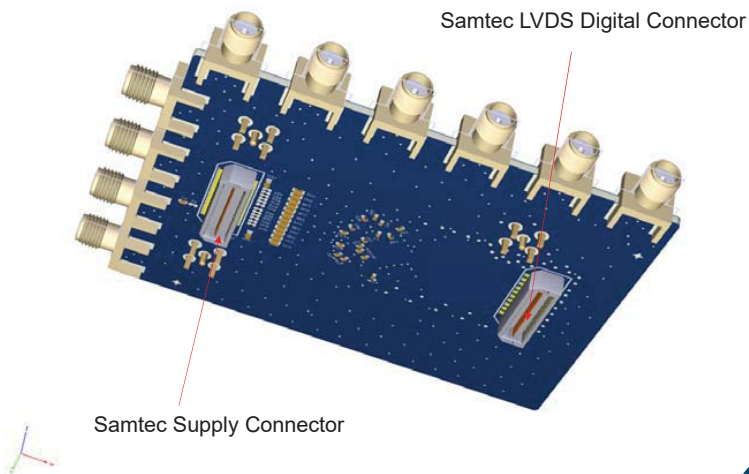
Mitglied der Helmholtz-Gemeinschaft

18th April 2018

Seite 9



VERIFICATION BOARD

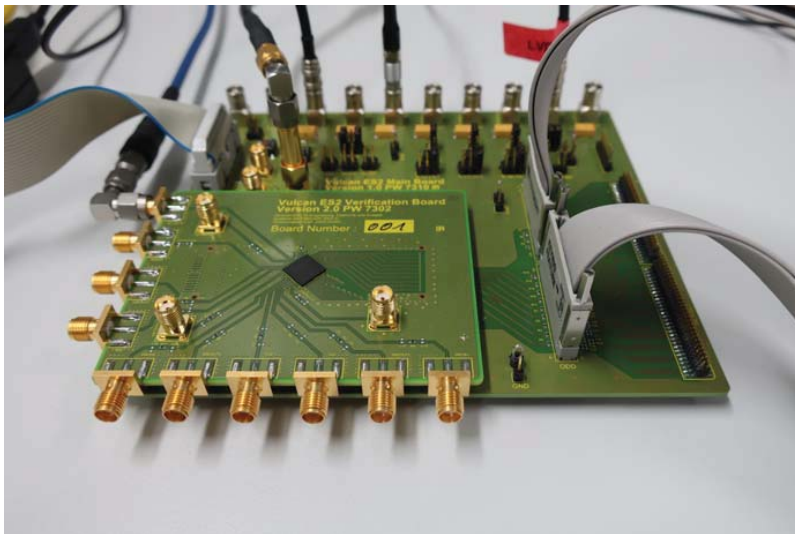


Mitglied der Helmholtz-Gemeinschaft

18th April 2018

Seite 10





VERIFICATION BOARD SETUP

Mitglied der Helmholtz-Gemeinschaft

18th April 2018

Seite 11



SOCKET BOARD SETUP

- Yamaichi Socket for functional testing



Mitglied der Helmholtz-Gemeinschaft

18th April 2018


Seite 12



VERIFICATION SOFTWARE FRAMEWORK

Run Measurement

Devices are initialized, Chip programming environment is set up, all testcases that should be executed are started from this Matlab file and the parameters for the testcases (Temperatures, Voltages...) are defined here



initialization

initialization

Chip Control


Device Control

chip programming

device programming

Testcases





Each testcase is started with the parameters given, measurement equipment and the chip is programmed and the measurement is executed



Measurement Results

Measurement results from all executed testcases are stored in a new measurement data folder, the folder name is containing the execution Date

Output Formats:

- Excel, including template, plots and raw data 
- Plots .jpg 
- Plots .fig 
- Raw data 



Register Table

Lab Setup

Mitglied der Helmholtz-Gemeinschaft

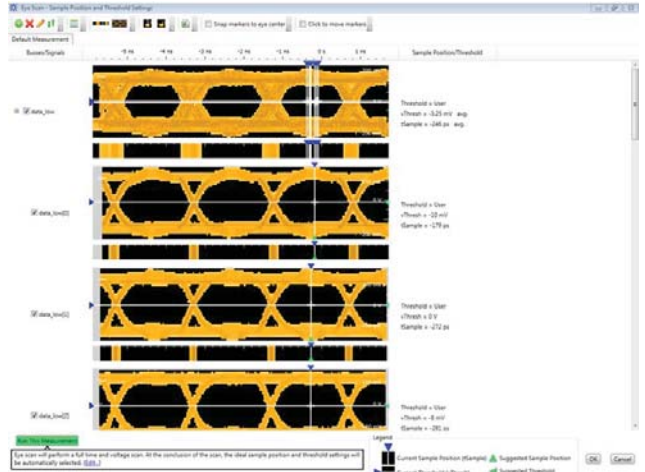
18th April 2018

Seite 13

VERIFICATION RESULTS OF VULCAN ES2



• LVDS Data Lines



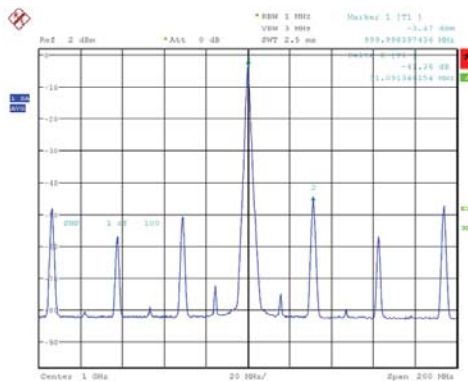
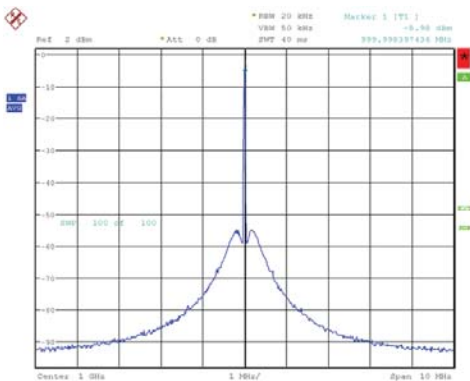
Mitglied der Helmholtz-Gemeinschaft

18th April 2018

Seite 14

VCO AND PLL INVESTIGATIONS



Date: 15.08C.2003 07:15:24

- VCO running @4GHz
- Reference clock for PLL @31.25MHz
- Measurement VCO/4 -> 1GHz

Date: 15.08C.2003 07:17:58

Mitglied der Helmholtz-Gemeinschaft

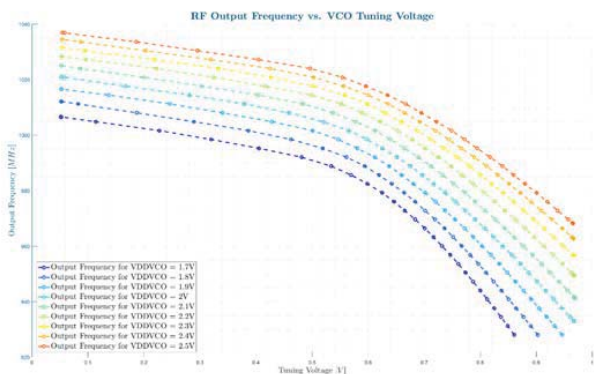
18th April 2018

Seite 15

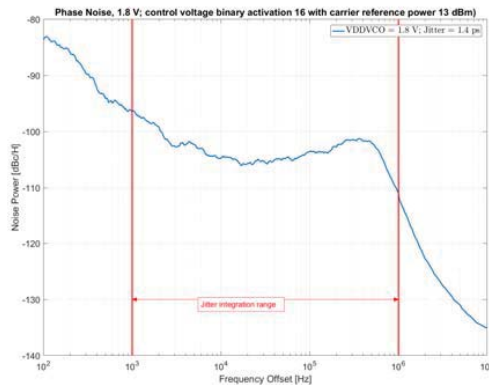


CLOCK AND PLL INVESTIGATIONS

- VCO Tuning Range @ 25°C



- PLL Phase Noise @ 25°C

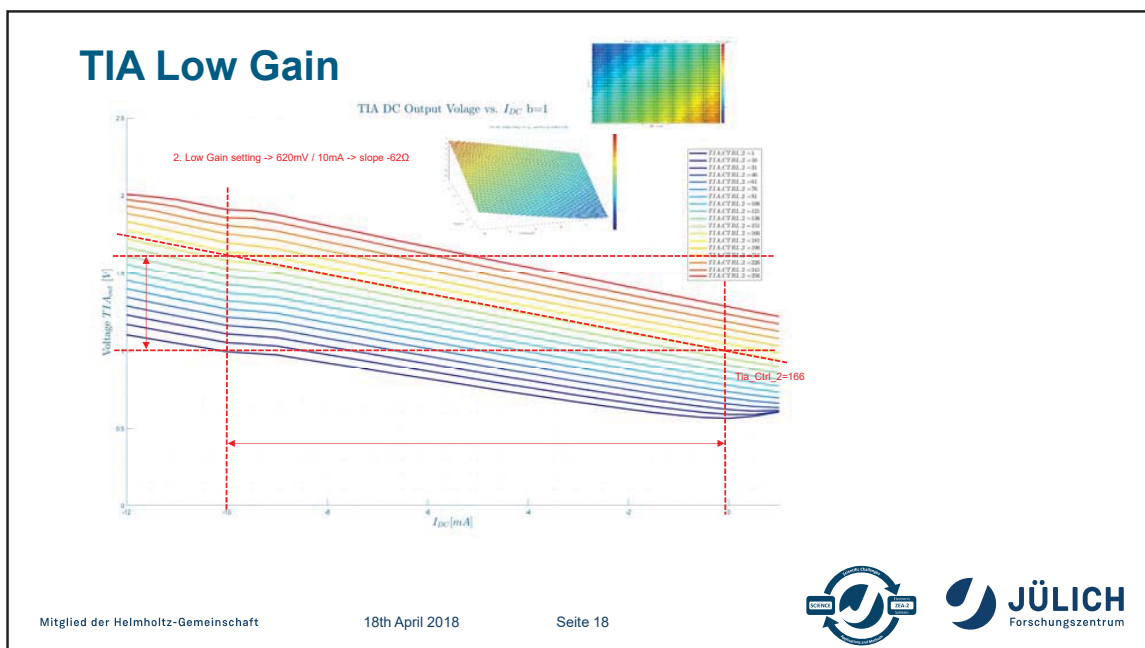
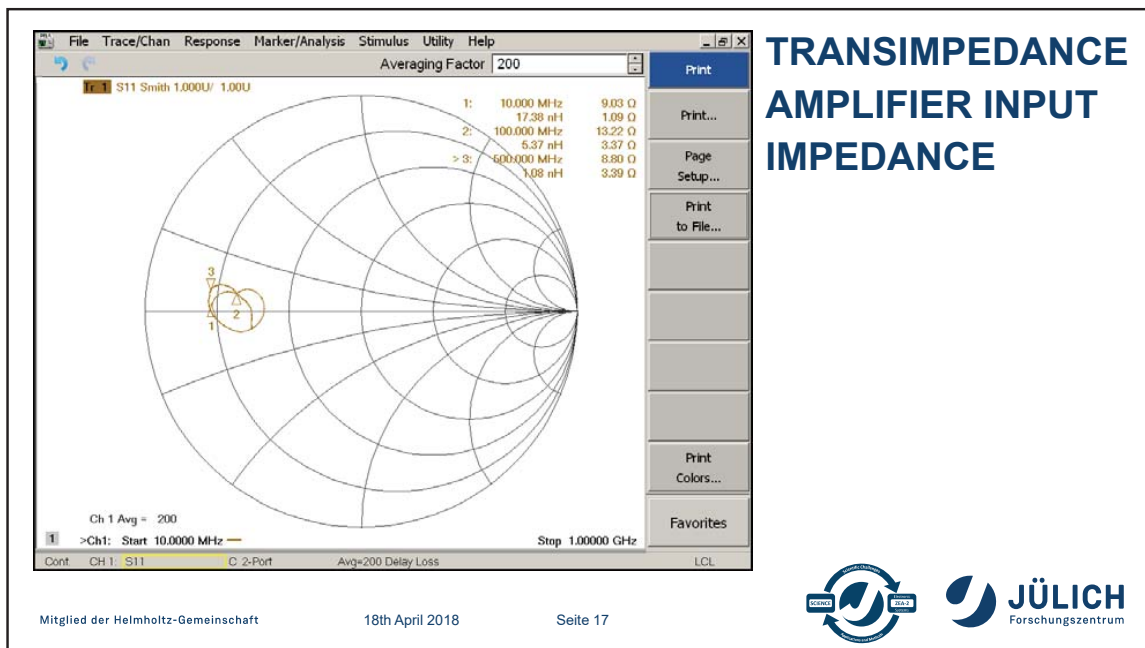


Mitglied der Helmholtz-Gemeinschaft

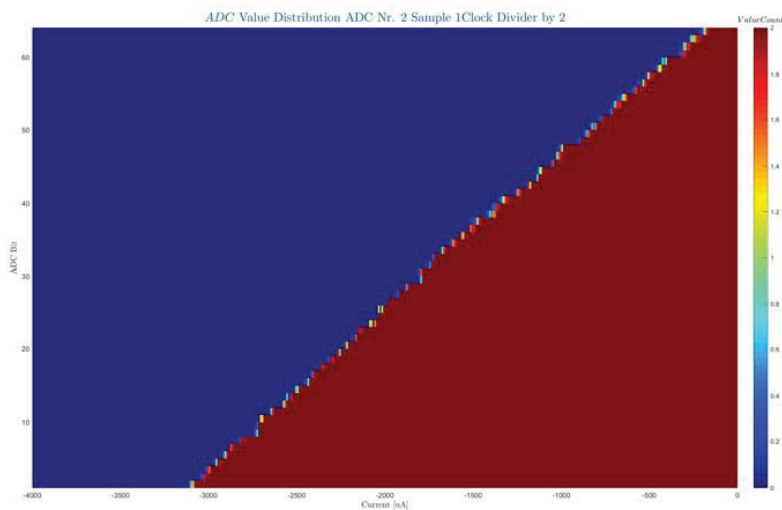
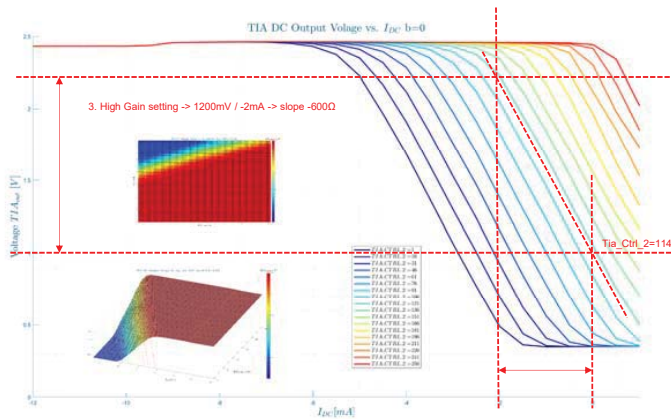
18th April 2018

Seite 16



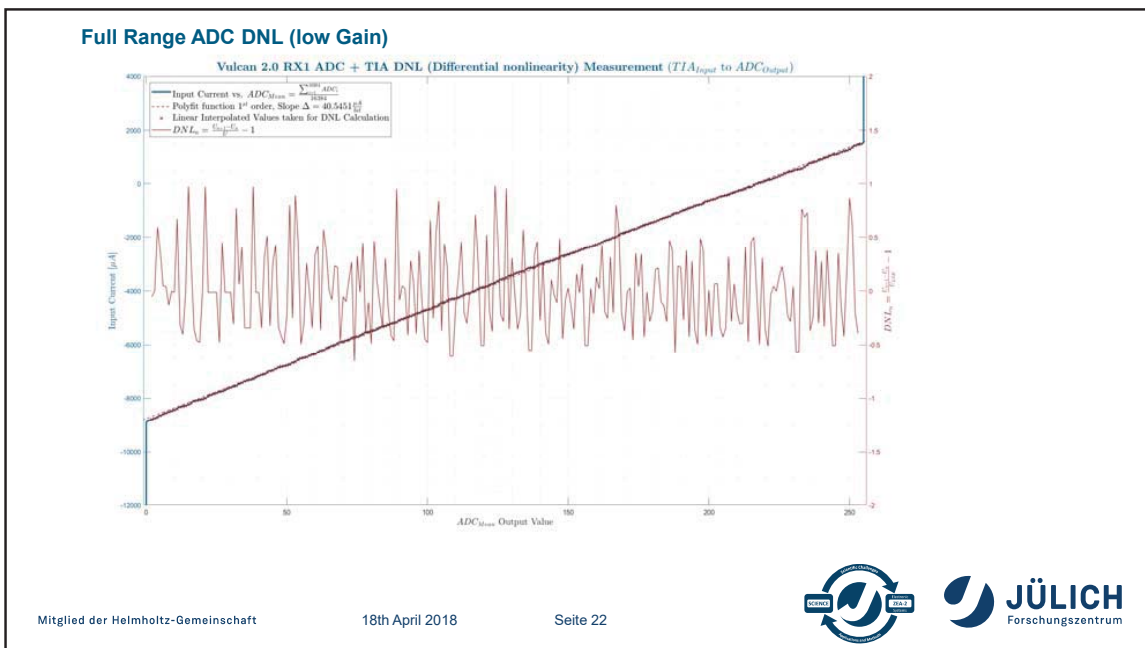
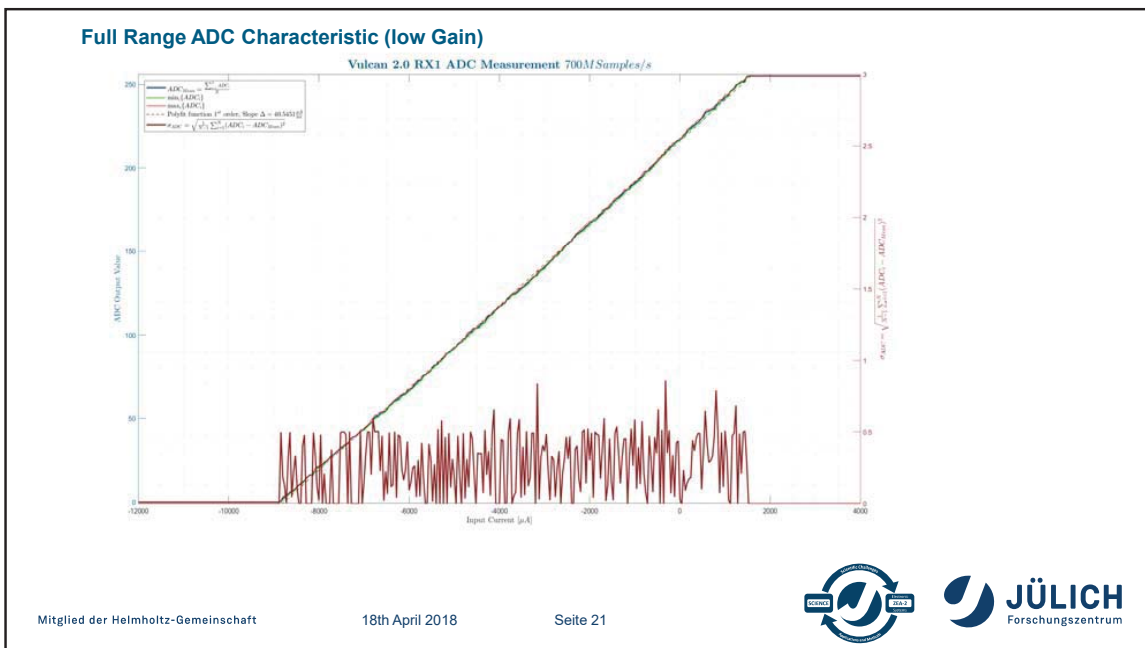


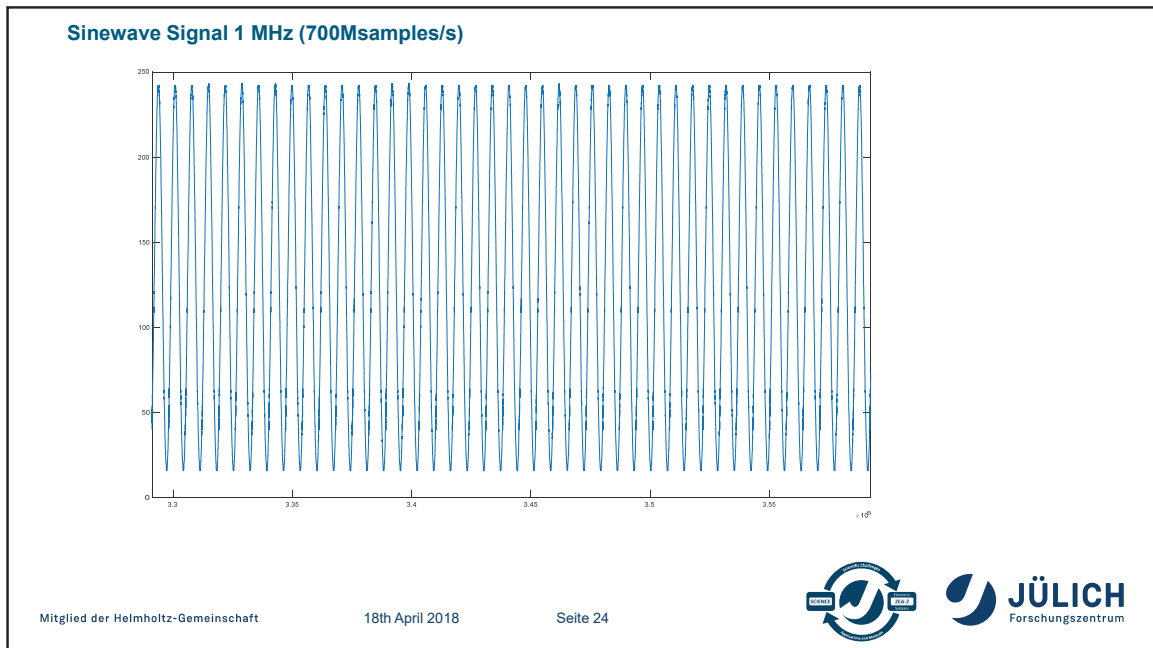
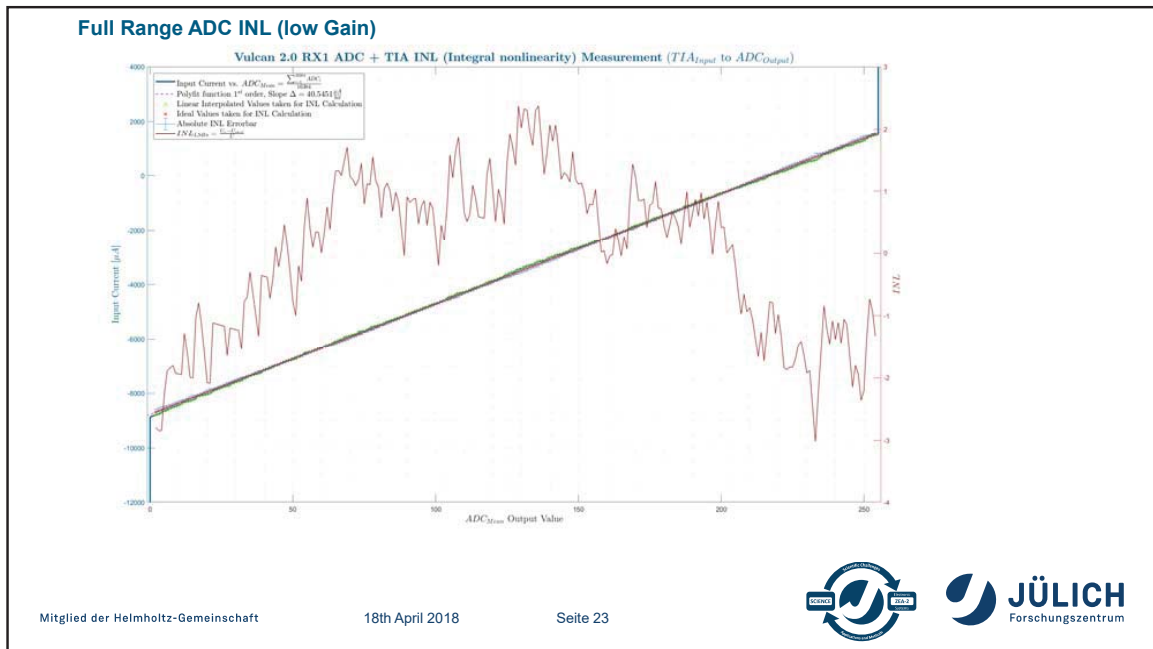
TIA High Gain

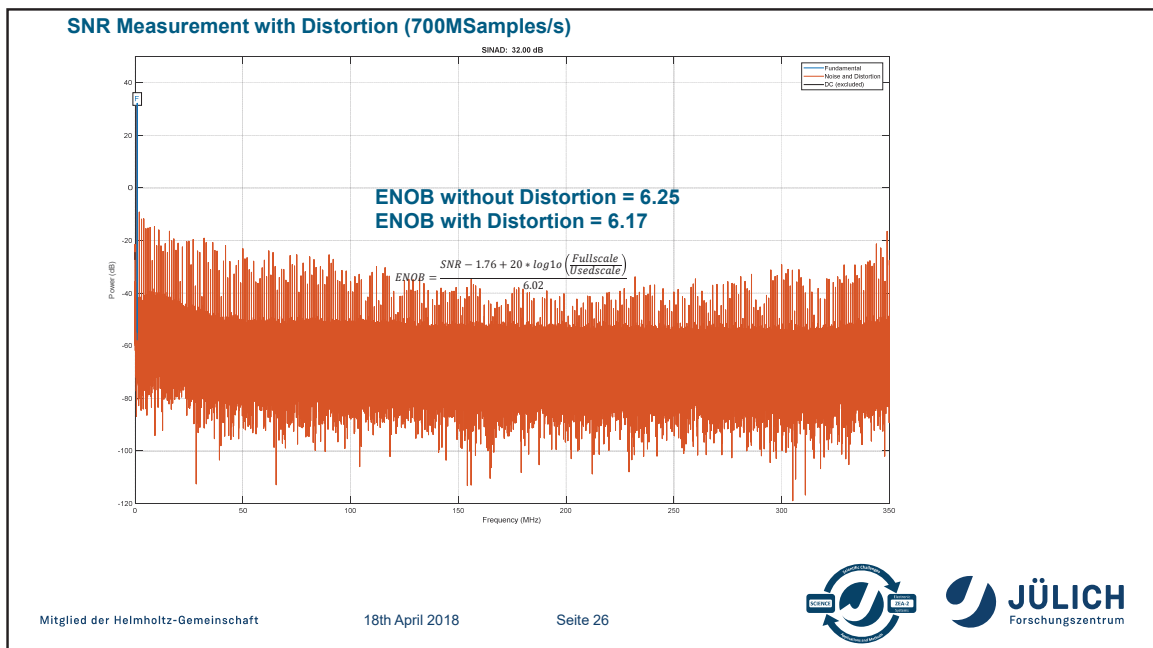
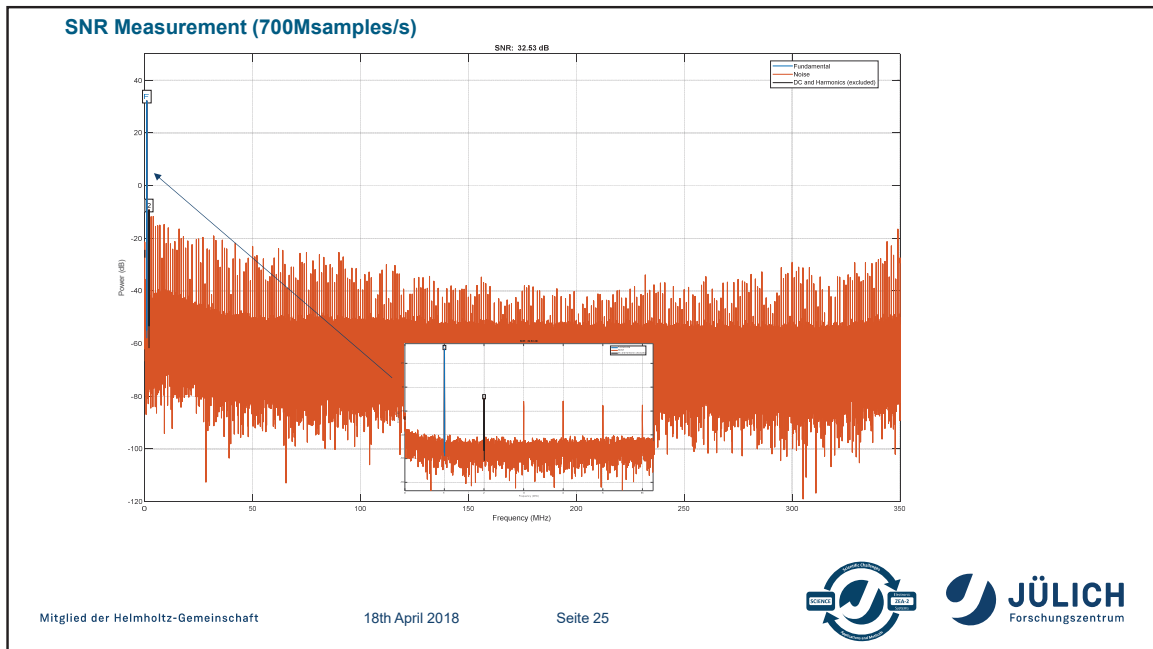


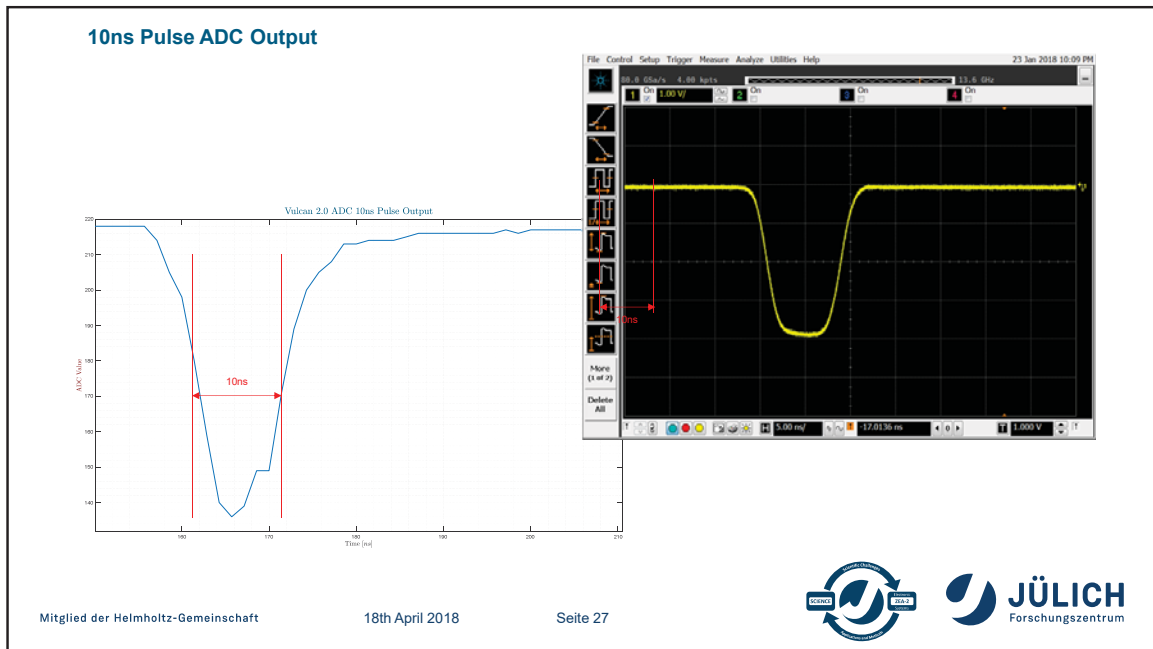
ADC Thermometer Code Distribution 500Msamples











Vielen Dank!

Mitglied der Helmholtz-Gemeinschaft 18th April 2018 Seite 28

IPSBE: Interatives Pipeline-System für Bildverarbeitung in Echtzeit

Dipl.-Inform. Stefan König*, Prof. Dr.-Ing. habil. Wolfgang Oertel†, Prof. Dr.-Ing. Peter Kaefer‡
 Professur für Computergrafik, HTWD, Friedrich-List-Platz 1, 01069 Dresden*†
 HZDR, Bautzner Landstraße 400, 01328 Dresden‡

* skoenig@informatik.htw-dresden.de; † oertel@informatik.htw-dresden.de; ‡ p.kaefer@hzdr.de

Zusammenfassung—Das Konzept und der Stand der prototypischen Umsetzung eines Pipelinesystems wird vorgestellt. Es erlaubt dem Nutzer, Algorithmen und Parameter während der Laufzeit anzupassen und in Echtzeit zu erproben. Bei den anvisierten Zielanwendungen fallen große Datenmengen in kurzer Zeit an, sodass die Verarbeitung parallelisiert und effizient unter Nutzung von CPU- und GPU-Ressourcen ablaufen muss.

I. MOTIVATION

Für die Bildverarbeitung stehen für die gleiche Zielstellung oft mehrere Algorithmen zur Verfügung, die wiederum mehrere Parameter haben können (Abb. 1). Hierbei stehen oft Geschwindigkeit (Durchsatz, Verzögerungszeit) und benötigte Rechenressourcen in Konflikt mit Genauigkeit und Robustheit der Ergebnisse. Es gilt herauszufinden, welche Verfahren in welcher Kombination für die konkrete Anwendung die besten Ergebnisse liefern, und dann die optimalen Wertebereiche der Parameter zu finden.



Abbildung 1. Bild von geschreddertem Elektronikschrott (links), nach Canny-Kantendetektor mit $kernel\ size = 5, threshold = 500$ (mitte) und nach Sobel-Kantendetektor mit $kernel\ size = 5, dx = 1, dy = 1$ (rechts).

A. Zielstellung

Das Ziel der interaktiven Bildverarbeitungs-pipeline (Abb. 2) ist es, Aufwände und Wartezeiten zu reduzieren, die bei der klassischen Anwendungsentwicklung entstehen. Statt ein Programm mehrfach anzupassen, zu kompilieren und neu zu starten, sollen Algorithmen einfach ausgewählt und Parameter eingestellt werden können. Zudem soll die Bedienung eines solchen Systems intuitiv auch normalen Anwendern möglich sein, um diese in den Entwicklungsprozess einzubeziehen. Zwar wird weiterhin eine Kenntnis über die Funktionsweise der Bildverarbeitungsverfahren nötig sein, doch kann eine Zusammenarbeit von Entwickler und Anwender so

viel direkter ablaufen. Zudem wird es dem Anwender ermöglicht, später selbstständig Anpassungen vorzunehmen.

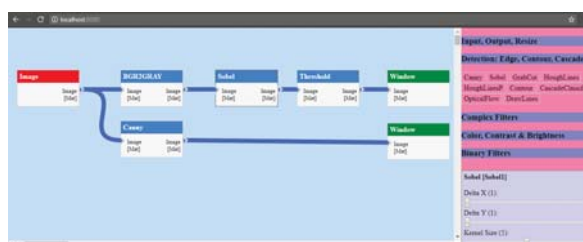


Abbildung 2. Screenshot der Benutzeroberfläche mit Flow Chart (links), Algorithmenbibliothek (rechts oben) und Parametersteuerung für die selektierte Pipelinestufe (rechts unten)

B. Anwendungskontext

Dieses Software Framework entsteht im Rahmen des Projektes ASARBWG [5], in dem ein System zur Bildverarbeitung für wissenschaftlich-technische Großanlagen entwickelt werden soll, welches möglichst effizient und dabei gleichzeitig modular und flexibel ist.

Im Fokus stehen zwei Anlagen unserer Kooperationspartner: Eine Anwendung ist die Super-SIMS, bei der Proben mit einem Primärionenstrahl beschossen werden, um die untersuchten Objekte schichtweise abzutragen. Diese so herausgelösten Sekundärionen werden danach mit einem 6-MV-Tandembeschleuniger und weiterer Peripherie nach ihrer Ordnungszahl, Geschwindigkeit, Masse und Ladung separiert und gezählt [2].

Die zweite Anwendung ist ein im Aufbau befindlicher Prototyp für Elektronikschrottaufbereitung. Bei dieser Anlage werden zerschredderte Teile von Elektrogeräten mit Hilfe eines Förderbandes an Sensoren entlang transportiert (siehe auch Abb. 1 (links)). Als Sensorik sind im ersten Schritt mehrere 2D-Kameras (klassische Objekterkennung), eine Hyperspektralkamera (Materialerkennung) und ein Laser-scanner (Höhenprofil) geplant. Damit sollen die auf dem Band befindlichen Teile erkannt und Rückschlüsse auf die enthaltenen Rohstoffmengen sowie deren optimale Verwertung gezogen werden. Dazu müssen Datenflüsse im Gigabitbereich in Echtzeit ausgewertet werden.

In beiden Anwendungen werden reale Objekte untersucht,

um die Menge und Position von chemischen Elementen mit variabler Präzision und Genauigkeit zu ermitteln.

Als Randbedingung ergibt sich, dass die Software der Anlagen unter Linux lauffähig sein sollen. Die Entwickler und Nutzer sollen die Software aber auch unter Windows-Betriebssystemen nutzen können. Zudem ist die Unterstützung der Bibliothek OpenCV [4] für die Bildverarbeitung essentiell: Viele Forscher im Bereich Computergrafik entwickeln ihre Arbeit mit der Bibliothek OpenCV und machen ihre eigenen Entwicklungen darüber verfügbar. OpenCV unterstützt für viele Algorithmen GPU-Beschleunigung.

Es wurden bestehende Entwicklungen auf ihre Eignung für das Projekt untersucht. Ein vielversprechender Kandidat ist das UFO-Framework [3]. Es ist sehr effizient und unterstützt durch seinen modularen Aufbau (erweiterbar über Plugins) grundsätzlich auch die Einbindung von OpenCV. Aufgrund von weiteren Bibliotheksabhängigkeiten ist UFO aber leider nicht unter Windows lauffähig. Auch die interaktive Änderung der Verarbeitungspipeline war zum Zeitpunkt der Evaluation nicht vorgesehen.

In den folgenden Abschnitten geht es um den Aufbau und die Funktionsweise des aktuellen Ansatzes sowie den derzeitigen Stand der Umsetzung. Es folgt eine kritische Betrachtung der Ergebnisse und schließlich eine Zusammenfassung mit Ausblick auf die geplante Weiterentwicklung.

II. AUFBAU UND FUNKTIONSWEISE

Dieser Abschnitt erklärt die Funktionsweise des gewählten Ansatzes ein. Es wird zuerst die Struktur einer einzelnen Pipelinestufe vorgestellt. Danach geht es um das Zusammenspiel der Pipelinestufen als Gesamtsystem und die Anbindung der Benutzeroberfläche.

A. Pipelinestufen

Die Struktur einer Pipelinestufe zeigt Abb. 3. Jede Pipelinestufe kann mehrere Eingangswarteschlangen haben, in denen typisierte Datenblöcke (z. B. Bilder) bis zu ihrer Verarbeitung zwischengespeichert werden. Für jede Stufe wird ein eigenständiger Thread gestartet, der den Verarbeitungsalgorithmus ausführt, sobald an allen Eingangswarteschlangen die notwendigen Daten vorliegen. Bis dahin wird der Thread schlafen gelegt, ohne CPU-Ressourcen zu verbrauchen. Das Ergebnis der Berechnungen wird anschließend an die Warteschlangen der an die jeweiligen Ausgänge angeschlossenen Pipelinestufen weitergeleitet und falls notwendig dupliziert. Dadurch, dass alle Pipelinestufen als eigener Thread laufen, kann die Rechenleistung von Multi-Core-CPU's ausgenutzt werden. Es ist möglich, dass eine Pipelinestufe einen internen Zustand hält, um beispielsweise Statistiken wie Mittelwerte zu bilden oder auf sonstige Weise auf die zeitliche Abfolge von Daten zu reagieren. In der Regel hat jede Pipelinestufe Parameter, die die Arbeitsweise des Algorithmus beeinflussen. Diese können während der Laufzeit verändert werden.

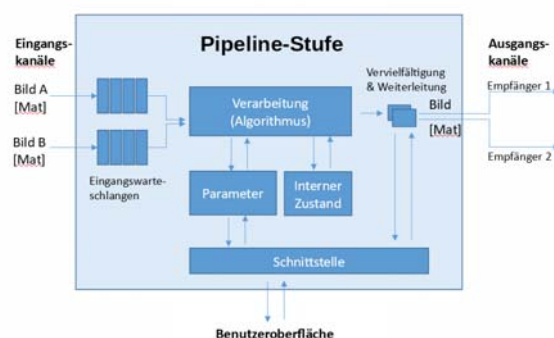


Abbildung 3. Struktureller Aufbau einer Pipelinestufe

Ein Sonderfall sind die Eingabe- und Ausgabepipelinestufen, die jeweils nur Ausgangskanäle oder Eingangswarteschlangen haben. Eingangsstufen beziehen ihre Daten direkt von Hardware (z. B. Kameras) oder aus Dateien. Ausgangsstufen liefern ihre Daten direkt an Hardware (z. B. Ausgabe im Fenster) oder in Dateien (z. B. Videodateien).

B. Pipelinesystem und Web Interface

Einen Überblick zum Gesamtsystem gibt Abb. 4. Der Nutzer interagiert mit dem Web Interface, welches von der Anwendung bereitgestellt wird, und kann damit die Pipelinestruktur beeinflussen. Während der Laufzeit können neue Pipelinestufen erzeugt, die Verknüpfungen der Ausgabekanäle mit den Eingangswarteschlangen anderer Pipelinestufen verändert sowie die Parameter der Pipelinestufen angepasst werden. Es ist auch möglich, gleichzeitig mehrere Pipelinestufen mit dem gleichen Algorithmus anzulegen.

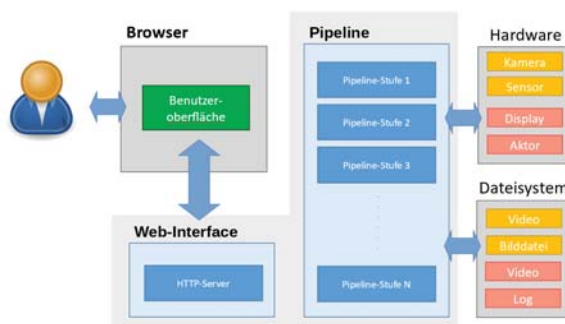


Abbildung 4. Überblick über das Gesamtsystem: (a) Nutzer interagiert mit dem Browser, der das Web Interface darstellt; (b) das Web Interface steuert die Pipeline und ruft dort aktuelle Information ab; (c) die Pipelinestufen verarbeiten Daten oder greifen auf Hardware und/oder das Dateisystem zu

Das Web Interface wird über einen integrierten HTTP Server zur Verfügung gestellt. Es basiert auf HTML5/CSS, JavaScript, jQuery [6] und dem Plugin jquery.flowchart [1]. Es

ermöglicht dem Nutzer, die oben beschriebenen Aktionen auszuführen: also aus einer Bibliothek von verfügbaren Algorithmen zu wählen und entsprechende Pipelineinstufen zu erstellen, deren Ein- und Ausgangskanäle miteinander zu verknüpfen und die Parameter einzustellen.

III. AKTUELLER ENTWICKLUNGSSTAND

Der Prototyp der Software ist unter Windows und Linux lauffähig und unterstützt bereits wichtige Bildverarbeitungs-algorithmen wie:

- Kantendetektoren (u. a. Canny, Sobel, HoughLines)
- Optischer Fluss
- HAAR-Cascade-Filter
- Farbraumkonvertierungen
- Maskenoperatoren (Threshold, UND-Verknüpfung)
- Morphologische Operatoren (Erosion, Dilatation)
- Bildgrößenanpassung (Resampling)

Außerdem besteht die Möglichkeit, Bilder und Videos in üblichen Dateiformaten (z. B: JPG, PNG, BMP, AVI) zu laden oder Live Videos von Kameras einzuspielen. Weitere Algorithmen aus der OpenCV-Bibliothek können innerhalb kürzester Zeit eingebunden werden.

Zusätzlich wurden Schnittstellen für anwendungsspezifische Dateiformate (Hyperspektralbilder im *.HDR Format und SIMS-Schichtenbilder im *.IM-Format) umgesetzt. Die Anbindung von Industriekameras, welche nicht über die integrierte Kameraschnittstelle angesprochen werden können, ist fast abgeschlossen.

Die GPU-Unterstützung von OpenCV wird durch die Nutzung des Datentyps `cv::UMat` ermöglicht. Der Datentyp ist in der derzeitigen Version von OpenCV (3.4.1) nicht thread safe. Dies führt dazu, dass Datenpakete weitergeleitet werden, bevor die Verarbeitung in der GPU abgeschlossen ist.

Durch die parallele Verarbeitung in verschiedenen Pipelineinstufen kann es dazu kommen, dass Daten unterschiedlich schnell verarbeitet werden und damit Datenblöcke falsch miteinander kombiniert werden. Ein Mechanismus zur Synchronisation der Daten z. B. nach Zeitstempel oder Frame Index muss daher umgesetzt werden.

IV. BEWERTUNG DER ERGEBNISSE

Das Ziel einer Oberfläche zum Entwickeln von Bildverarbeitungs-pipelines wurde erreicht. Sie ist von normalen Anwendern verwendbar, um eigenständige Analysen durchzuführen. Auch wenn der Umfang der unterstützten Algorithmen noch sehr überschaubar ist, konnte gezeigt werden, dass die Struktur des Frameworks flexibel genug ist, um nicht nur Bilder, sondern auch Datenstrukturen wie Vektoren von Linien, zwischen den Pipelineinstufen auszutauschen. Dennoch muss der Fehler in der GPU-Beschleunigung behoben und die Synchronisation von Datenströmen ermöglicht werden. Auch wäre zu überlegen, ob ein Thread pro Datensatz besser wäre. Dann würde auch bei einfachen Pipelines

eine Nutzung aller CPU-Cores erfolgen. Es besteht jedoch die Gefahr, dass viele Threads zu starten, die Effizienz der Verarbeitung merklich negativ beeinflussen könnte.

Für den Nutzer ist es außerdem wichtig zu erfahren, wieviel Zeit bzw. Ressourcen ein Algorithmus verbraucht. Es sollte daher eine Möglichkeit vorgesehen werden, die Verarbeitungsgeschwindigkeit zu erfassen und dem Nutzer entsprechende Statistiken auszugeben.

Ein Webinterface statt einer klassischen Anwendungsoberfläche zu verwenden, ermöglicht die schnelle Umsetzung komplexer Bedienelemente bei gleichzeitiger Plattformunabhängigkeit und der Möglichkeit zur Fernwartung.

V. ZUSAMMENFASSUNG UND AUSBLICK

Es wurde ein interaktives Pipelinesystem vorgestellt, mit dem es möglich ist, Datenströme in Echtzeit zu verarbeiten und währenddessen die verwendeten Algorithmen und deren Parameter zu verändern. Zudem wurde der technische Aufbau dargelegt und dessen Vor- und Nachteile diskutiert. Durch den Einsatz eines Web Interfaces ist die Software nicht nur plattformunabhängig, sondern ermöglicht zusätzlich die Option der Fernwartung. Außerdem wurde auf den aktuellen Entwicklungsstand des Prototyps eingegangen. Es konnte gezeigt werden, dass das grundlegende Konzept auch in der Praxis funktioniert.

Die Fehlerbehebung bei der GPU-Unterstützung, die Synchronisation von Datenströmen sowie die Protokollierung und Visualisierung der Performance der Pipelineinstufen sind wichtige Ziele der weiteren Arbeit.

VI. DANKSAGUNG

Diese Arbeit entstand im Rahmen des Projekts ASARB-WG, das mit Steuermitteln auf Grundlage des von den Abgeordneten des Sächsischen Landtags beschlossenen Haushalts mitfinanziert und in Kooperation mit dem Helmholtz-Zentrum Dresden-Rossendorf durchgeführt wird.

LITERATUR

- [1] S. Drouyer. `jquery.flowchart`, JQuery UI plugin that allows you to draw a flow chart. <http://sebastien.drouyer.com/jquery.flowchart-demo/>, 2018.
- [2] Rugel, G. et al. Status report of Super-SIMS for resource technology. In *International Conference on Ion Beam Analysis IBA, Shanghai*, 2017.
- [3] Vogelgesang, M. et al. UFO: A Scalable GPU-based Image Processing Framework for On-line Monitoring. In *Proceedings of The 14th IEEE Conference on High Performance Computing and Communication The 9th IEEE International Conference on Embedded Software and Systems (HPCC-ICES)*, pages 824–829. IEEE Computer Society, Liverpool, UK, June 2012.
- [4] Kaehler, A.; Bradski, G. *Learning OpenCV 3, Computer Vision in C++ with the OpenCV Library*. O'Reilly Media, Sebastopol, 2016.

- [5] Oertel, W.; Kaefer, P.; König, S.; Pour, R.; Renno, A. D.; Rugel, G.; Ziegenrucker, R.; Zierer, R. Software Concept for Automated Synthesis and Analysis of Resource-Technological Image Data in Scientific Large-Scale Infrastructures. In *Gesellschaft zur Förderung angewandter Informatik (Hrsg.): 20. Anwendungsbezogener Workshop zur Erfassung, Modellierung, Verarbeitung und Auswertung von 3D-Daten (3D-NordOst 2107), Berlin, 2017.*
- [6] The jQuery Foundation. jQuery Core. <https://jquery.org/>, 2018.

CompactRIO with NI-DAQmx

Peter Simandl
Account Manager



ni.com

NI's portfolio of FPGA-enabled Instruments



sbRIO



CompactRIO



Compact Vision System



Multifunction RIO



USRP RIO



Modular Instruments



FlexRIO



RF Instruments



CompactRIO with NI-DAQmx

Unified C Series Controller for Measurement and Control Applications

- Provides ease of use of DAQmx programming and advance control capabilities of LabVIEW FPGA
- Up to 8 Slots of C-Series modules with slot by slot user selectable driver support of DAQmx or RIO

Key Features

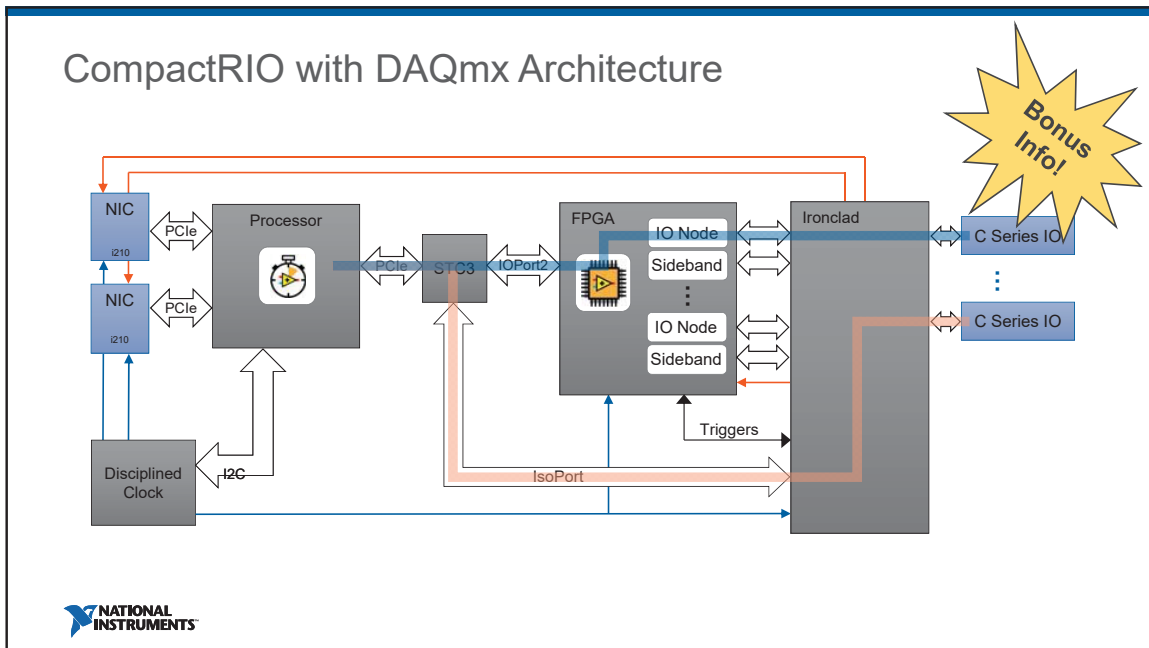
- Improved SW user experience for data acquisition and control
 - Out of the box waveform based front panel IO panes
 - Improved System Configuration in MAX
 - Module calibration on the Controller
 - Network synchronization capabilities
- Increased performance and throughput
 - Deterministic Single Point IO rates >5K with DAQmx
 - ~20% processor performance increase with next generation Intel Atom
- Dual USB Type C connectors
 - SuperSpeed USB for processor IO expansion
 - Display for Embedded UI
 - USB Device programming
- NI Linux Real-Time Operating System (no Wes7 variants)
- Xilinx Kintex-7 FPGAs with up to 325k logic cells
- Up to -40 to 70°C operating temp range

NATIONAL INSTRUMENTS

Historical cRIO Controllers Architecture

Bonus Info!

NATIONAL INSTRUMENTS



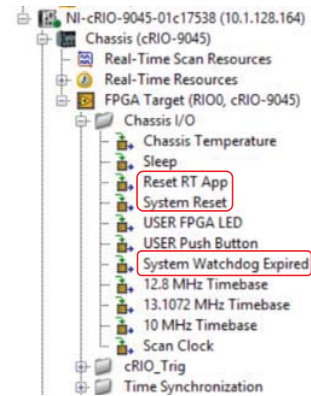
Trigger bus

- Shared hardware lines accessible to both the FPGA and DAQmx
- 4 to FPGA, 4 from FPGA
- Permits custom triggering of DAQmx tasks based on FPGA logic

NATIONAL INSTRUMENTS

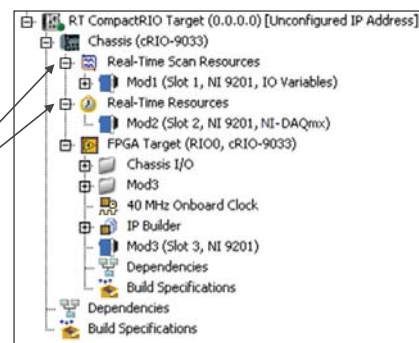
Improved HW Watchdog

- FPGA can query watchdog status
- FPGA can reset entire chassis or just RT App
 - Permits detection of fault, placement of IO into safe state and attempted recovery of RT application without losing control of IO

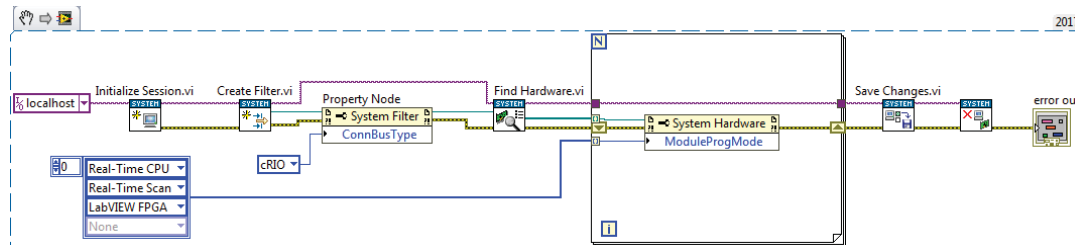


User Experience: LabVIEW

- Modules listed in project
- Similar experience to Hybrid Mode with current generation cRIOs
- Follows trend set in 2017 for RSI project items
- Programmatically switch acquisition mode



Programmatically Switching Modes



- Any mode to Real-Time CPU (DAQmx or XNET): no problem, assuming you're mindful of sessions
- FPGA mode to Real-Time Scan: not fruitful, because the RSI module code wasn't compiled in
- Real-Time CPU to Real-Time Scan: possible if chassis is in Scan Interface Mode, possible if hybrid mode with the module compiled into FPGA
- Anything to FPGA: FPGA program must already be compiled with this module



Software and Hardware Support

- LabVIEW Current Gen (2017 SP1)
- LabVIEW Real-Time (2017)
- LabVIEW FPGA (2017 SP1) **optional if user only requires DAQmx support*
- RIO (17.6)
- Includes DAQmx (17.6)
 - **(new)** Timing Engine per slot
 - **(new)** Hardware-Timed Single-Point on cRIO
 - **(new)** DAQ/FPGA Shared Trigger Bus

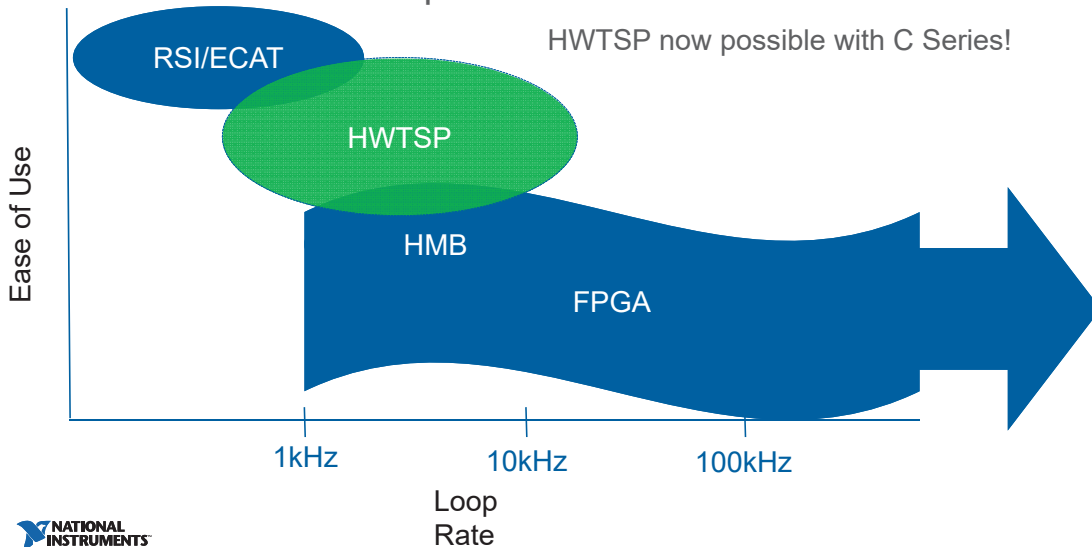


Upgrade Path for CompactRIO & CompactDAQ Customers

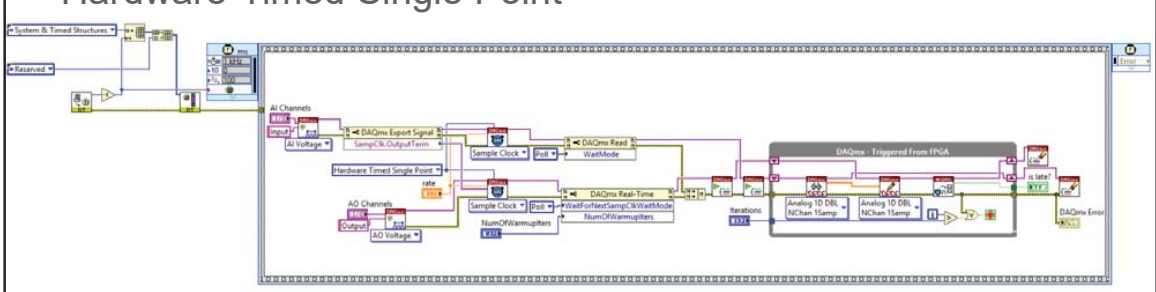
New Controller	Description	Migration From
cRIO-9040 (4 slot) cRIO-9045 (8 slot)	1.30 GHz Dual Core, 2GB RAM, 4GB Storage, Kintex-7 70T, 55C	CompactRIO: cRIO-9030, cRIO-9035 CompactDAQ: cDAQ-9132, cDAQ-9133
cRIO-9041 (4 slot) cRIO-9046 (8 slot)	1.30 GHz Dual Core, 2GB RAM, 4GB Storage, Kintex-7 70T, 70C	CompactRIO: cRIO-9065, cRIO-9031, cRIO-9068, cRIO-9036 CompactDAQ: cDAQ-9134, cDAQ-9135
cRIO-9042 (4 slot) cRIO-9047 (8 slot)	1.60 GHz Quad Core, 4 GB RAM, 4 GB Storage, Kintex-7 70T, 70C	New variant, but may see migration from... CompactRIO: cRIO-9034, cRIO-9039 CompactDAQ: cDAQ-9136, cDAQ-9137
cRIO-9043 (4 slot) cRIO-9048 (8 slot)	1.30 GHz Dual Core, 2 GB RAM, 8 GB Storage, Kintex-7 160T, 70C	CompactRIO: cRIO-9033, cRIO-9038, cRIO-9032 or cRIO-9037 (no WiFi variant planned) CompactDAQ: cDAQ-9134, cDAQ-9135
cRIO-9049 (8 slot)	1.60 GHz Quad Core, 4 GB RAM, 16 GB Storage, Kintex-7 325T, 256 MB FPGA DRAM, 55C	CompactRIO: cRIO-9034, cRIO-9039 CompactDAQ: cDAQ-9137
Future Variants	Lower performance/lower cost controllers Ethernet expansion chassis	cRIO-9063, cRIO-9064, cRIO-9066, cRIO-9067, Ethernet expansion




Ease of Use versus Loop Rate



Hardware-Timed Single Point




- For best performance:
 - Dedicate a core
 - Set read and write to polling mode
 - Set number of warmup iterations to a reasonable value (~100)
 - Closed-loop control rates of ~5 KHz are reasonable, depending on channel count and processing



Timing Engines

- 8 generic input + 8 generic output engines available **per chassis**
 - More flexibility than previous generation
- 4 counters available
- 1 hardware-timed task **per module**

Hardware-Timed Tasks	cDAQ: Number of Tasks per Chassis	cRIO: Number of Tasks per Controller	cDAQ/cRIO: Number of Tasks per Module
Analog Input	3 ^[1]	8	1
Analog Output	1	8	1
Counter Input/Output	4, 2 ^[2]	4, 8 ^[3]	4, 1 ^[4]
Digital Input	1	8	1
Digital Output	1	8	1



TSN on CompactRIO with NI-DAQmx

Time Synchronization



Traffic Scheduling




TSN on CompactRIO with NI-DAQmx


- Synchronized acquisition through 802.1as
- Perform deterministic communication through the LabVIEW TSN API
- Synchronize DAQ and FPGA on the same device
 - Sync via internal routes or TSN timing
- Both NICs are time-aware, however daisy chaining is not available




FlexRIO




sbRIO




CompactRIO




Compact Vision System




Multifunction RIO




USRP RIO



Modular Instruments




FlexRIO



RF Instruments


Analog, RF, Digital I/O > 10 MS/s

FlexRIO offers highest level of customization





Furuno Electric Co. Uses NI FlexRIO Platform to Develop Weather Radar in 40 Percent Less Time

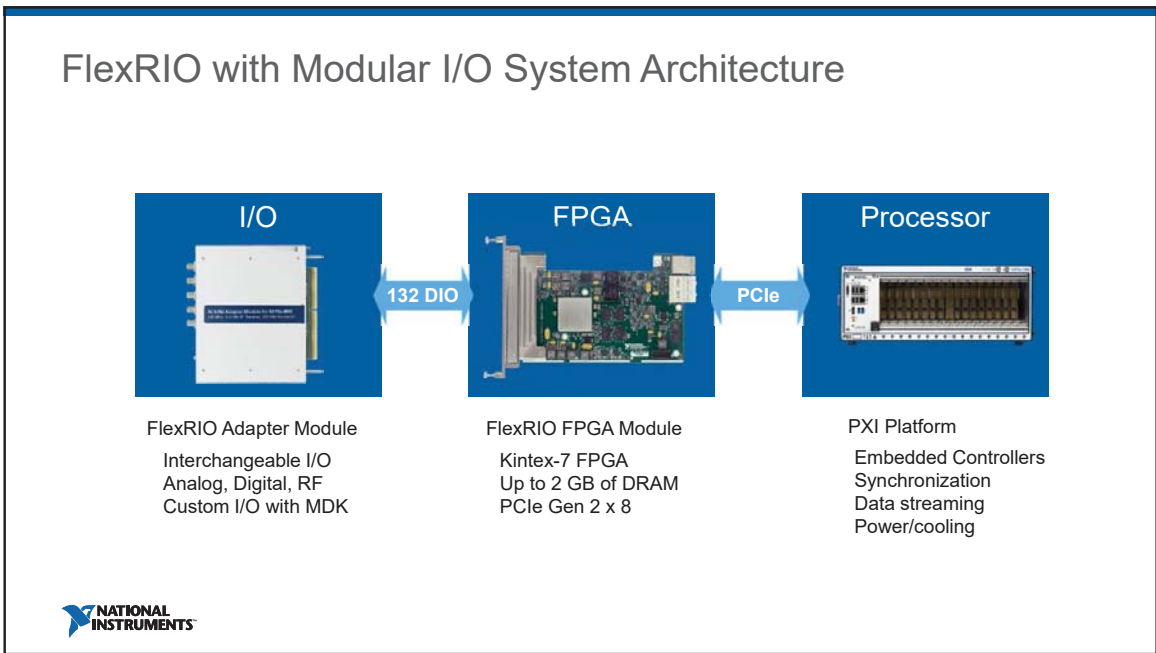



“The time it took to achieve this was remarkable. Compared to a conventional design approach used with similar new product developments, we estimate that we achieved a reduction in development time of more than 40 percent by adopting the NI solution.”




























- Using NI FlexRIO inside deployed weather radar systems
- Furuno’s RADAR front-end interfaces with FlexRIO’s NI 5782 IF Transceiver for both excitation and acquisition

Takuo Kashiwa, Ph. D
Furuno Electric Co., Ltd.



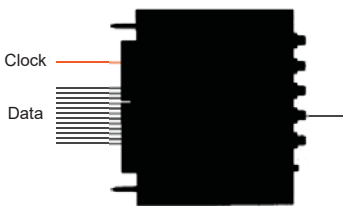


A Wide Variety of FlexRIO I/O

Digital	Digitizers	RF
 100 Mbps SE DIO  300 Mbps LVDS DIO  300 Mbps SE/LVDS DIO  1 Gbps LVDS DIO  Camera Link  RS-485/422	 2 ch. 3 GS/s 8-bit AI  2 ch. 1.6 GS/s 12-bit AI  4 ch. 250 MS/s 14-bit AI  2 ch. 250 MS/s 16-bit AI  16 ch. 120 MS/s 16-bit AI  4 ch. 120 MS/s 16-bit AI  32 ch. 50 MS/s 12-bit AI  2 ch. 80 MS/s 14-bit AI  2 ch. 120 MS/s 16-bit AI  2 ch. 40 MS/s 12-bit AI  16 ch. 50 MS/s 14-bit AI	 100MHz BW 4.4 GHz RF I/O  200MHz BW 4.4 GHz RF Tx  200MHz BW 4.4 GHz RF Rx <div style="background-color: #0056b3; color: white; text-align: center; padding: 5px;">Transceivers</div>  2 ch. 100 MS/s 14-bit AI 16-bit AO  2 ch. 250 MS/s 14-bit AI 16-bit AO  4 ch. 100 MS/s 16-bit AI 16-bit AO <div style="background-color: #0056b3; color: white; text-align: center; padding: 5px;">Signal Generators</div>  2 ch. 1.25 GS/s 14-bit AO  1 ch. 2 GS/s 14-bit AO  32 ch. 1MS/s 16-bit AO  16 ch. 1MS/s 16-bit AO

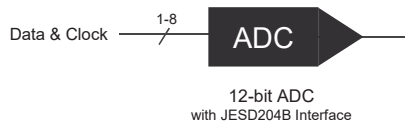
The move to high-speed serial

Traditional Converters



Uses FPGA GPIO
LVDS bit rates up to ~1.25 Gbps
Difficult to meet static timing


High-speed Serial Converters



12-bit ADC
with JESD204B Interface

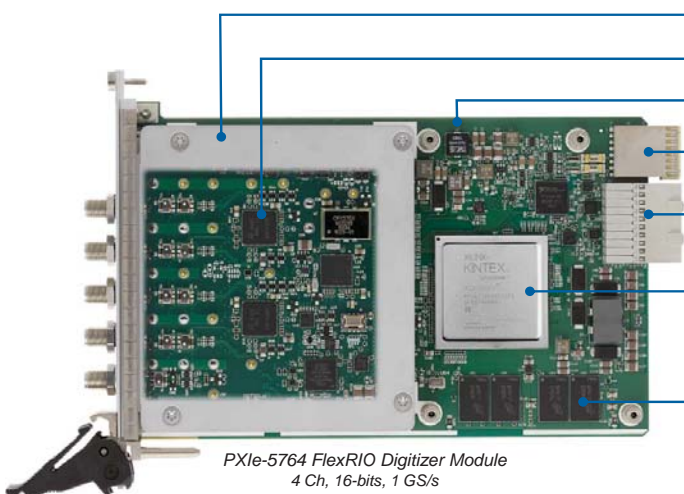
Uses FPGA Multigigabit Transceivers (MGTs)
MGT line rates up to 12.5 Gbps
Defined by JESD204B standard*

A new FlexRIO architecture was needed to support next generation converter technology




*NI is currently an active member of the committee working to define JESD204C

A New FlexRIO Architecture



- Mezzanine I/O Module
- JESD204B ADCs/DACs
- FPGA Backend
- Timing and synchronization
- PCI Express Gen 3x8
- Xilinx Ultrascale FPGAs
- 4 GB onboard memory

*PXIe-5764 FlexRIO Digitizer Module
4 Ch, 16-bits, 1 GS/s*



FlexRIO with Integrated I/O

Xilinx Ultrascale FPGAs and High-performance I/O

- Integrated Mezzanine I/O modules
- Programmable with LabVIEW FPGA or Xilinx Vivado
- Synchronization with NI-TCIk
- Driver for streaming and configuration
 - LabVIEW, C/C++

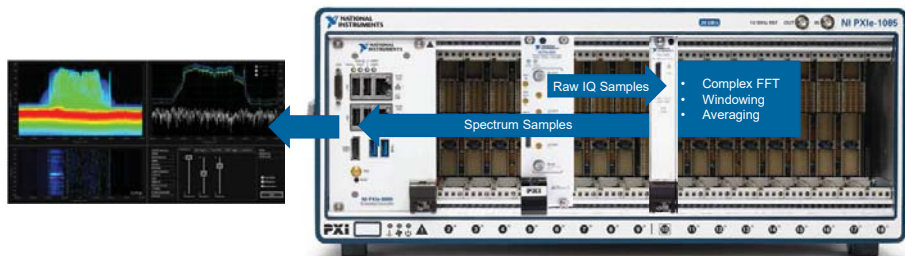
- Dedicated FlexRIO Coprocessor Modules
- 2 FlexRIO Digitizer Modules
- Module Development Kit
- *More to come...*



FlexRIO Coprocessor Modules

PXIe-7911, 7912, 7915

- Dedicated FlexRIO Modules for Coprocessing
- Big FPGA, High-bandwidth P2P Streaming
- Adds DSP capability to a PXI system

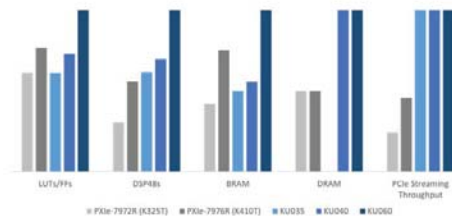


Real-time Spectrum Analyzer built on FlexRIO Coprocessor Module



FPGA Backends

- Kintex Ultrascale KU035, KU040, and KU060 FPGAs



- Auxiliary I/O through Molex Nano-pitch IO Connector
 - 8 GPIO, 4 High-speed serial transceivers
- Up to 4 GB DRAM for buffering and record-based processing
 - Two 2 GB banks with 7.5 GB/s throughput
- PCI Express Gen 3x8 for data streaming up to 7 GB/s



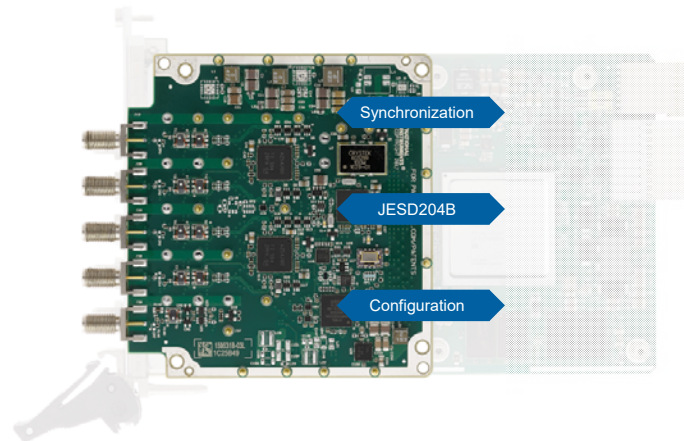
FlexRIO Digitizer Modules

PXIe-5764


4 Ch, 16-bits, 1 GS/s
 1.15 GHz bandwidth*
 AC or DC coupled
 1.9 Vpp

PXIe-5763

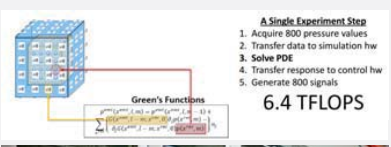
4 Ch, 16-bits, 500 MS/s
 225 MHz bandwidth
 AC or DC coupled
 1.9 Vpp



*1.15 GHz at -10dbFS = 0.63Vpp. Full scale input bandwidth =400 MHz.





Reconfigurable Supercomputer with >500 FPGAs



“To aid in the implementation of the computational algorithm, algorithmic work was completed using a high level synthesis (HLS) tool and National Instruments LabVIEW. This allows the algorithm development in a high level language, yet results in efficient FPGA implementations.”

Low Latency
Reconfigurable FPGA
Supercomputer
ETH Zurich

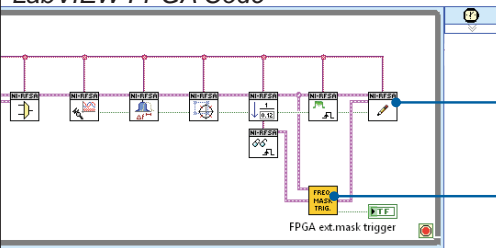




Software


- Host driver for LabVIEW, C/C++
- FPGA programming with LabVIEW or Xilinx Vivado
- Ease into FPGA programming with new streaming driver
 - Acquire data without FPGA programming
 - Built on top of Instrument Design Libraries, easily modified

LabVIEW FPGA Code



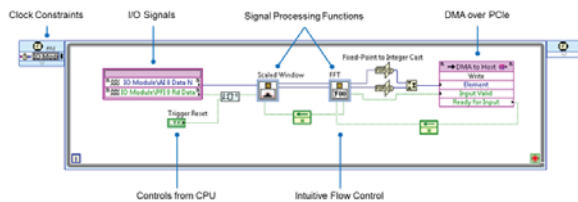
Functions included with standard driver

Application-specific functions



Programming FPGAs with LabVIEW

Focus on your algorithms, not infrastructure



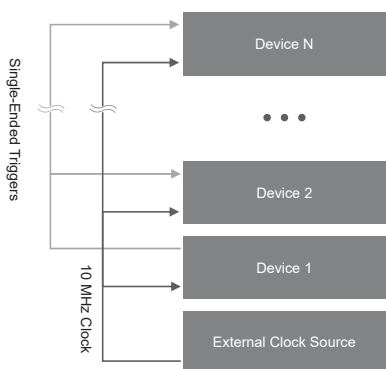
Save time with extensive libraries of FPGA IP



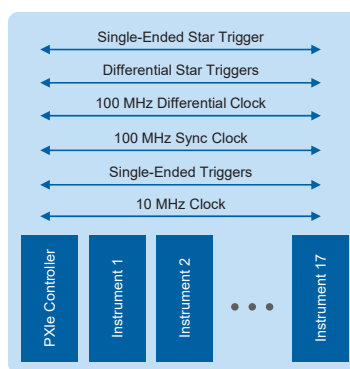
LabVIEW FPGA IP Commonly used with FlexRIO

10 Gigabit Ethernet UDP	Edge detection	Persistence display
3-Phase PLL	Equalization	PFT channelizer
Accumulator	Exponential	PID
All-digital PLL	FFT	Pipeline frequency transform (PFT)
Area measurements	Filtering	Polar to X/Y conversion
Bayer decoding	FIR compiler	Power level trigger
Binary morphology	Fixed-point filter design	Power servoing
Binary object detection	Fractional interpolator	Power spectrum
BRAM delay	Fractional resampler	Programmable filter
BRAM FIFO	Frequency domain measurements	Pulse measurements
BRAM packetizer	Frequency mask trigger	Reciprocal
Butterworth filter	Frequency shift	RFPE
Centroid calculation	Halfband decimator	Rising/falling edge detect
Channel emulation	Handshake	RS-232
Channel power	Hardware test sequencer	Scaled window
CIC compiler	I2C	Shading correction
Color extraction	Image operators	Sin & Cos
Color space conversion	Image transforms	Spectrogram
Complex multiply	Image transforms	SPI
Corner detection	Instruction sequencer	Square root
Counters	IQ impairment correction	Streaming controller
D latch	Line detection	Streaming IDL
Delay	Linear interpolation	Synchronous latch
Digital gain	Lock-in amplifier filter	Trigger IDL
Digital pre-distortion	Log	Unit delay
Digital pulse processing filter	Matrix multiply	VITA-49 data packing
Discrete delay	Matrix transpose	Waveform generation
Discrete normalized integrator	Mean, Var, Std deviation	Waveform match trigger
Divide	Memory IDL	Waveform math
Dot product	Moving average	X/Y to polar conversion
DPO	N channel DDC	Xilinx Aurora
DRAM FIFO IDL	Natural log	Zero crossing
DRAM packetizer	Noise generation	Zero order hold
DSP48 node	Normalized square	Z-Transform delay
DUC/DDC compiler	Notch filter	

Advanced Timing and Synchronization with PXI



Traditional Approach



PXI



Questions?



ni.com



SEI-Tagung 2018

Agile Software Development using GitLab and GitLab CI



GitLab

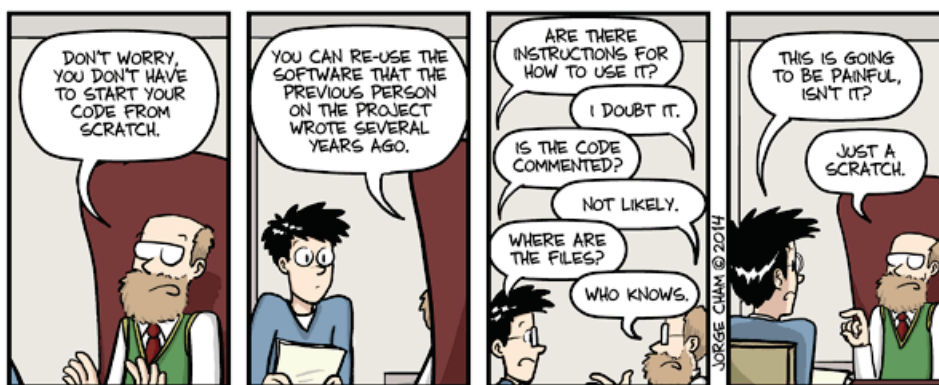
<https://gitlab.hzdr.de>



HZDR
HELMHOLTZ
ZENTRUM DRESDEN
ROSSENDORF

Tobias Frust + Dr. Guido Juckeland | Computational Science Group | www.hzdr.de/fwcc

The reality of research software development



 <https://gitlab.hzdr.de>

Page 2

Member of the Helmholtz Association

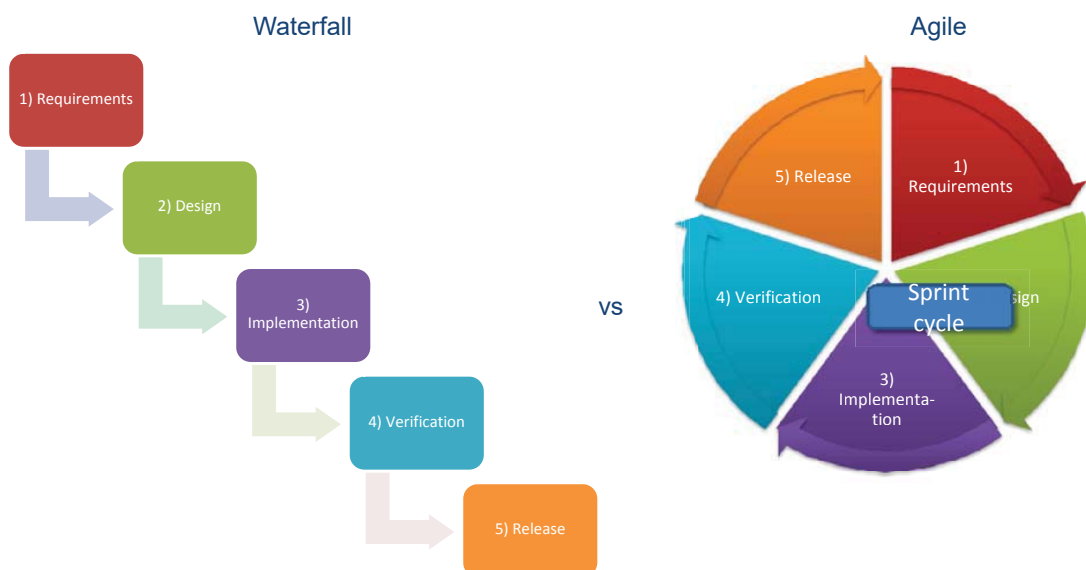
Tobias Frust + Dr. Guido Juckeland | Computational Science Group | www.hzdr.de/fwcc

Characteristics of scientific software development

- Requirements are not known up to front
- Verification and validation are difficult
- Formal software processes restrict research (e.g. waterfall model)
- Development driven and limited by hardware
- Few scientists are trained in software engineering

→ Scientific software development is Agile!

What is meant by Agile development?



High quality research requires high code quality

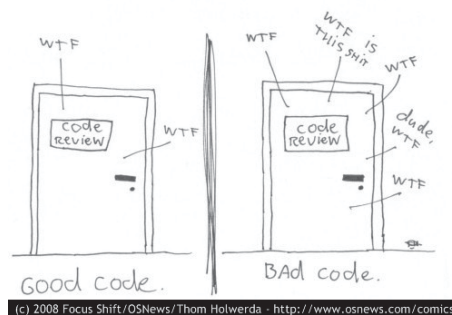
Research reproducibility

Research sustainability

There are tools that assist, e.g.



The only valid measurement
of code quality: WTFs/minute



(c) 2008 Focus Shift/OSNews/Thom Holwerda - <http://www.osnews.com/comics>

Mapping Agile artifacts to GitLab features

Agile artifact	GitLab feature
User story	Issues
Task	Task list
Epic	Epics (not in CE)
Points and estimation	Weights (not in CE)
Product backlog	Issue lists and prioritized labels
Sprint/iteration	Milestones
Burndown chart	Burndown charts (not in CE)
Agile board	Issue boards

Mapping Agile artifacts to GitLab features

User stories → GitLab issues

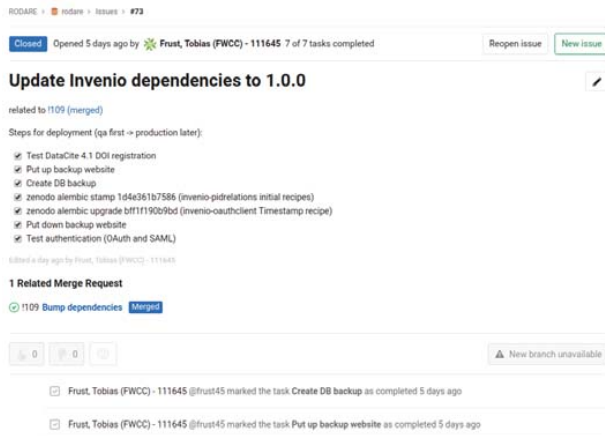
Each project has its own issue tracker

Single issue is a user story

Task → GitLab tasks list

A user story is often separated into individual tasks

Create a task list in the issue description



Mapping Agile artifacts to GitLab features

Product backlog → Issues lists and prioritized labels

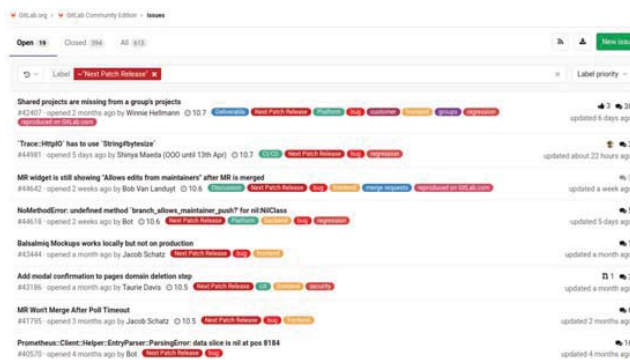
Use issue lists to track the backlog

Assign labels to issues

Create prioritized labels

Sort the issue list by priority

Filter issue list by labels

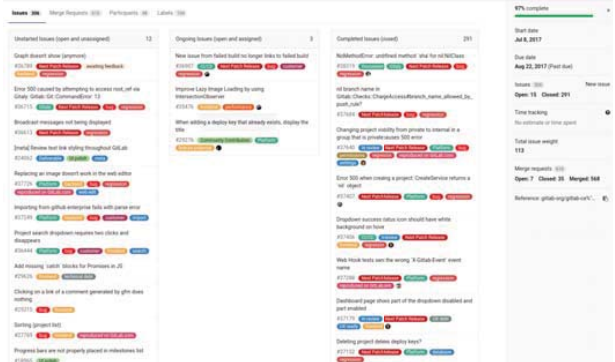


Mapping Agile artifacts to GitLab features

Sprints → GitLab milestones

A sprint is a finite time period in which work is to be completed

- Create milestone with start and due date
- Decide work that is in scope for the upcoming sprint
- Put issues into that sprint by assigning them to this particular milestone



Mapping Agile artifacts to GitLab features

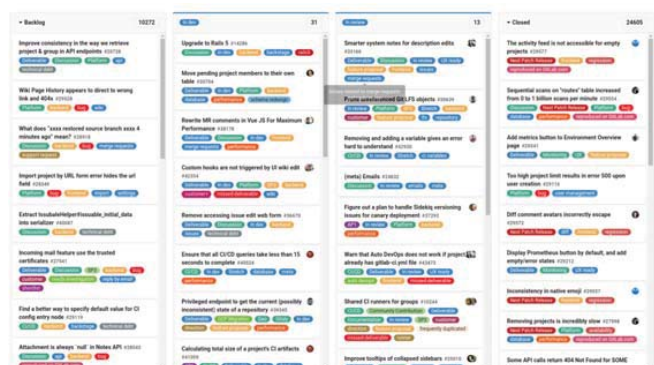
Agile board → GitLab issue board

Throughout a sprint issues move to various stages:

Example:

To Do → Doing → In Review → Done

- Define your stages in the issue board
- Configure it for your needs
- During daily standups: Look at the board together and see the status of the current sprint



Continuous integration using GitLab CI

“Continuous Integration is a software development practice where members of a team integrate their work frequently, usually each person integrates at least daily - leading to multiple integrations per day. Each integration is verified by an automated build (including test) to detect integration errors as quickly as possible.”

- Martin Fowler

<https://www.martinfowler.com/articles/continuousIntegration.html>

Continuous integration using GitLab CI

GitLab CI:

Fully integrated with GitLab

Isolated test environment, based on Docker

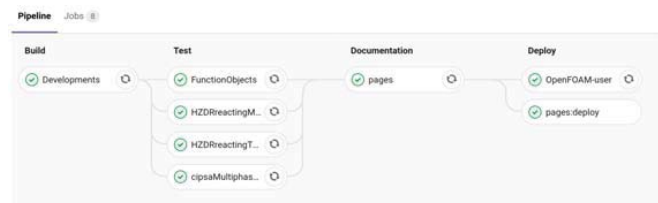
How do I get started?

Add a file called `.gitlab-ci.yml` in the root of your repository

Define your jobs

Protect the master branch

Allow merge requests only to be merged if the pipeline succeeds.



Exemplary `.gitlab-ci.yml` file:

```
build:
  image: gcc:latest # base docker image
  stage: build
  script:
    - g++ helloworld.py -o helloworld
    - ./helloworld
```

Continuous integration using GitLab CI

Exemplary `.gitlab-ci.yml` file for C++ Hello-World:

```
gcc_latest:
  image: gcc:latest # base docker image
  script:
    - g++ helloworld.py -o helloworld
    - ./helloworld
gcc_6:
  image: gcc:6 # base docker image
  script:
    - g++ helloworld.py -o helloworld
    - ./helloworld
gcc_5:
  image: gcc:5 # base docker image
  script:
    - g++ helloworld.py -o helloworld
    - ./helloworld
```

Define a set of jobs in a YAML file
 Easily test your code against multiple versions of dependencies
 Detailed documentation at <https://docs.gitlab.com/ce/ci/yaml/>

And there is even more...

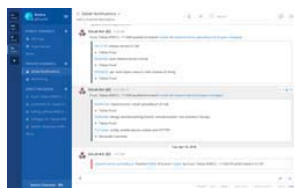
Built-in Container Registry
 Each project can have its own private registry for Docker images. It is integrated with GitLab CI.



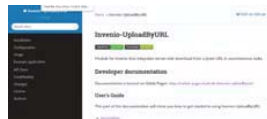
Project import
 Import existing projects from GitHub, Bitbucket, and more...



Mattermost integration
 Use Mattermost for your team communication and get notified from GitLab or use Slash commands



GitLab Pages
 Host static websites directly via GitLab (e.g. your documentation)



Integrated Git-powered wiki
 Wiki might be an alternative solution for documenting your application.



Git LFS 2.0 support
 With Git LFS you can manage large files within Git, which is usually a problem.

Optische Terabit-Datenübertragung

Lars Eisenblätter
SEI-Tagung 2018, HZDR

Institute for Data Processing and Electronics (IPE)



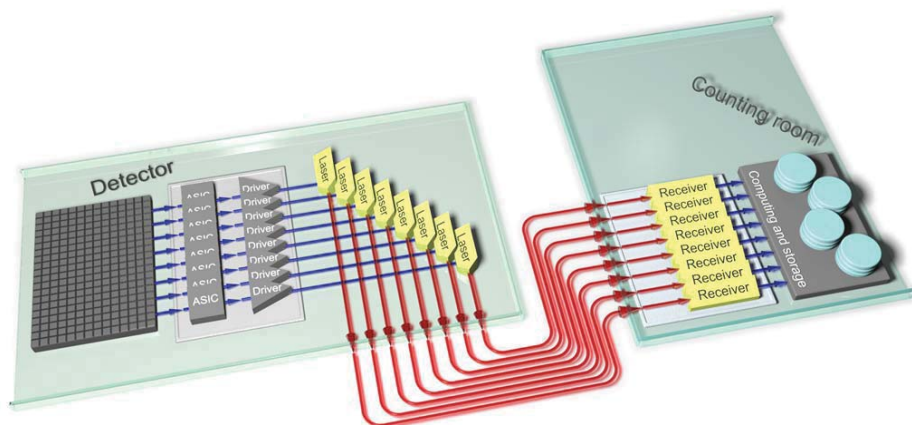
KIT – The Research University in the Helmholtz Association



www.kit.edu

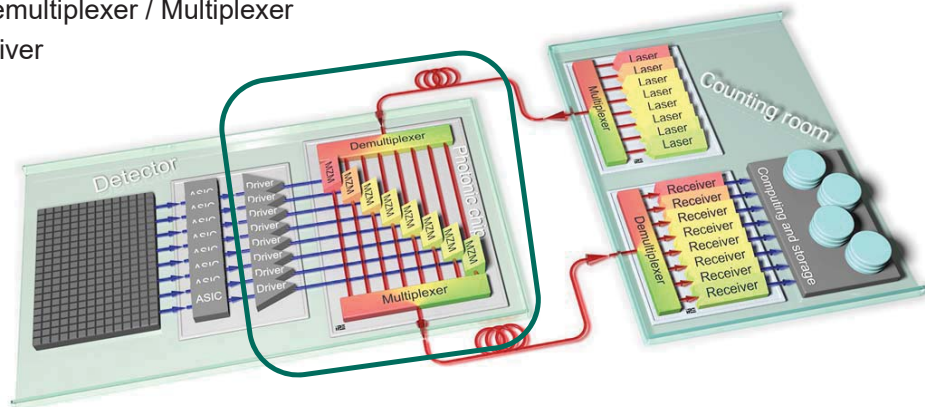
State of the Art – CMS Tracker

- 15000 optical read out fibers for CMS tracker, ≤ 5 Gb/s per fiber
- Only a fraction of data is read out
- Lasers located on detector \Rightarrow radiation zone

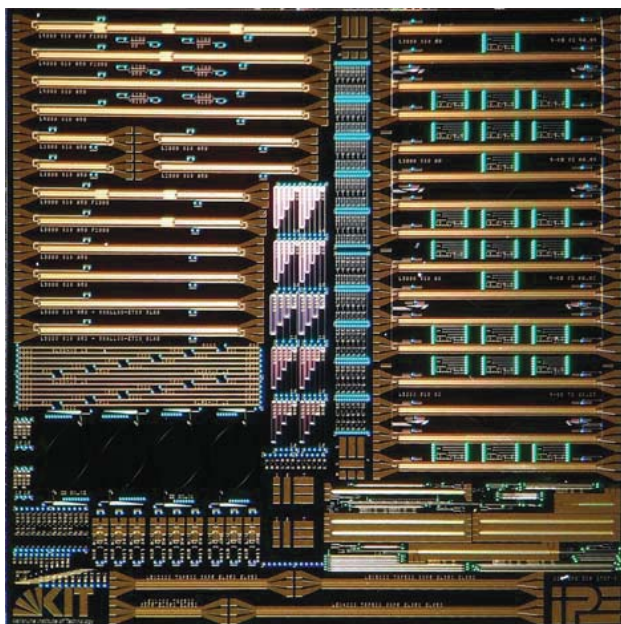


The vision

- Efficient and radiation-hard modulators
- Lasers located off detector
- Wavelength division multiplexing (WDM) \Rightarrow fewer fibers
- Core Components:
 - MZM – Mach-Zehnder Modulator
 - Demultiplexer / Multiplexer
 - Driver




Latest photonic chip (2018)

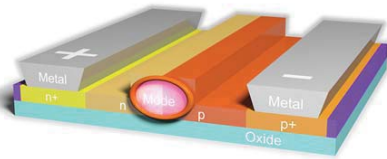


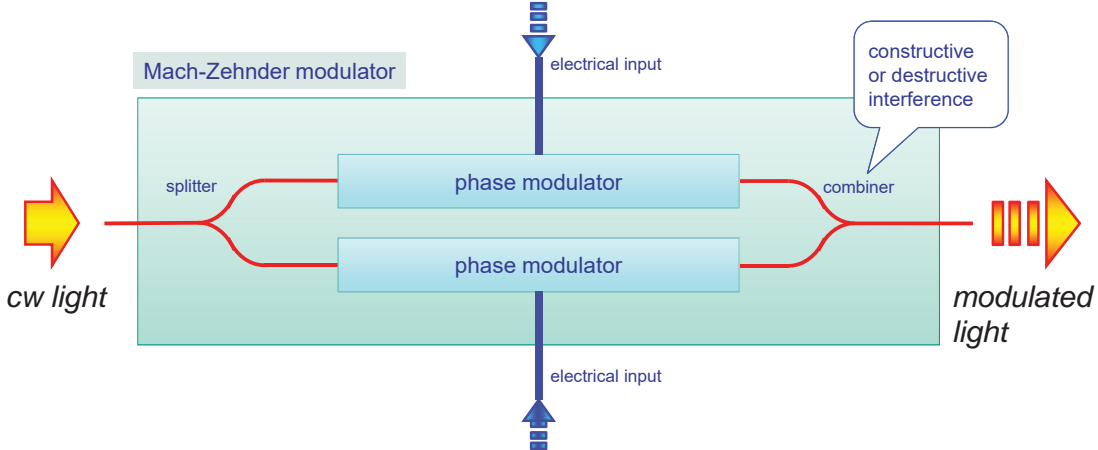
- Contains:
 - Electro-optical modulators
 - Multiplexer / Demultiplexer
 - Multimode interferometers (MMIs)
 - Complete WDM systems (4 channels)
 - Optical test structures
 - Electrical test structures
 - Thermal modulators

Core Component – EOM / MZM

- pn electro-optical modulator (EOM)
 - Width of depletion zone defines speed of light (velocity factor)
- Mach-Zehnder modulator (MZM)








5

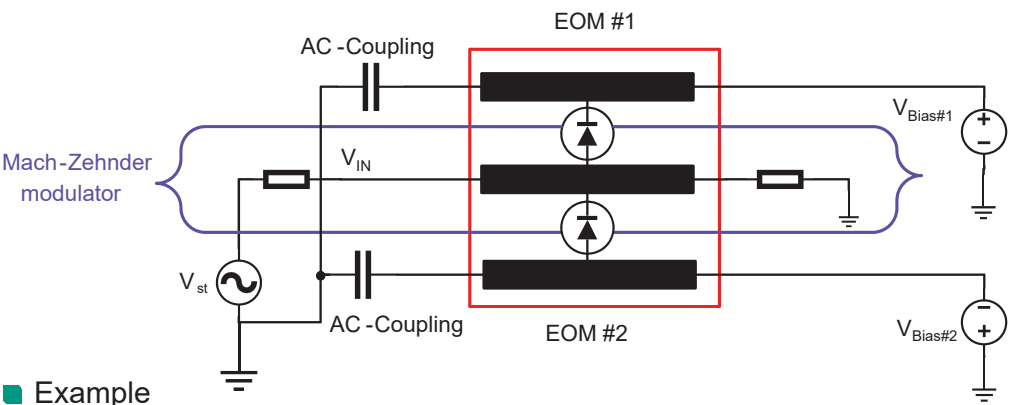
18. April 2018 Lars Eisenblätter

Institute for Data Processing and Electronics (IPE)

Core Component – EOM / MZM

- Single ended push-pull architecture
 - Advantage: doubling of driving voltage, reduced number of drivers
 - Disadvantage: upper cut-off frequency reduced due to doubled junction capacitance





■ Example


- $V_{Bias\#1} = 2V, V_{Bias\#2} = -2V, V_{IN} = 1V_{PP}$
- ⇒ $V_{EOM\#1} = 1V$ (neg. phase modulation), $V_{EOM\#2} = 3V$ (pos. phase modulation)
- ⇒ 2 V differential

6

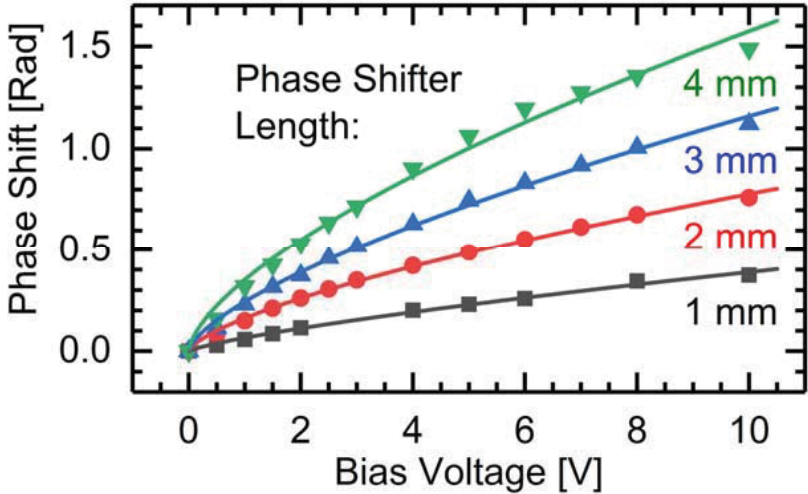
18. April 2018 Lars Eisenblätter

Institute for Data Processing and Electronics (IPE)

Core Component – EOM results



KIT
Karlsruher Institut für Technologie




Phase Shifter Length:

- 4 mm
- 3 mm
- 2 mm
- 1 mm

- Less efficient than simulated and expected
 - Doping concentration not as specified (process issue)
 - Further investigations: DC-characteristics, CV measurements

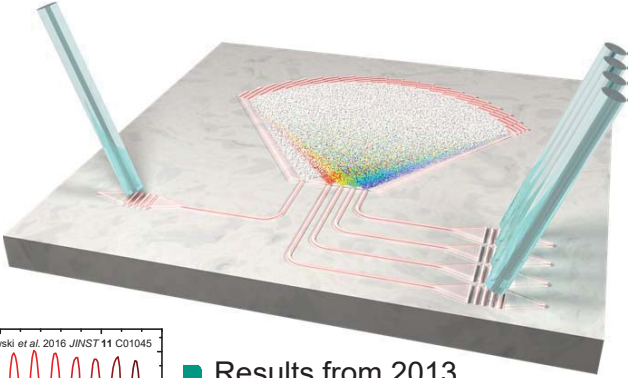
7 18.April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)

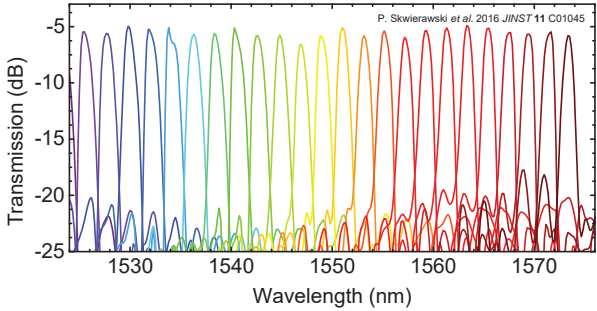
Core Component – multiplexer



KIT
Karlsruher Institut für Technologie

- Echelle architecture
 - Multi- λ input signal diverges in 2D-free-space region
 - Concave grating reflects and focuses optical radiation depending on wavelength






P. Skwierawski et al. 2016 JINST 11 C01045

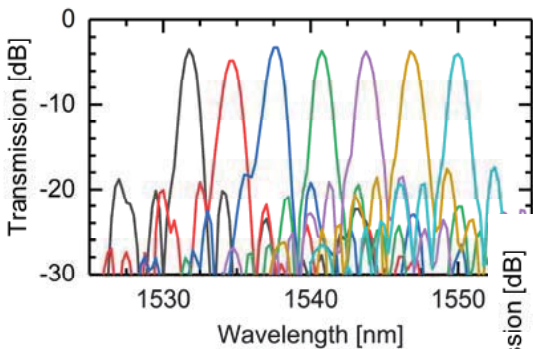
- Results from 2013
 - 45 channels on 0.5 mm²
 - Assuming 10 Gb/s per wavelength
⇒ 450 Gb/s transmission capability
 - 2 nm channel spacing
 - 0.5 nm channel width
 - ⇒ 60 GHz analog bandwidth per channel

8 18.April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)

Core Component – multiplexer



■ Results from 2018

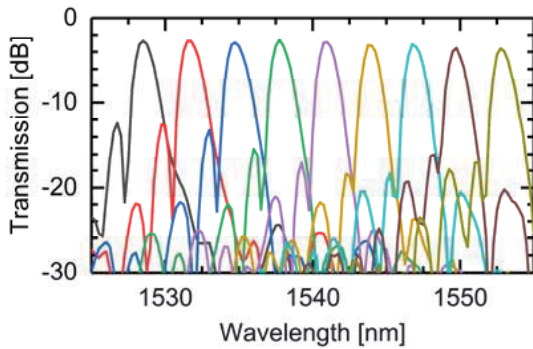


Transmission [dB]

Wavelength [nm]

- 9 channel Echelle
- Crosstalk -10 dB
- 3 nm channel spacing
- 1.3 nm channel width (FWHM)
- Equidistant channel spacing

- 7 channel Echelle
- Crosstalk -16 dB
- 3 nm channel spacing
- 1.3 nm channel width (FWHM)
- Equidistant channel spacing




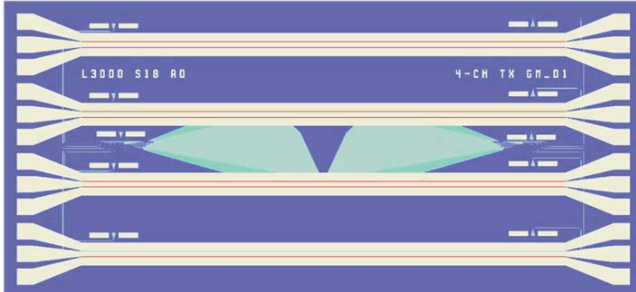
Transmission [dB]

Wavelength [nm]

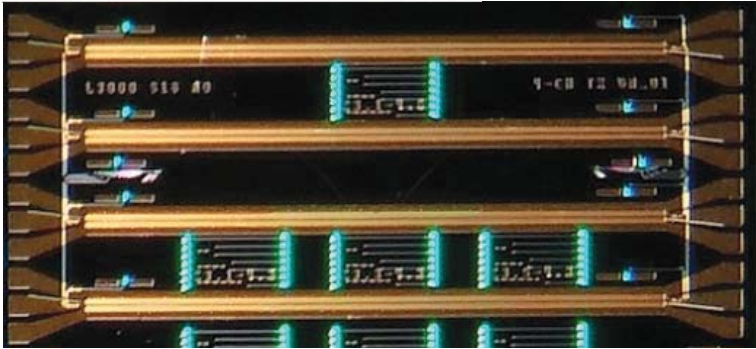
9 18.April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)

Core Components – putting all together





■ 4ch WDM system



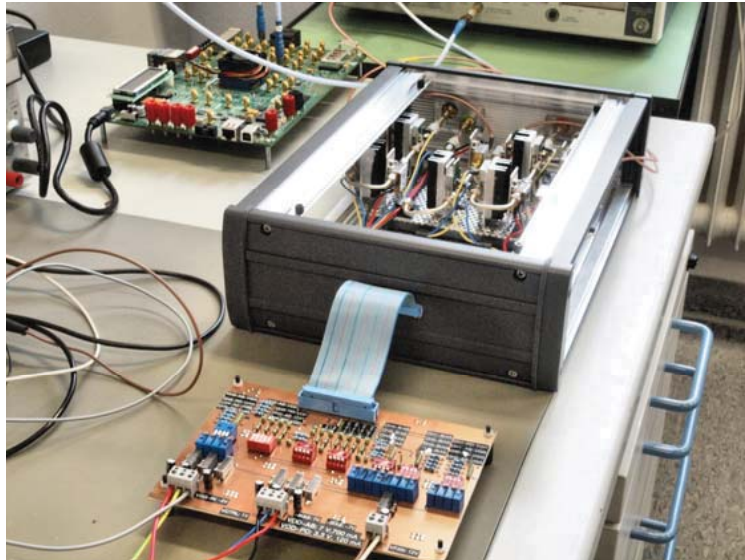
10 18.April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)

Core Component – Driver MK1

- Designed for maximum output voltage swing

- Includes

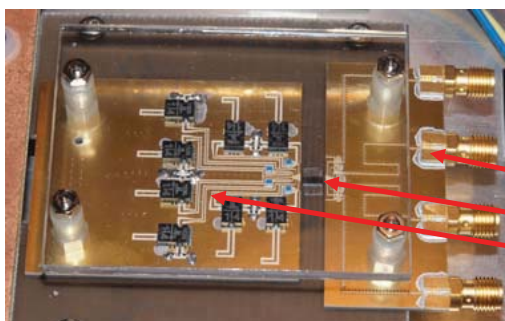
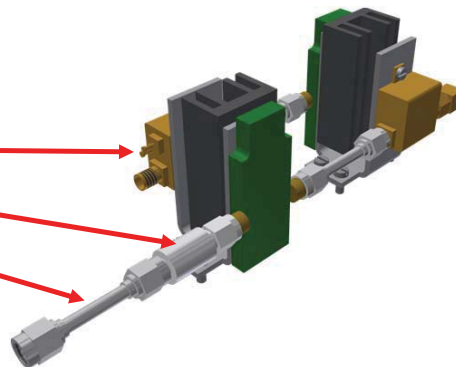
- HMC870 Eval boards
- Ruggedized housing
- External biasing
- Fanout Board
- Photonic chip submount
- Bias-T Board



Core Component – Driver MK1

- 2 stage HMC870 eval boards


- BIAS-Ts
- DC-Blocks
- Wiring Semi-rigid




- Submount Assembly

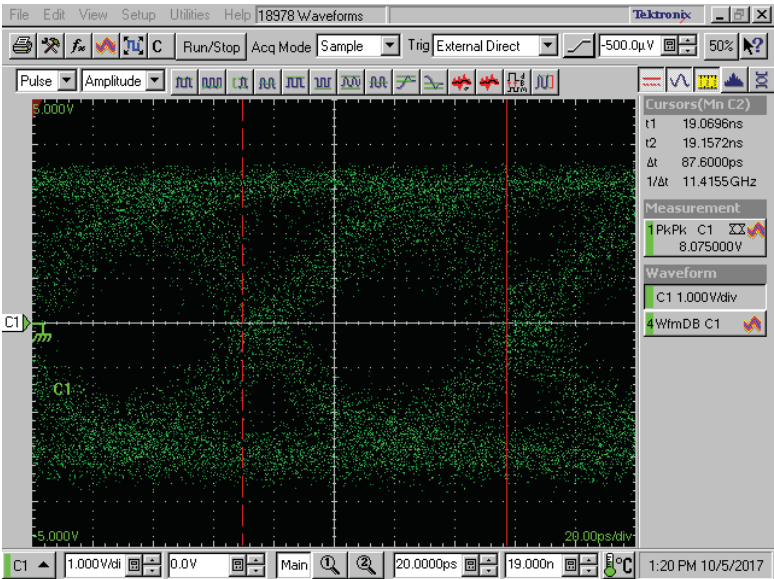
- Fanout-board
- Photonic chip
- BIAS-T board
- Wiring via W/W bonds

Core Component – Driver MK1 results



- Electrical results
 - 2 stage HMC870
 - 500 mV_{pp} input
 - 8 V_{pp} output (SE)
 - 11.5 GB/s
 - PPJitter: 24.8 ps
 - DC P_{tot} : 1.23 W
 - Efficiency: 25%






Cursors (Mn C2)	
t1	19.0696ns
t2	19.1572ns
Δt	87.6000ps
1/Δt	11.4155 GHz

Measurement	
1 PkPk C1	8.075000V

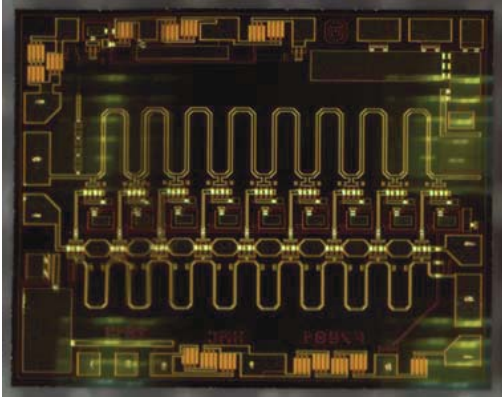
Waveform	
C1	1.000V/div
4 WfmDB C1	

13 18.April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)

Core Component – Driver MK2

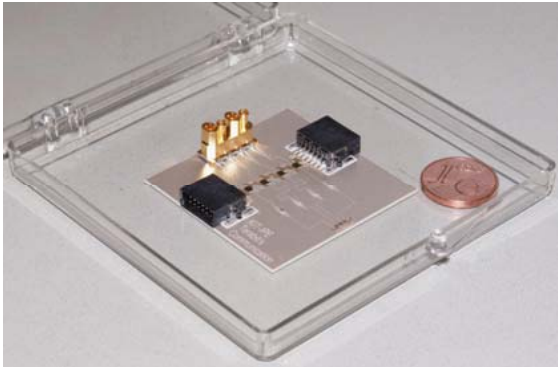


- Designed for high speed up to 32 GB/s based on HMC1068



- HMC1068
 - Travelling wave architecture
 - GaAs technology
 - 3 V_{pp} output @ 0.5 V_{pp} Input

- MK2 PCB
 - Ceramic for cooling
 - RF Input RB Mini Coax
 - DC Input ERNI SMC
 - Wiring via W/W bonds



14 18.April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)

Core Component – Driver MK2



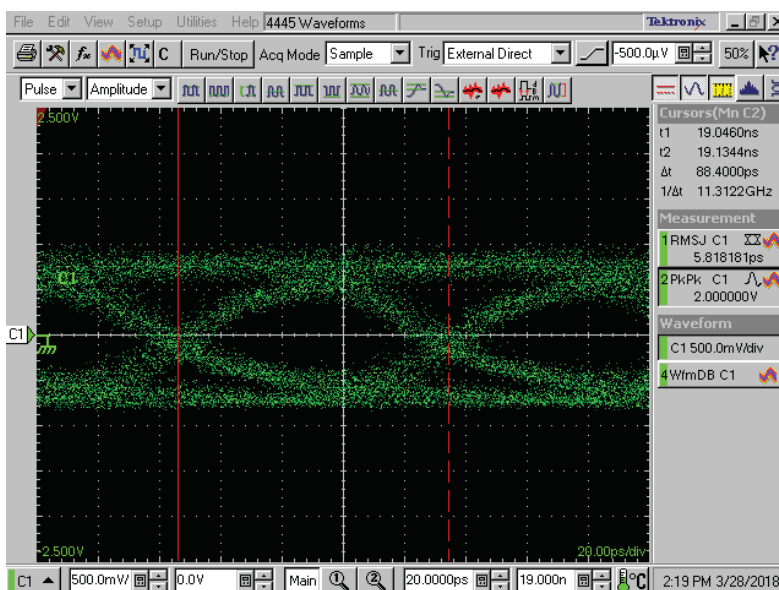
- Approx. 1/4 space consumption compared to MK1

Core Component – Driver MK2 results




- Electrical results
 - Single HMC1068
 - 500 mV_{PP} input
 - 2 V_{PP} output (SE)
 - 11.5 GB/s
 - RMSJitter: 5.8 ps
 - DC P_{tot} : 0.45 W
 - Efficiency: 4% (10%)

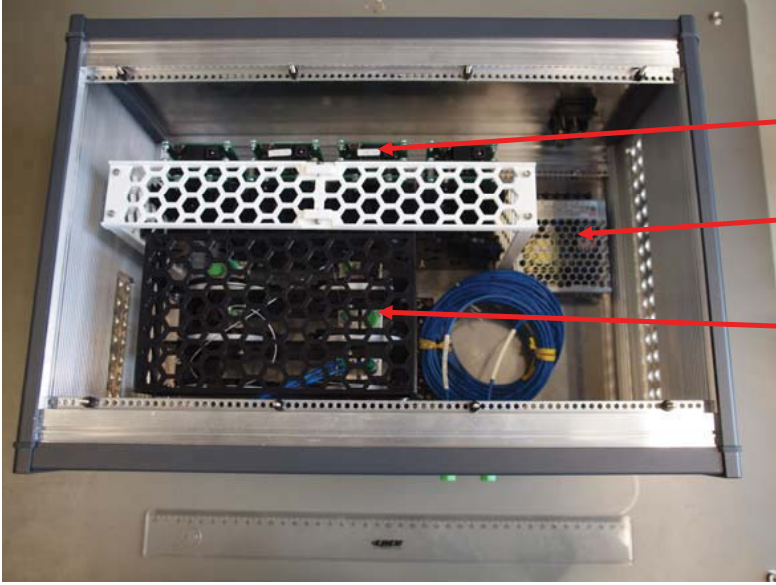
- Specs not met!
 - 2 of 4 ch working
 - 3 V_{PP} intended
 - Missing bonds
 - Broken traces



Peripherals




■ 4 ch WDM Laser source



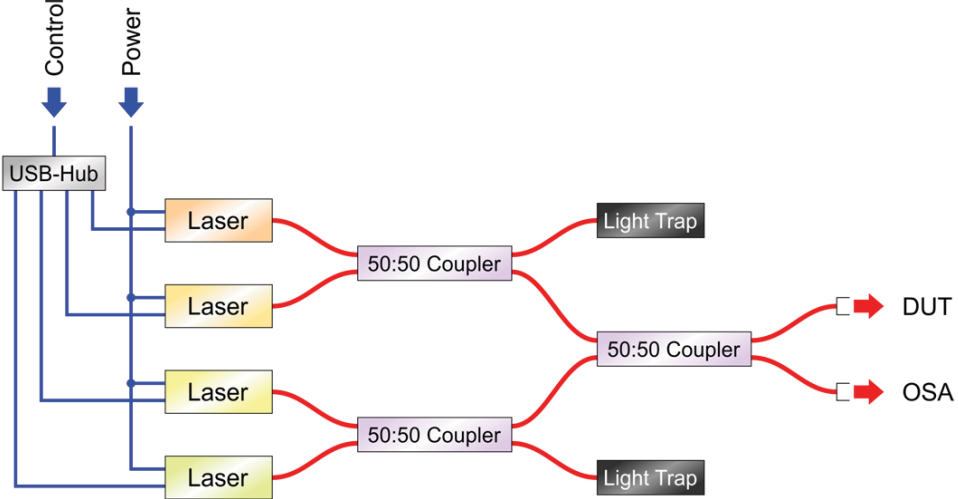
- Laserdiodes
- AC/DC converter
- 50:50 Coupler

17 18. April 2018 Lars Eisenblätter Institute for Data Processing and Electronics (IPE)

Peripherals



Schematic of 4-channel WDM laser source C4C-WDM-LS



Control
Power

USB-Hub

Laser

50:50 Coupler

Light Trap

DUT

OSA

18 18. April 2018 Lars Eisenblätter Institute for Data Processing and Electronics (IPE)

Conclusions

■ Silicon photonics

- Modulators are working
- Multiplexer / Demultiplexer are working
- Minor issues: efficiency of pn-modulators less than intended

■ RF Electronics

- MK1 electronics is working as intended
- MK2 electronics with minor issues: missing bonds and broken traces

■ Peripherals

- 4ch power and control board (PAC) prototype is working (use with MK2)
- WDM laser source is working

Outlook – near future

■ Silicon photonics

- Investigate reduced efficiency
- Perform modulators DC characteristics
- Perform CV measurements
- Figure out doping concentrations

■ MK2 electronics

- correct wiring issues on test bed, measure eye - diagram at 11.5 GB/s
- Measure eye - diagram at 22.5 GB/s
- Assemble mechanics – housing of PAC - board, amplifier and photonic chip

■ Bit Error Rate Test (BERT)

- Measure BER of 4ch WDM system with MK1 and MK2 electronics

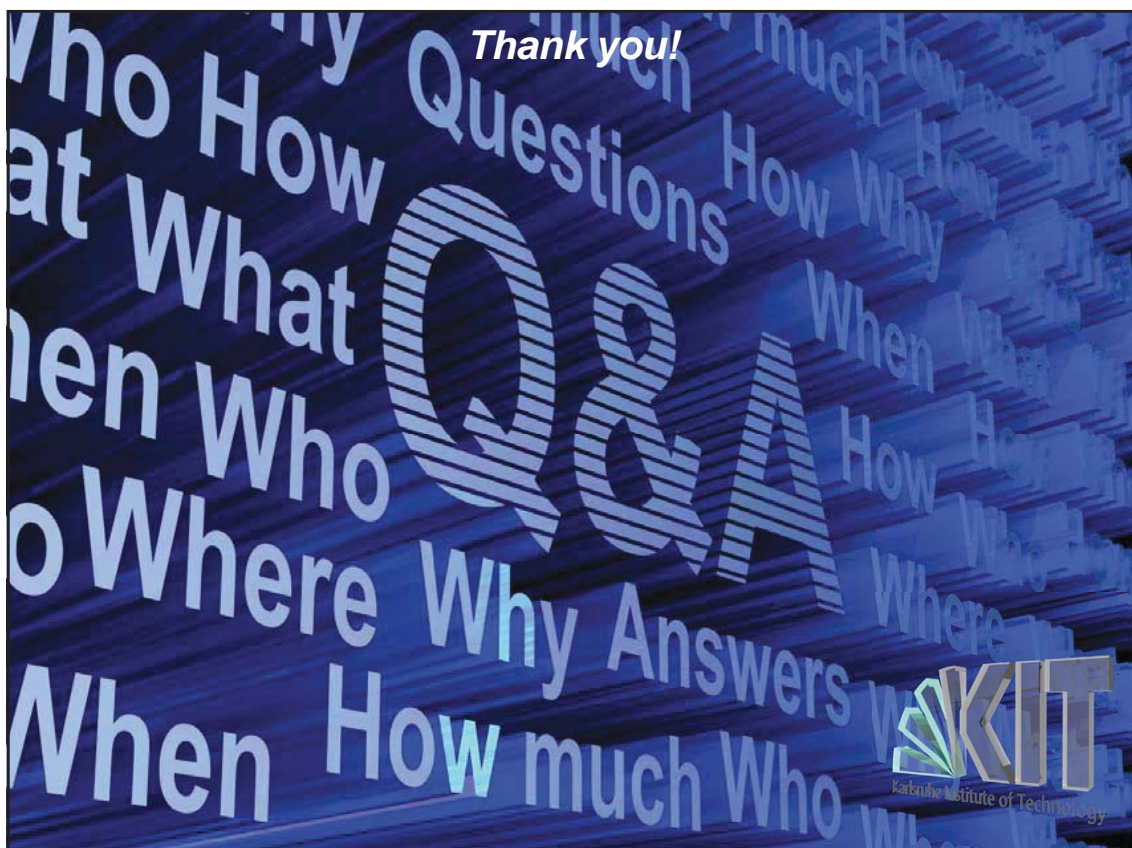
■ Complete full link demonstrator

■ Peripherals


- Complete design of PAC board for 32 Channels
- Finish firmware and GUI

Outlook – mid term

- Silicon photonics – design of new chip
 - Advanced modulation formats (PAM, IQ ...) ⇒ segmented modulators
 - Work on reconfigurable TX/RX system in silicon photonics (patent pending)
 - Establish active working point control
- RF electronics
 - Design high efficient broadband amplifier
- Packaging
 - Integrate RF electronics and photonics on one chip (SOI, SiGe)
 - Package the complete system including fiber coupling in sub-mounts, etc...
- Bandwidth
 - Migrate to combined alloys (SiGe, Ge on SOI)
⇒ fast photo-diodes, reduced junction capacitance, fast drivers, ...
- Application
 - Integrate system in an existing experiment (photon science preferred)
- Radiation hardness
 - Design radiation hard pn-modulators for HEP applications

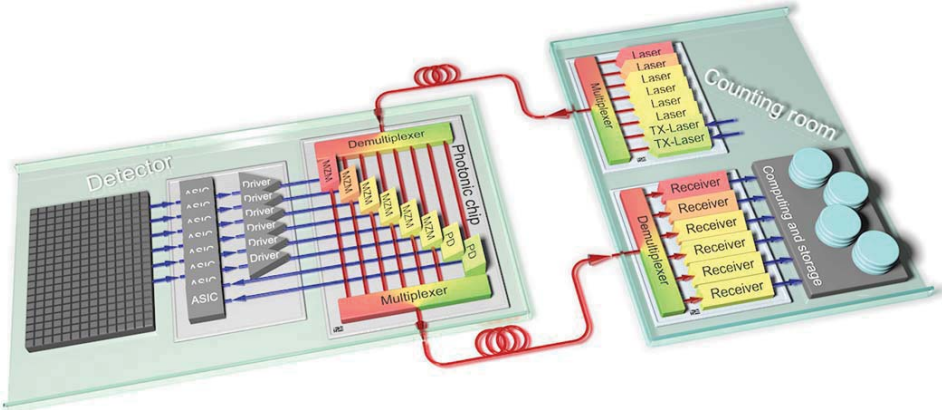


Silicon photonics - Vision




KIT
Karlsruher Institut für Technologie

Downlinks with monolithically integrated Ge-photodiodes



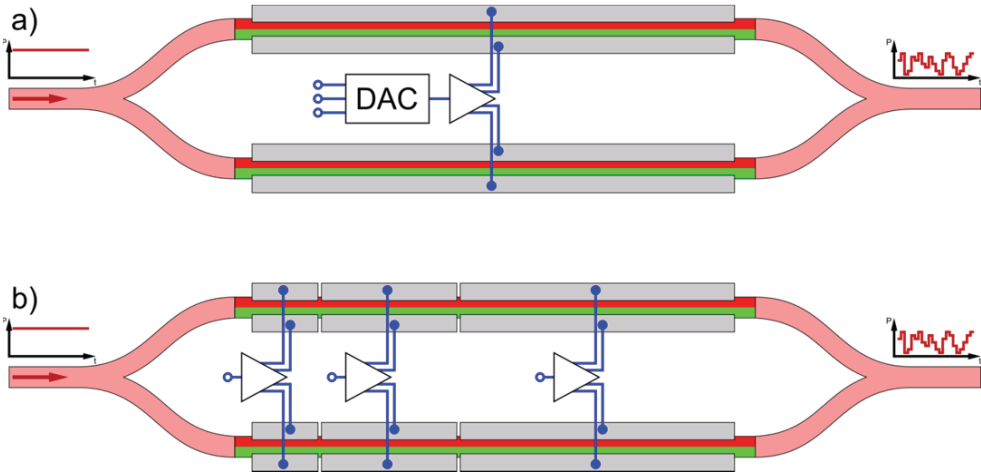
23 18. April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)

Silicon photonics - Vision

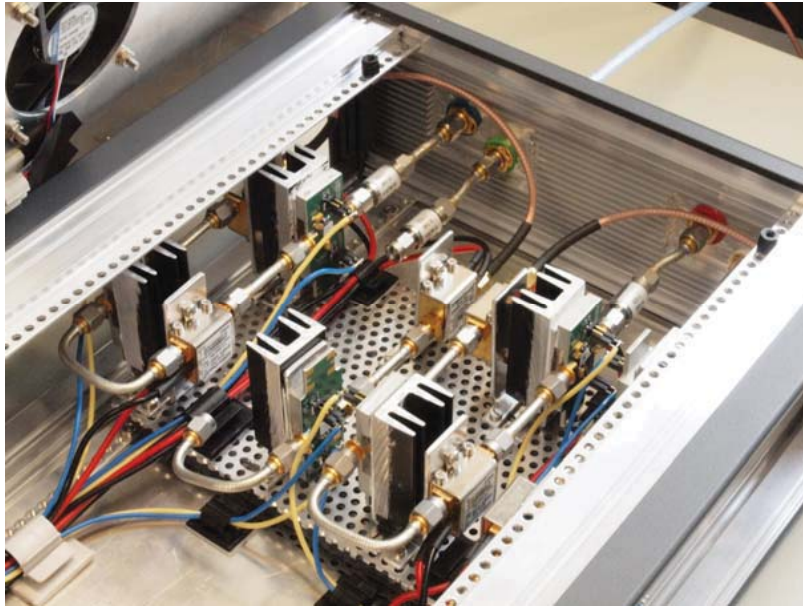


KIT
Karlsruher Institut für Technologie

Higher modulation formats for higher speed:
segmented modulators as direct electro-optical digital-to-analog converter

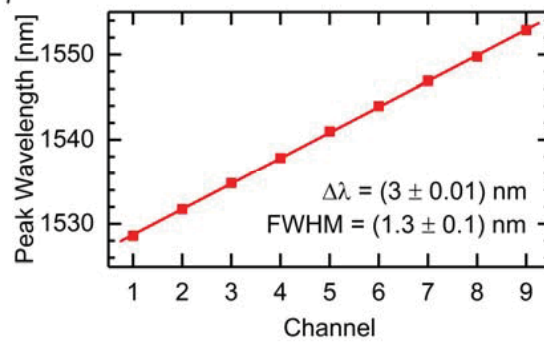
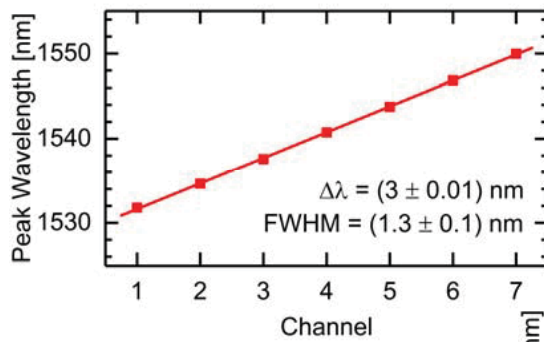


24 18. April 2018 Lars Eisenblätter
Institute for Data Processing and Electronics (IPE)



25 18. April 2018 Lars Eisenblätter

Institute for Data Processing and Electronics (IPE)



26 18. April 2018 Lars Eisenblätter

Institute for Data Processing and Electronics (IPE)

Arbeitstreffen: FPGA basierte DAQ-Systeme

HZG: Jörg Burmester stellt eine FPGA-basierte Auslese von Neutronendetektor-Signalen mit TDC vor. Weitere Projekte beinhalten eine Schrittmotoransteuerung, einen BISS/SSI-Umsetzer, einen Pic-Core für FPGA und verschiedene Kleinprojekte.

HZDR: Bert Lange stellt verschiedene FPGA-basierte Geräte vor:

- ein Beam-Position-Monitor mit Profinet-Schnittstelle
- eine ADC/DAC-Karte (ADC 14 Bit, 105 MS/s; DAC 16 Bit) mit FMC-Schnittstelle
- ein MicroTCA-RTM (4 ADC mit 16 Kanälen, 14 Bit, 32,5 MS/s)

FZJ: Heinz Rongen informiert über "Gigabit serial Interfaces" in verschiedenen Projekten

- Videostreaming über 1 Gb/s Ethernet
- erste Schritte mit 10 Gb/s Ethernet
- Arbeiten zur Hardwareanbindung mit JESD204B

KIT: Matthias Balzer berichtet über verschiedene Projekte

- die Nutzung von HGF-AMC-Boards in KATRIN, USCT und TRISTAN
- die Nutzung des HighFlex-Boards bei Kalypso und Kapture
- die Auslese metallischer Mikrocalorimeter
- den Entwurf eines FPGA-basierten CMS Track Triggers

DESY: FPGA-Familien mit Entwicklungsumgebung mit Plattformen und Interfacetechnologien und Anwendungen werden vorgestellt.

GSI: Karsten Koch informiert über TDC's auf verschiedenen Hardwareplattformen der GSI. Diese basieren auf ASICS oder FPGA's und werden beispielsweise im Rahmen der TRB-Plattform und des MBS DAQ Systems eingesetzt.

Holger Brand berichtet über Lösungen für den GEM Tracker mit CompactRIO und cRIO (FPGA).

DESY-PROC-2018-02

ISBN 978-3-945931-18-9

ISSN 1435-8077