

S^E
I Studiengruppe für
Elektronische Instrumentierung
der Helmholtz-Zentren

104. Tagung der Studiengruppe
elektronische Instrumentierung
im Frühjahr 2013

vom 11. März -13. März 2013

am



Helmholtz-Zentrum, FZJ in Jülich



Editor: Peter Göttlicher (DESY)

Verlag Deutsches Elektronen-Synchrotron

Impressum

104. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2013 11.-13. März 2013, Jülich, Deutschland

Conference Homepage

<https://indico.desy.de/conferenceDisplay.py?ovw=True&confId=7078> oder

<https://indico.desy.de//event/SEI.2013>

Online Proceedings auf

<http://www-library.desy.de/confprocs.html>

The copyright is governed by the Creative Commons agreement, which allows for free use and distribution of the articles for non-commercial activity, as long as the title, the authors' names and the place of the original are referenced.

Editor:

Peter Göttlicher

Juni 2013

DESY-PROC-2013-01

ISBN 978-3-935702-72-0

ISSN 1435-8077

Published by

Verlag Deutsches Elektronen-Synchrotron

Notkestraße 85

22607 Hamburg

Germany

Printed by

Kopierzentrale Deutsches Elektronen-Synchrotron

104. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2013

SEI - Studiengruppe elektronische Instrumentierung
der Helmholtz-Zentren
Jülich (FZJ), 11. März - 13. März 2013

Inhaltsverzeichnis

Allgemeines und Zusammenfassendes

Eröffnung und Ausblick	P. Göttlicher	3
Bild der Teilnehmer		4
Tagungsprogramm		5

Vorträge

ZEA-2 Ein Systemhaus für die Forschung	S. van Waasen	12
MSP430 Entwicklung mit Code Composer Studio v5.3	R. Heil	32
Data transfer via SPI	F.P. Zantis	40
SNS-NSE Datenerfassungs- und Kontrollsystem für ein Neutronenspinecho-Spektrometer an einer Spallationsquelle	P. Kämmerling et al.	54
Ein schnelles Datennahmesystem für große PNCCDs	H. Gorke et al.	68
FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen	J. Plewka, S. Meyer-Loges	74
Flugdrohnen, Funktionsprinzip und Messeinsatz	M. Ramm	94

SEI Tagung, Frühjahr 2013, FZJ Jülich

HD4096 Technologie mit echten 12-Bit Oszilloskopen mehr erkennen	F. Klapper	110
GLORIA DETEKTOR 3 - Frontend Elektronik für AIM Dualband IR-Detektor	G. Schardt et al.	127
Eine Ausleseelektronik für CZT-Detektoren mit dem RENA-3 IC von Nova R&D	P. Födisch et al.	135
Architektur und Betrieb eines komplexen ECAD- Systems bei DESY	M. Zimmer	144
Recent developments on MTCA.4	F. Ludwig	155
Entwicklung eines 5 GHz Digitalisierungssystem basie- rend auf dem MTCA.4 Standard	M. Balzer et. al. 168	
Entwicklung und Optimierung des Flugrechners für GLORIA	M. Rademacher	178
Magnetische Felder in Gebäuden	J. Burmester	188
EMV gerechtes Design für wissenschaftliche Applikatio- nen in sensitiven Umgebungen	T. Neubert	197
Kurze Zusammenfassung des EMV-Workshop	P. Göttlicher	210

SEI Tagung, Frühjahr 2013, FZJ Jülich

Peter Göttlicher
DESY-FEB, 1. Juni 2013

Eröffnung

Zu der jährlichen Tagung, die allen Interessierten an Elektronik in der Forschung offensteht, kamen 61 Teilnehmer und -innen. Sie sind von verschiedenen Forschungseinrichtungen, den Helmholtz-Zentren – DESY, FZJ, GSI, HZB, HZG, HZDR und KIT – der Universität Aachen (RWTH) und der Wirtschaft angereist.

Die Vorträge und Ausstellungen regten zu interessanten Diskussion zwischen den Teilnehmern an. Teilnehmer mit ähnlichen Fragestellungen lernten sich kennen. Bei den Vorträgen kristallisierten sich folgende Schwerpunkte heraus:

- FPGA's, schnelle serielle Datenlinks und schnelle Datennahme,
- Kamerasysteme für spezifische Anwendungen
- Komponenten und Firmware für Kontrollsysteme
- EMV, elektromagnetische Verträglichkeit.

Die Exkursion zu Thyssen-Krupp zeigt uns wie heute grosse Anlagen funktionieren.

Das Tagungsprogramm ist auf dem Internet einzusehen:

<https://indico.desy.de/conferenceDisplay.py?ovw=True&confId=7078> oder
<https://indico.desy.de//event/SEI.2013>

Die Homepage der Studiengruppe ist auf <http://sei.desy.de/> zu finden.

Im Anschluss an die Tagung haben sich viele Teilnehmer noch zu einem halbtägigen Workshop zusammengestellt und über Fragestellungen der elektromagnetischen Verträglichkeit (EMV) zu reden. Eine kurze Zusammenfassung befindet sich am Ende der Proceedings.

Ausblick

Die nächste Tagung wird für das Frühjahr 2014 in Geesthacht geplant.

SEI Tagung, Frühjahr 2013, FZJ Jülich



Teilnehmer der SEI-Tagung 2013

Quelle: Forschungszentrum Jülich, ZEA

Tagungsprogramm

SEI-Tagung am FZJ - Frühjahr 2013

Studiengruppe elektronische Instrumentierung der Helmholtz-Zentren

Monday 11 March 2013

Vorträge Mo-1 - Raum Ohm (Nummer 110), Gebäude 2.5 (13:15-15:15)

time title

13:15	Eröffnung <i>Presenter: Dr. GOETTLICHER, peter (DESY)</i> ERöffnung der Tagung
13:30	Organisation der SEI-Tagung Frühjahr 2013 <i>Presenter: Dr. VAN WAASEN, Stefan (FZ Jülich ZEL)</i> Eine kurze Übersicht über den organisatorischen Ablauf der Tagung wird gegeben.
13:45	ZEA-2 - Systemhaus für die Forschung <i>Presenter: Dr. VAN WAASEN, Stefan (FZ Jülich ZEL)</i> Diese Präsentation stellt kurz das Zentralinstitut für Engineering, Elektronik und Analytik - Systeme der Elektronik (ZEA-2) vor. Es wird eine Übersicht über die Organisation und die Institutsaktivitäten in den verschiedenen Forschungsbereichen gegeben.
14:15	MSP430 Entwicklung mit Code Composer Studio v5.3 <i>Presenter: Mr. HEIL, Roger (Forschungszentrum Jülich GmbH)</i> Die Arbeitsgruppe ‚Verteilte System für Echtzeitanalyse‘ entwickelt Micro-Controller basierte Messsysteme für Experimente in so unterschiedlichen Forschungsbereichen wie Biohybridsysteme, Neurologie, Neurophysiologie oder Energieforschung. Zum Einsatz kommen hierbei bislang Derivate des MSP430 Micro-Controller der Firma Texas Instruments. Für die effiziente Entwicklung der jeweils auf die spezifische Anwendung angepassten Software wurde die Entwicklungsumgebung (IDE) Code Composer Studio von Texas Instruments in der Version 5.3 evaluiert. Die wichtigsten Features dieser IDE (Eclipse basiert, graphische Hardwarekonfiguration, Debugging-Möglichkeiten etc.) werden anhand der aktuellen Entwicklung vorgestellt und bewertet.
14:45	The SPI-Bus in general and in a special application <i>Presenter: Mr. ZANTIS, Franz Peter (RWTH Aachen)</i> For fast data transfer the SPI-Bus (Serial Peripheral Interface) is very common. This presentation shows the functionality in general and a special application where a SPI-Slave controls the SPI-Master.

SEI Tagung, Frühjahr 2013, FZJ Jülich

Vorträge Mo-2 - Raum Ohm (Nummer 110), Gebäude 2.5 (16:00-18:00)

time	title
16:00	<p>Datenerfassungs- und Kontrollsystem für ein Neutronenspinecho-Spektrometer an einer Spallationsquelle <i>Presenter: Mr. KAEMMERLING, Peter (Forschungszentrum Jülich, ZEA-2)</i></p> <p>Das Datenerfassungs- und Kontrollsystem des Neutronenspinecho-Spektrometers an der SNS (Spallation Neutron Source im ORNL, Tennessee USA) wurde vom ZEA-2 (Zentralinstitut für Engineering, Elektronik und Analytik, Systeme der Elektronik; vormals ZEL) in enger Zusammenarbeit mit dem JCNS (Jülicher Zentrum für Forschung mit Neutronen) des Forschungszentrums Jülich entwickelt. Wir erklären das SNS-NSE, dessen Datenerfassungs- und Kontrollsystem, erläutern die Rahmenbedingungen der Arbeit im Partner-Lab in Tennessee USA, den Projektverlauf und die erzielten Ergebnisse.</p>
16:30	<p>Ein schnelles Datenaufnahmesystem für große PNCCD <i>Presenter: Dr. GORKE, Hubert (Forschungszentrum Juelich GmbH)</i></p> <p>Für die Datennahme von großflächigen PNCCD wurde ein modulares PCI-basierendes Aufnahmesystem entwickelt. Die analogen Siganle von jeweils vier Detektorausgänge werden auf einer cPCI-Karte mittels vier 14-Bit ADCs bei 50 MHz digitalisiert. Jede cPCI-Karte besitzt einen optischen 2.5 GBit Link, über den die Daten auf eine PCIe-Karte im DAQ Host übertragen werden. Die PCIe-Karte ermöglicht eine Verbindung von vier ADC-Karten und einen Datentransfer von größer 500 MByte/s. Dieser Aufbau ermöglicht eine Datennahme von 200 Bildern/s (oder 200 MPixel/s) eines 8x8 cm² großen PNCCD.</p>
17:00	<p>FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen <i>Presenter: Mr. MEYER-LOGES, Stephan (Helmholtz-Zentrum Geesthacht)</i></p> <p>Für die Tomographieanwendungen ist am Helmholtz-Zentrum Geesthacht eine hochauflösende CCD-Kamera entwickelt worden. Ziel der Entwicklungsarbeiten waren größtmögliche Flexibilität hinsichtlich Einsatz verschiedener Bildsensoren und Auslesenmodi. Weiterhin soll das erarbeitete Kamerakonzept auch für zukünftige größere Bildsensoren, auch mit anderer Geometrie, geeignet sein. Neben einer flexiblen Ansteuerung steht ein möglichst hoher erzielbarer Dynamikbereich im Vordergrund, die Bildrate beträgt hierbei hingegen max. 1 Bild/s. Die FPGA-basierende Hardware ermöglicht außerdem eine flexible Bildvorverarbeitung in Echtzeit.</p> <p>Die CCD-Technologie erfordert einen recht hohen analogen schaltungstechnischen Aufwand. Im Rahmen des Vortrags werden einige technologisch wichtige Details der Kameraelektronik erklärt. Hierzu gehört sowohl die Strategie, die Ansteuerung so zu unterteilen, dass eine aufwendige Steuerung mit präzisen Abläufen möglich ist, als auch die Schaltungstechnik der analogen Signalfade.</p>
17:30	<p>"Flugdrohnen" Funktionsprinzip und Messeinsatz <i>Presenter: Mr. RAMM, Michael (FZ-Juelich)</i></p> <p>In der Präsentation wird die Motivation für den Einsatz einer Flugdrohne im ZEA 2 beschrieben. Weiterhin wird das Vermitteln von Ausbildungsinhalten durch interessante Einsatzgebiete wie den Hexakopter sowie dessen Funktionsprinzip behandelt. Abschließend werden reale Beispiele für den Einsatz von Flugdrohnen gezeigt.</p>

Tuesday 12 March 2013

Vorträge Di-1 - Raum Ohm (Nummer 110), Gebäude 2.5 (08:30-10:00)

time	title
08:30	<p>HD4096 Technologie - mit echten 12-Bit Oszilloskopen mehr erkennen</p> <p><i>Presenter: Mr. KLAPPER, Frank (Teledyne LeCroy GmbH)</i></p> <ul style="list-style-type: none"> - HD4096 Technologie - mehr als nur ein DSO mit 12Bit ADCs - 8Bit vs. 12 Bit - Vergleiche aus der Praxis - Mathematische Verfahren zur Verbesserung der Dynamik (12 Bit Hypersampling, Enhanced Resulation, HiResolution etc.)
09:00	<p>Aktueller Stand der G3-Infrarot-Detektor Front-End-Elektronik Entwicklung</p> <p><i>Presenter: Mr. SCHARDT, Georg (FZ-Juelich)</i></p> <p>Die Arbeitsgruppe Erdbeobachtungssysteme (EOS) des Zentralinstitut ZEA-2 Systeme der Elektronik entwickelt in Zusammenarbeit mit dem IEK-7 und dem IMK des KIT die Elektronik für das Klimaforschungsinstrument GLORIA (Global Limb Observer of the Atmosphere). GLORIA ist ein hochauflösendes zweidimensionales Infrarotspektrometer zum Einsatz auf fliegenden Trägern und wird im Rahmen wissenschaftlicher Kampagnen auf den Höhenforschungsflugzeugen HALO und Geophysika eingesetzt. Eine Weiterentwicklung des Instrumentes zum Einsatz auf einem Wetterballon ist vorgesehen. Dabei soll ein neuartiger Dual-Band Infrarot Detektor, mit zwei aktiven Flächen für unterschiedliche Wellenlängen, zum Einsatz kommen, welcher in Zusammenarbeit mit der Fa. AIM entwickelt wird.</p> <p>Im ZEA-2 wird für die neue Infrarot-Detektorgeneration (3. Generation der Gloria Detektoren) die neue Ansteuer- und Ausleseelektronik (FEE = Front-End-Elektronik) entwickelt. Die neue FEE unterstützt eine Vielzahl von BIAS Spannungen und ROIC Taktsignalen zur getrennten Parametrisierung der beiden Detektorflächen und unterstützt sowohl den passiven als auch aktiven Auslesemodus des neuen ROICs. Weiterhin soll eine deutliche Verbesserung in Bezug auf ADC-Auflösung und Framerate erzielt werden.</p> <p>Der Vortrag zeigt den aktuellen Stand der Entwicklung der G3-FEE.</p>
09:30	<p>Eine Ausleseelektronik für CZT-Detektoren mit dem RENA-3 Chip von Nova R&D</p> <p><i>Presenter: Mr. FöDISCH, Philipp (HZDR)</i></p> <p>Ziel ist die Entwicklung einer kompakten Ausleseeinheit für CZT-Detektoren (Cadmium-Zink-Tellurit) für die energieauflösende Spektroskopie von γ-Strahlung. Der von NOVA R verfügbare RENA-3 ASIC (Readout Electronics for Nuclear Applications) ist für den direkten Anschluß an die Detektoren vorgesehen und deckt so einen Großteil der analogen Funktionen ab. Im ASIC sind 36 konfigurierbare Eingangskanäle integriert, die mit ladungsempfindlichen Vorverstärkern und analoger Signalverarbeitung (pulse shaping) für CZT-Detektoren optimiert sind. Für die Ansteuerung des ASICs und die Verarbeitung der Ausgangssignale wurde eine digitale, FPGA-basierte Elektronik entwickelt. Die Konfiguration der FPGA-Hardware wird mittels eines synthetischen Prozessors durch Software im FPGA und auf einem PC unterstützt. Gezeigt werden die Instrumentierung des Prototyps und die Ergebnisse der Kalibrierung durch synthetische Detektorsignale in einer automatisierten Testumgebung. Mit dem entwickelten System werden der Messbereich, die Energieauflösung und das Zeitverhalten des ASICs untersucht und auf die geplante Anwendung mit CZT Detektoren hin überprüft.</p>

SEI Tagung, Frühjahr 2013, FZJ Jülich

Ausstellungen: Alle Firmen von 10:00 bis 12:00. Die einzelnen Uhrzeiten dienen der Sortierung - Raum Ohm (Nummer 110), Gebäude 2.5 (10:00-11:50)

time	title
10:00	<p>ADMESS Vertriebs GmbH <i>Presenter: Mr. FISCHER, Timo (ADMESS Vertriebs GmbH)</i> ...</p>
10:01	<p>Ausstellung von Daten Acquisitions Systemen/Transientenrekorder <i>Presenter: Mr. SPELTHANN, Hans Dieter (Agilent Acqiris Operation)</i> Ausstellung von Daten Acquisitions Systemen/Transientenrekorder</p>
10:02	<p>Custom made high-tech electronics <i>Presenter: Mr. SIJBRANDIJ, Bart (INCAA Computers BV)</i> INCAA Computers is a well-established Dutch company specializing in design and manufacture of professional high-tech measurement and control equipment for scientific, industrial, OEM and automotive applications. Our focus is to provide solutions for technical automation projects based on: Hardware: development, manufacturing and engineering Software: consultancy, development and support Systems: consultancy, engineering and integration</p>
10:03	<p>iseg Spezialelektronik GmbH <i>Presenters: DONIX, Maik (iseg Spezialelektronik GmbH), JURK, Stefan (iseg Spezialelektronik GmbH)</i> iseg Spezialelektronik GmbH ist Entwickler und Hersteller von Hochspannungsversorgungen.</p>
10:04	<p>MTCA.4 & AMC modules, crates & solutions made by powerBridge Computer <i>Presenter: Mr. KLOCKMANN, Kay (powerBridge Computer)</i> development & pre-certified MTCA.4 solutions RF & standard crate designs NAT-MCH 2nd & 3rd Gen i7 CPU AMCs AD/DA AMCs from few kS/s to GS/s FPGA AMCs from Spartan 6 to Virtex 7 designs simple I/O (motor controller, DIO, fieldbus, serial, Ethernet, disc I/O) and mezzanine carrier modules</p>
10:05	<p>Struck Innovative Systeme <i>Presenter: Dr. MATTHIAS, Kirsch (Struck Innovative Systeme GmbH)</i> DAQ Elektronik im MTCA.4 und VME Standard</p>
10:06	<p>Teledyne LeCroy GmbH <i>Presenter: Mr. KLAPPER, Frank (Teledyne LeCroy)</i> </p>
10:07	<p>Powered crates, power supplies and electronics for physics experiments <i>Presenter: Mr. BERNER, Thomas (WIENER Plein + Baus GmbH)</i> --</p>

SEI Tagung, Frühjahr 2013, FZJ Jülich

Exkursion: Thyssen Krupp - to be announced (12:00-19:30)

time title

12:00	Abfahrt zur Exkursion im FZJ
14:00	Fuehrung
17:40	Rueckfahrt: Beginn 17:40

Wednesday 13 March 2013

Vorträge Mi-1 - Raum Ohm (Nummer 110), Gebäude 2.5 (09:00-10:30)

time	title
09:00	<p>VPX basiertes Rechensystem CHEFFE zum Einsatz in rauen Umgebungen</p> <p><i>Presenter: Mr. RADEMACHER, Michael (Forschungszentrum Jülich)</i></p> <p>In Zusammenarbeit der Forschungszentrum Jülich GmbH und des Karlsruher Instituts für Technologie wurde im Rahmen des GLORIA Projekts (Gimballed Limb Observer for Radiance Imaging of the Atmosphere) ein spektral hochauflösendes abbildendes Instrument zur Klimaforschung entwickelt. Ein Infrarotdetektorsystem produziert einen Datenstrom von ca. 100MB/s. Dieser muss während des Einsatzes auf einem Flugträger kontinuierlich verarbeitet werden.</p> <p>Die Datenerfassung sowie Instrumentensteuerung übernimmt ein robuster Flugrechner auf Basis einer Open VPX Plattform. Das Mission Processing System zeichnet sich durch hohe Vibrations- und Stoßfestigkeit, ein passives Kühlkonzept, EMV Dichtigkeit sowie Steckverbindern nach militärischen Anforderungen aus.</p> <p>Bei Open VPX Systemen wird die Konfiguration durch die sogenannte Rückwandverdrahtungsbaugruppe (Rear-I/O) bestimmt. Diese Baugruppe definiert alle applikationsspezifischen Eigenschaften des Systems und bildet damit die Schnittstelle zum GLORIA Instrument.</p> <p>Der Vortrag gibt einen Überblick über die Hardware des Flugrechners, sowie in die im Detail überarbeitete Rear-I/O-Platine.</p>
09:30	<p>Recent Developments in MTCA.4 at DESY</p> <p><i>Presenter: Dr. LUDWIG, Frank (DESY)</i></p> <p>This presentation gives an overview of the latest developments and measurements in the crate standard MTCA.4 at DESY from different fields of applications. One of the major benefit of an MTCA.4 system is to combine high-speed digital data processing AMC boards with high precision analog signal conditioning RTM boards. In addition we show precision measurements using different grounding configurations, particularly for AMC and RTM Zone 3 ac-coupled differential signal transmission for the detection and regulation of high frequency signals and sampling of broadband dc-coupled signal conditioning on the RTM. Concepts and sources of distortions for measurements below -80dB will be discussed.</p>
10:00	<p>Entwicklung eines 5 GHz Digitalisierungssystem basierend auf dem MTCA.4 Standard</p> <p><i>Presenter: Mr. BALZER, Matthias (KIT)</i></p> <p>Eine immer häufigere Anforderung an Datenerfassungssysteme ist eine Abtastrate im Sub-ns Bereich. Neben einer kontinuierlichen Datenwandlung stellen die Analog-Speicher-Pipelines ICs eine interessante Alternative dar. Das Signal wird dabei mit einer hohen Rate analog in einem Kondensatorarray gespeichert und kann z. B. nach einem Trigger-Ergebnis mit einer niedrigeren Rate ausgelesen und digitalisiert werden. Das IPE entwickelt ein Rear Transition Module (RTM) basierend auf dem MicroTCA.4 Standard mit 16 analogen Eingangskanälen und einer Abtastrate bis zu 5 GHz und externem Trigger-Eingang. Als Analog-Speicher IC wird der vom PSI entwickelten DRS 4 Chip verwendet. Die digitalisierten Daten werden über ein FPGA basierendes MTCA.4 Frontend-Modul ausgelesen.</p>

SEI Tagung, Frühjahr 2013, FZJ Jülich

Vorträge Mi-2 - Raum Ohm (Nummer 110), Gebäude 2.5 (11:00-13:15)


time title

11:00	Architektur und Betrieb eines komplexen ECAD Systems bei DESY <i>Presenter: Dr. ZIMMER, Manfred (DESY)</i> Die zentrale Elektronik-Entwicklungsgruppe betreibt bei DESY für Anwender in Hamburg und Zeuthen ein komplexes ECAD System (Mentor Graphics DxDesigner/Expedition). Im Vortrag wird über die Architektur, die von DESY entwickelten Erweiterungen und über die Betriebserfahrungen mit der Installation berichtet, die seit zwei Jahren auch in gleicher Form am PSI eingesetzt wird.
11:30	Elektromagnetische-Verträglichkeit in Gebäuden <i>Presenter: Mr. BURMESTER, Joerg (Helmholtz-Zentrum Geesthacht)</i> Durch jeden stromdurchflossenen Leiter wird ein Magnetfeld erzeugt. Durch geschickte Anordnung können die Magnetfelder (magnetischen Wechselfelder) stark reduziert werden. Wird dies bei der Installation von elektrischen Anlagen in Gebäuden nicht bedacht, können sehr hohe magnetische Felder in den Räumen entstehen, die gesundheitsgefährdende Ausmaße haben können. Auch die Beeinflussung von Messsignalen Datenübertragungsstrecken ist nicht unerheblich und hat zum Teil auch zerstörerische Folgen. Anhand von anschaulichen Beispielen soll die Problematik niederfrequenter magnetischer Felder verdeutlicht werden, um das Bewusstsein für eine elektromagnetisch verträgliche Installation zu schaffen und damit auch die Qualität der Messwerte, Datenübertragungsstrecken und Betriebssicherheit zu erhöhen.
12:00	EMV gerechtes Design für wissenschaftliche Applikationen in sensitiven Umgebungen <i>Presenter: Mr. NEUBERT, Tom (ZEA-2 - Forschungszentrum Jülich GmbH)</i> Instrumente die in empfindlichen Umgebungen, wie z.Bsp. Forschungsreaktoren, Forschungsflugzeugen oder in der Medizintechnik zum Einsatz kommen, stellen hohe Anforderungen an die Betriebssicherheit und damit an die elektromagnetische Störfestigkeit, sowie die Vermeidung der Störabstrahlung. Der Entwickler ist dazu aufgefordert das Systemkonzept hinsichtlich EMV schon in der Designphase auszulegen. Der Vortrag stellt beispielhaft das EMV Design des GLORIA-Instruments vor, welches Einsatz auf Forschungsflugzeugen findet und eine entsprechende Flugzeugzulassung benötigt. Es wird anhand von Messungen einzelne spezifische Probleme und Lösungsansätze für Spannungsversorgungs- und Signalverarbeitungseinheiten gezeigt, welche typischerweise auch in anderen Applikationen zum Einsatz kommen könnten. Mit einem Ausblick über die dazu notwendige Messtechnik und das Messumfeld soll dem Entwickler ein Überblick gegeben werden, wie er selbst im Labor einen Teil der von der Hardware generierten Störungen charakterisieren kann.
12:30	Abschluss der Tagung <i>Presenter: Dr. GOETTLICHER, peter (DESY)</i> Abschluss der Tagung
12:45	Reserve

EMV-Workshop/Diskussion - Nicht Teil der SEI-Tagung sondern Anschlussprogramm für Interessierte. - Raum Ohm (Nummer 110), Gebäude 2.5 (14:00-17:00)


Es ist gedachte, dass die Teilnehmer mit kurzen Statements ihr Problem oder Loesung anreizen und viel Zeit fuer die Diskussion bleibt. Eventuell auch eine Besichtigung.

Mitglied der Helmholtz-Gemeinschaft



Central Institute of Engineering, Electronics & Analytics – ZEA-2: Electronic Systems Systemhouse for Research

July 22, 2013 | Dr. Stefan van Waasen



Outline

- General information
 - FZJ – Basic facts & figures
 - ZEA-2 – Core values and mission statement
 - ZEA-2 – Basic facts & figures
- ZEA-2 Research & Development competencies
 - Distribution on FZJ research areas
 - R&D examples
 - Upcoming topic
- Conclusion
- Cooperation opportunities with FZJ

July 22, 2013 Slide 2

Science Campus Jülich

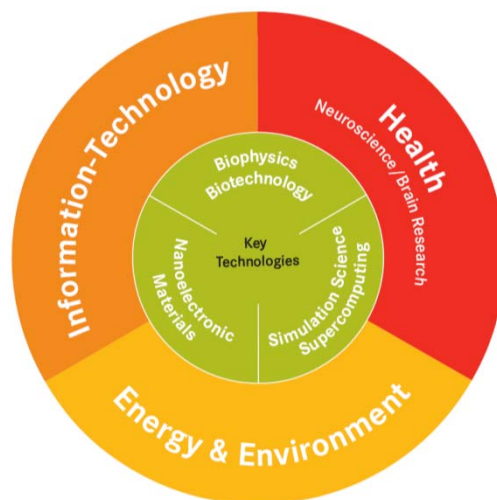


research for generic
key technologies of the next generation

July 22, 2013

Slide 3

FZJ – Basic facts & figures



5000 staff
(1.755 scientists +
900 international guest scientists)

Budget: 484 Mio. €
incl. 160 Mio. € third party
+ 1,6 bill. € project management

Education:
> 791 running PhD's
> 292 apprentices

July 22, 2013

Slide 4

SEI Tagung, Frühjahr 2013, FZJ Jülich

FZJ – Organization







ORGANIZATION CHART
as of 1 February 2013

Partners' Meeting <small>Partners: Federal Republic of Germany, represented by the Federal Ministry of Education and Research Federal State of North Rhine-Westphalia, represented by the Ministry of Innovation, Science and Research</small>			
Supervisory Board <small>Chairman: Mr/Dr. K. E. Hübner</small>		Scientific and Technical Council <small>Chairman: Prof. A. Wabner</small>	
Board of Directors			
Science, External Relations <small>Prof. A. Beckers (Chairman of the Board of Directors)</small>	Scientific Division I <small>Prof. S. M. Schmidt (Member of the Board of Directors)</small>	Scientific Division II <small>Prof. H. Böttl (Member of the Board of Directors)</small>	Infrastructure <small>K. Beuke (Vice-Chairman of the Board of Directors)</small>
Information and Communications Management <small>A. Benkardt</small>	Institute of Complex Systems <small>Prof. J. K. G. Chang, Prof. C. Fahlke, Prof. J. Fabel (acting), Prof. G. Gempfer, Prof. R. Markel, Prof. A. Offenbacher, Prof. D. Richter, Prof. D. Willbold</small>	Institute of Bio- and Geosciences <small>Prof. W. Arnold, Prof. M. Bittl, Prof. U. Schür, Prof. B. Trawka, Prof. H. Venzke, Prof. W. Weichert</small>	Personnel <small>Dr. M. Entger</small>
JARA General Secretariat <small>N.N.</small>	Nuclear Physics Institute <small>Prof. R. Maier, Prof. U.-G. Meißner, Prof. J. Ritter, Prof. H. Stöcher</small>	Institute of Energy and Climate Research <small>Prof. H.-J. Aben, Prof. C. Borlids, Dr. H.-P. Buchkremer (acting), Prof. R. A. Eichel, Prof. J. Fr. Holz, Prof. A. Vanden-Schueren, Prof. U. Rau, Prof. D. Reiter (acting), Prof. M. Sauer, Prof. G. Sauer, Prof. L. Songmueller, Prof. D. Stöben, Prof. B. Thomae, Prof. A. Wabner</small>	Finance and Controlling <small>R. Schömann</small>
Corporate Development <small>Dr. N. Driess</small>	Institute for Advanced Simulation <small>Prof. S. Blagel, Prof. R. Corbett, Prof. M. Diermann, Prof. D. DiMarzio, Prof. G. Gempfer, Prof. Th. Lippert, Prof. U.-G. Meißner</small>	Central Institute of Engineering, Electronics and Analytics <small>Dr. S. Köppers, Dr. G. Nator, Dr. S. van Wissen</small>	Purchasing and Materials <small>R. D. Heitz</small>
Corporate Communications <small>Dr. A. Fisher</small>	Institute of Neuroscience and Medicine <small>Prof. S. Arnold, Prof. A. Bauer (acting), Prof. R. H. Cohen, Prof. M. Diermann, Prof. G. R. Fink, Prof. N.-J. Shah, Prof. D. Storz, Prof. P. Tass</small>	Institute of Materials Engineering (IME) <small>Prof. A.-C. Engel</small>	Law and Patents <small>Dr. Neumann</small>
Staff Units:	Jülich Centre for Neutron Science <small>Prof. D. Richter, Prof. Th. Brackel</small>	Institute of Biogenic Chemistry (IBIC) <small>Prof. J. Piontowski</small>	Organization and Planning <small>A. Emendt</small>
Office of the Board of Directors and International Affairs <small>Dr. T. Völl</small>	Peter Grünberg Institute <small>Prof. S. Blagel, Prof. Th. Brackel, Prof. D. DiMarzio, Prof. R. E. Gassler-Bonkowski, Prof. D. A. Gontsovskan, Prof. A. Offenbacher, Prof. C. M. Schneider, Prof. S. Tautz, Prof. G. Waser</small>	IT Services <small>F. Steiner</small>	Technology Transfer <small>Dr. B. Sauer</small>
Sustainable Campus <small>Dr. P. Baurer</small>			Central Library <small>Dr. B. Mittermaier</small>
			Technical Infrastructure <small>Dr. G. Damm</small>
			Nuclear Services <small>Dr. G. Damm, R. Heitz</small>
			Safety and Radiation Protection <small>B. Heesl (acting)</small>
			Building and Property Management <small>M. Franken</small>
			Planning and Building Services <small>J. Heilmann</small>
			Project Management Organizations:
			Project Management Jülich <small>Dr. Ch. Simon</small>
			Project Management Energy, Technology, Sustainability <small>Dr. B. Steingold</small>
			Staff Unit:
			Auditing <small>A. Kamps</small>

July 22, 2013
Slide 5

ZEA-2 – General mission





July 22, 2013
Slide 6

ZEA-2 – Core values

As partner of the scientific institutes we perform research and development in teams

- **based on our high professional expertise,**
 - **with highest standard of quality,**
 - **for the versatile and demanding challenges**
- for the attainability of the scientific goals of the research center.**

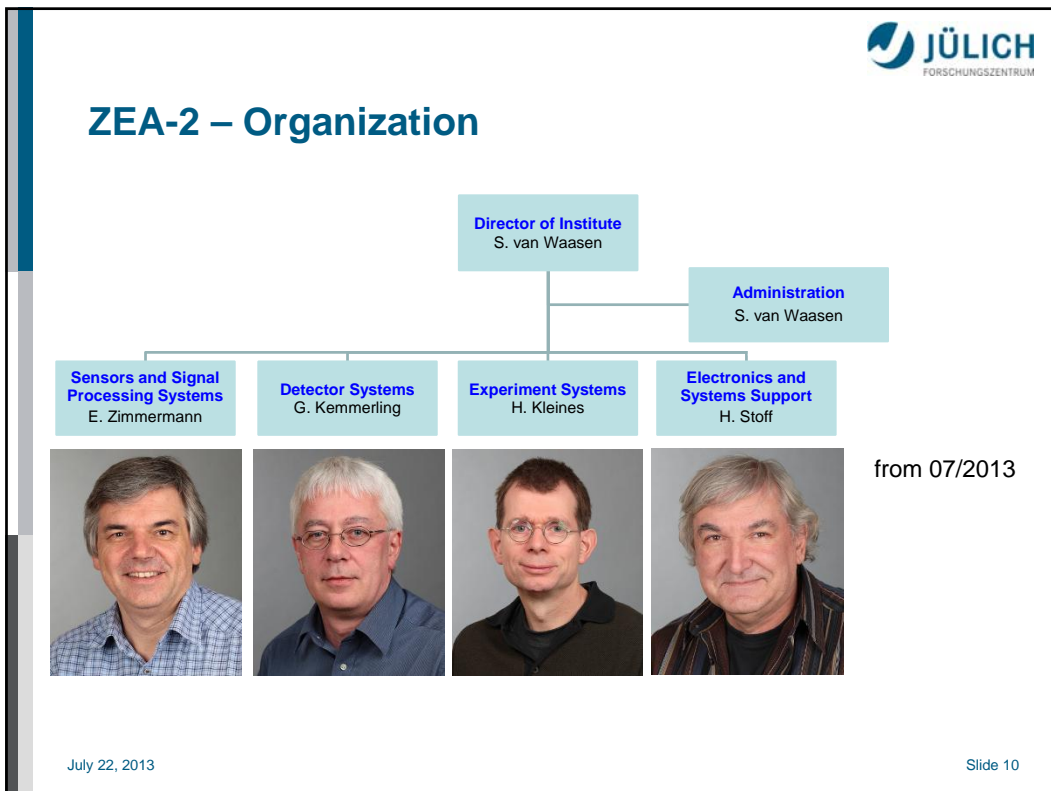
ZEA-2 – Mission statement

We develop complex electronic and information technology system solutions for science and research.

These systems incorporate the acquisition of a physical event up to the extraction of information.

The application comprehensive concepts are based on existing as well as in-house developed technologies.

SEI Tagung, Frühjahr 2013, FZJ Jülich



JÜLICH
FORSCHUNGSZENTRUM

Information about ZEA-2 – Internet pages

<http://www.fz-juelich.de/zea/zea-2>

July 22, 2013 Slide 11

JÜLICH
FORSCHUNGSZENTRUM

ZEA-2 – Distribution on FZJ research areas

Environment

Health

Information Technology

Energy

Matter science
Neutron Scattering

Matter science
Hadron Physics

July 22, 2013 Slide 12

Neutron scattering – Support of JCNS satellites

The new Research Reactor
FRM-II at Garching, GER



Additionally: 3 Neutron-Instruments
at the Reactor CARR at Peking, CN

Near future: **European Spallation
Source (ESS)** in Lund, SE

The first Megawatt Spallation source
SNS at Oak Ridge, USA



The High-Flux-Reacteur ILL at Grenoble, F

July 22, 2013

Slide 13

Neutron scattering – FRM-II experiments

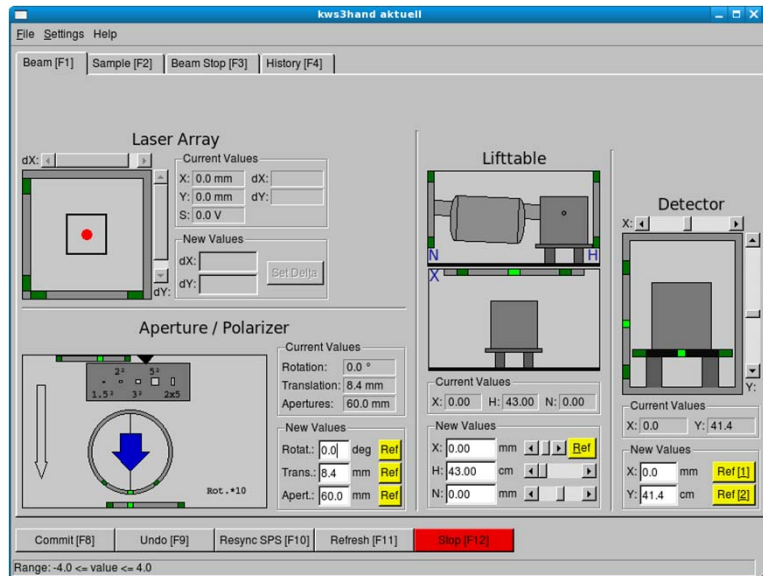


- Experiment development & maintenance for JCNS
 - Detector systems for KWS-1/2/3 and Maria
 - Experiment integration incl. control systems

July 22, 2013

Slide 14

Neutron scattering – Experiment integration



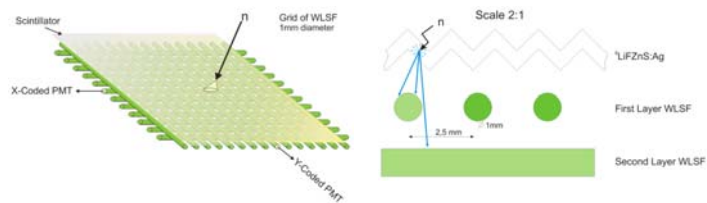
July 22, 2013

Slide 15

Neutron scattering – WSF detector development



Detector prototype



- Several challenges for future neutron detectors
 - Several 100m² detector area needed (FRM-II, ESS)
 - State-of-the-art detectors based on ³He not longer „available“
 - Availability of ³He resources extremely limited
 - Alternative detector system required → WSF concept
 - Combination of scintillator, WSF, PMT and electronics

July 22, 2013

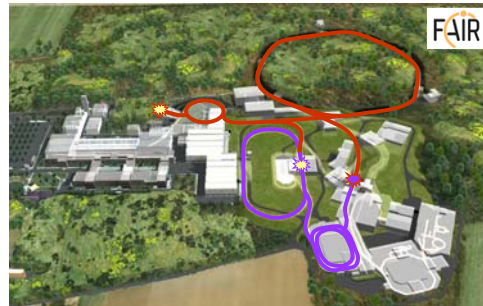
Slide 16

Hadron physics – COSY



Cooler Synchrotron (COSY) in Jülich

Future accelerator facility at GSI
Facility for Antiproton and Ion Research

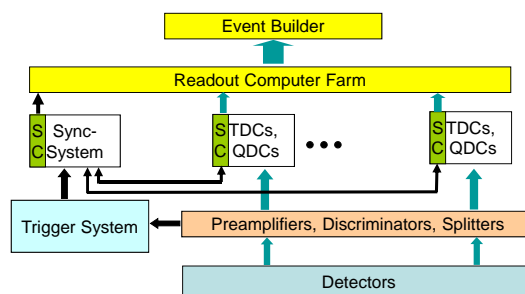


- Data acquisition (DAQ) systems for COSY experiments
- Future focus: New accelerator-complex FAIR at GSI
 - Accelerator electronics and DAQ systems

July 22, 2013

Slide 17

Hadron physics – DAQ system for WASA

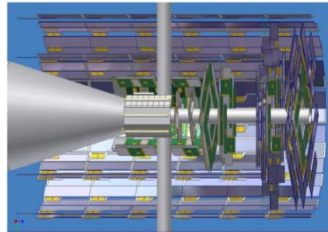


- Distributed acquisition of detector data with several crates
- Synchronisation of events and merging of data streams
- Serial optical readout (1Gb/s) electronics for approx. 1700 photomultiplier and 4000 straw-tubes in 17 crates
 - TDCs, QDCS, system controller, LVDS-bus, ...

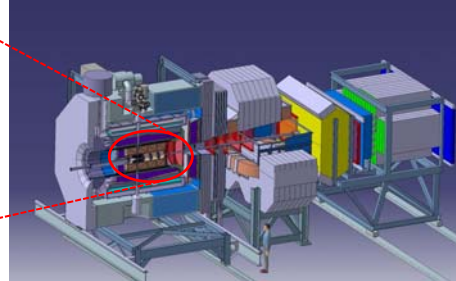
July 22, 2013

Slide 18

Hadron physics – PANDA



MicroVertex-detector

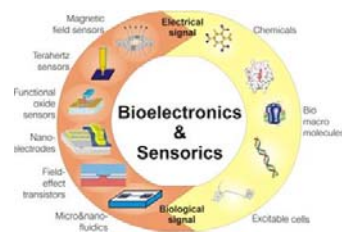
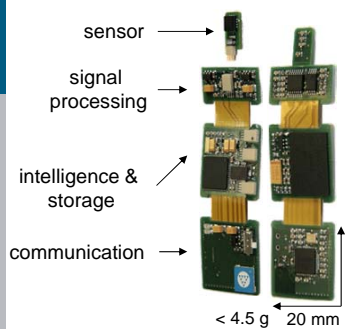


- FAIR: future detector system PANDA
 - Proton **A**ntiproton **D**armstadt Experiment
 - New technological challenges:
 - *Modular board systems with fast serial backplanes (uTCA, etc.)*
 - *Ultrafast optical links ($\geq 10\text{Gbit/s}$)*

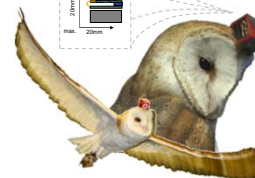
July 22, 2013

Slide 19

Information technology – iNODE




Multiple application areas within research



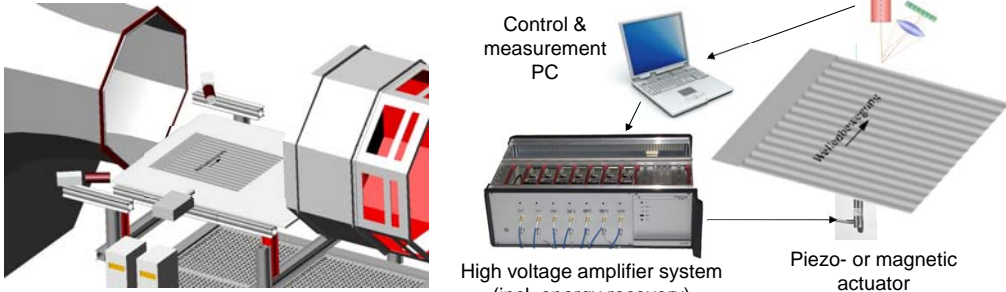
- Multi-purpose information technology system
 - intelligent **N**etwork **O**perating **D**evice (**iNODE**)
 - Realized application areas on biological systems
 - *Acceleration, position, path, etc.*
 - *EKG, EEG, nerve signals*

July 22, 2013

Slide 20



Energy – Aerodynamics



Optical measurement of waveform amplitudes

Control & measurement PC


High voltage amplifier system (incl. energy recovery)

Piezo- or magnetic actuator


LES simulations

- Analysis of oscillating surfaces influencing turbulent air flow (reduction of wind resistance)
 - Calibration and fast control of Piezo- or magnetic actuators for surface waveforms

July 22, 2013 Slide 21



Energy – Material analysis methods

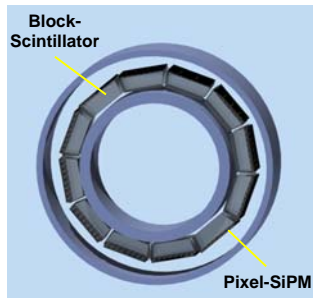


- Micro and nano scale CT for diverse materials (ZEA-1 & -2)
 - *GPU based control and reconstruction system*
 - *Optimized sequence control with online result check*
 - *Modelling for optimized settings*
 - *Fast final data reconstruction with high resolution*
 - *Defect analysis by auto-segmentation*

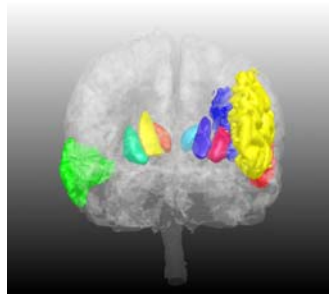
July 22, 2013 Slide 22

Health – MRI-PET system

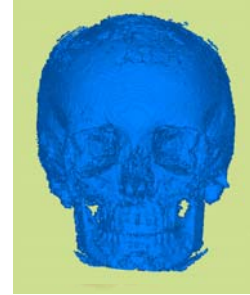
Small Animal PET insert
for MRI scanner



Multimodal Image Processing



MR-based segmentation of 3D-
regions for PET-based diagnostic



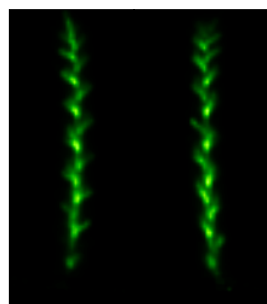
for PET-attenuation
correction

- **Positron-Emission-Tomography (PET)**
 - Joined HW, method and image processing dev.

July 22, 2013

Slide 23

Environment – PlanTIS PET-system



Solute transport in
plants (spica)



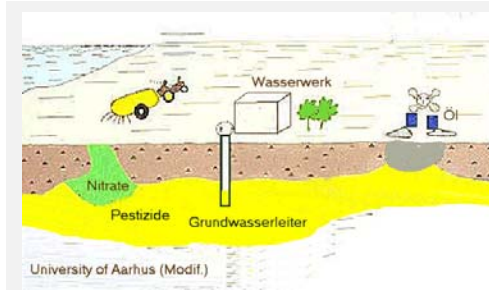
¹¹C-distri-
bution in a
sugar beet

- **Transfer of PET development from health into environmental research**
 - E.g. for CO₂-transport with radioactive markers

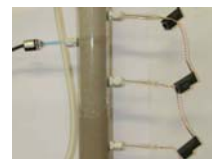
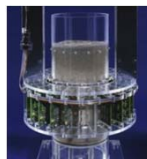
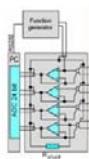
July 22, 2013

Slide 24

Environment – Flow & transport characteristics of soil



Natural resources
Toxic substances
Climate changes



Electrical impedance tomographie (EIT) & spectroscopie (SIP)

Magneto electrical resistance tomographie

Electromagnetic induction (EMI)

Self potential measurement (SP)

July 22, 2013

Slide 25

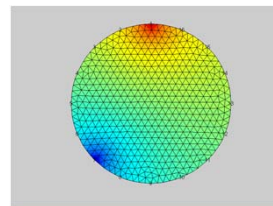
Environment – Impedance tomographie



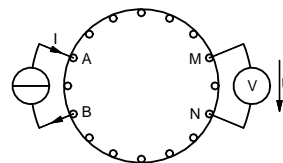
Measurement of transfer impedances

- **Imaging based method**
 - **High phase accuracy spectral impedance measurement (down to 0.1mrad @ 1mHz – 45kHz)**
 - **Reconstruction of complex conductivity (error corr.)**

Calculation of potentials via FEM



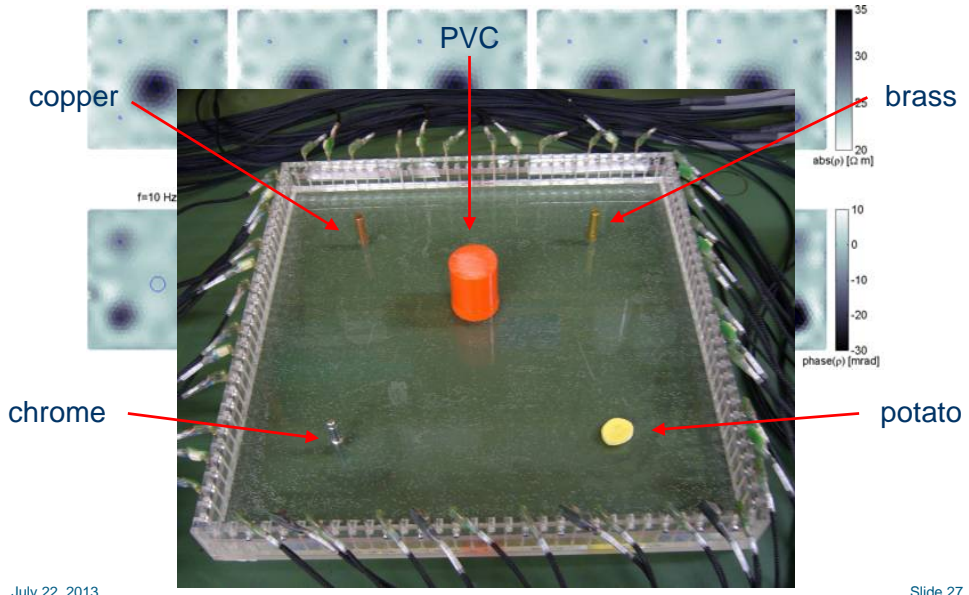
Reconstruction of conductivity



July 22, 2013

Slide 26

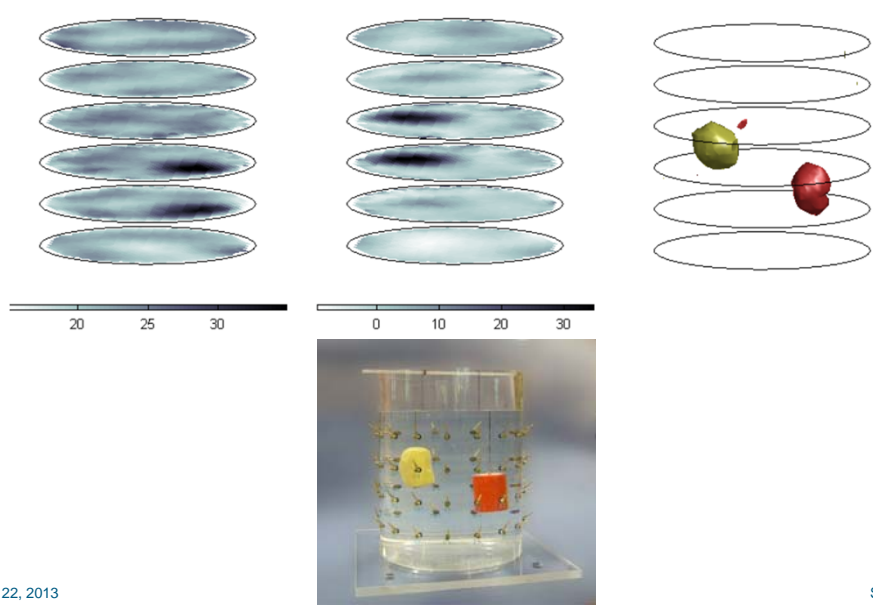
Environment – 2D-spectral complex conductivity



July 22, 2013

Slide 27

Environment – 3D-spectral complex conductivity



July 22, 2013

Slide 28

Environment – Field testing



- **Field measurement of spectral complex conductivity**
 - **High phase accuracy spectral impedance measurement (1mHz – 45kHz)**
 - **Reconstruction of complex conductivity**
 - **Numerical error correction**

July 22, 2013

Slide 29

Environment – Earth observation systems

Satellite

- LEO: ~700km

Weather Balloon

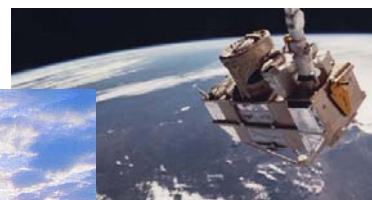
- up to 35km

Aircraft: HALO (High Altitude Research Aircraft)

- up to 15km

Airship Zeppelin

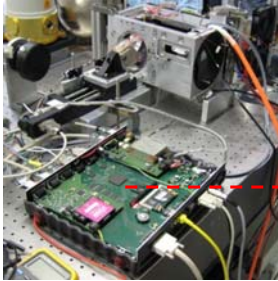
- 100m to 2km



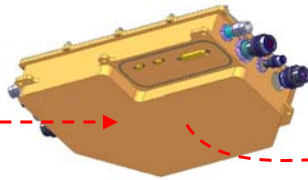
July 22, 2013

Slide 30

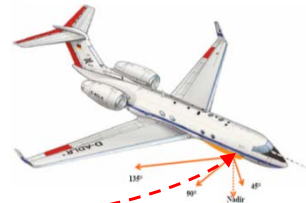
Environment – GLORIA



Lab model & infrared spectrometer



Pressure- / watertight electronics



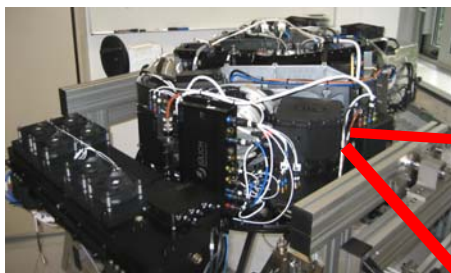
HALO – DLR-research plane

- **Development for readout electronics of Infrared-spectrometer**
 - **Capability for flying (temperature, pressure, etc.)**
 - ***Low-level redundancy in SW***

July 22, 2013

Slide 31

Environment – GLORIA



- First field testing in Nov. 2011 on Geophysica
- HALO integration in Q2 2012
- First HALO campaign in Q3 2012



July 22, 2013

Slide 32

ZEA-2 – internal services – IT-Engineering

- IT-Engineering
 - IT-system technologies in experiment data processing for whole FZJ
 - *Technology and component testing/evaluation on performance, reliability & compatibility*
 - Consulting for experiment responsables and PC-contact persons
 - *High number of most common components on stock (HDD, SSHDD, graphics adapters, media converters, etc.)*
 - Part of IT-standardization commissions

July 22, 2013

Slide 33

ZEA-2 internal services – SMD prototyping



- Support on PCB layout and manufacturing
 - Tooling, design rules, PCB stack, manufacturer selection
- Assembly and soldering of PCB (down to size of 0201)
- „Rework“ for failure analysis and correction

July 22, 2013

Slide 34

ZEA-2 internal services – Precision workshop



- Manufacturing of complex mechanical components
 - Manual as well as CAD supported methods
 - Specialized on casing and front panels

July 22, 2013

Slide 35

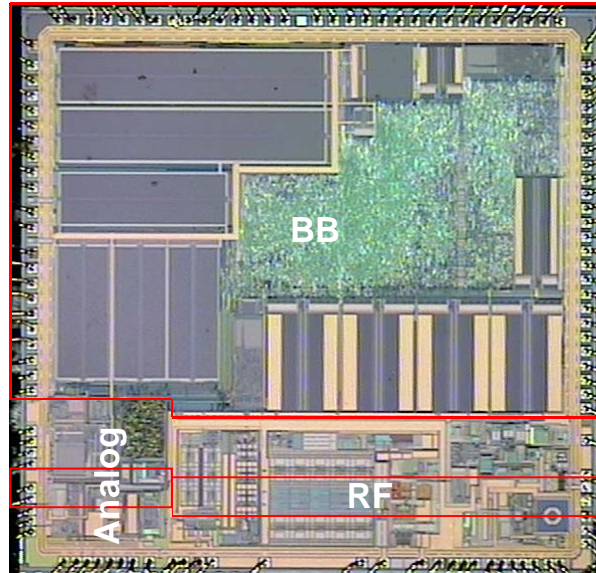
ZEA-2 new topic – Boundary conditions

- Exponential increase of system complexity
 - Strongly increasing number of read-out channels and data throughput in detector area
 - Strongly increased requirements on size (form factor) and power consumption
 - Development costs need to be manageable
- ➔ Usage of modern IC technologies and methods (CMOS SoC integration, embedded uC/DSP architectures, etc.)
- Adapted engineering approach needed
 - Strong top-down concept and architecture development
 - *Optimized partitioning, supply concept, I/F, etc.*
 - Circuit block definition and specification

July 22, 2013

Slide 36

ZEA-2 new topic – CMOS SoC integration



July 22, 2013

Slide 37

Conclusion – ZEA-2 key competencies

- R&D on electronic and information technology system solutions for science applications
 - Control and measurement systems
 - Detector, sensor and imaging technologies
 - Analog and digital signal processing
 - Scientific and technical SW (incl. algorithms)
 - Synergy effects through similar system solutions in different research areas
- Internal services
 - IT support on experiment systems
 - SMD prototyping and mechanical workshop

July 22, 2013

Slide 38

Success story – EMILI 2



- ECAC certified liquid detector for airport security application
- Cooperation with EMISENS
 - Spin-off from FZJ founded by Prof. Klein
 - Supported by TT-Fonds
- Includes electronic HW architecture, data acquisition system based on ZEA-2 developments
- Implementation by ZEA-2
- Certification and pre-production process supported by ZEA-2

July 22, 2013

Slide 39

SEI Tagung 2013

MSP430 Software Development with Code Composer Studio v5.3

11.-13. März 2013 | Roger Heil, Distributed Systems for Real-Time Analysis

r.heil@fz-juelich.de

Mitglied der Helmholtz-Gemeinschaft

Agenda

- **Hardware**
 - Microcontroller MSP430 Devices
 - iNode4 system overview and applications
 - iNode5 Concept
- **Software**
 - Code Composer Studio v5.3
 - Debug Modes
 - GRACE Hardware Configuration
 - TI Resource Explorer
 - GUI – Composer
 - Ultra Low Power Advisor (ULP)

11. März 2013

2

Mitglied der Helmholtz-Gemeinschaft

Hardware – MSP430 Devices

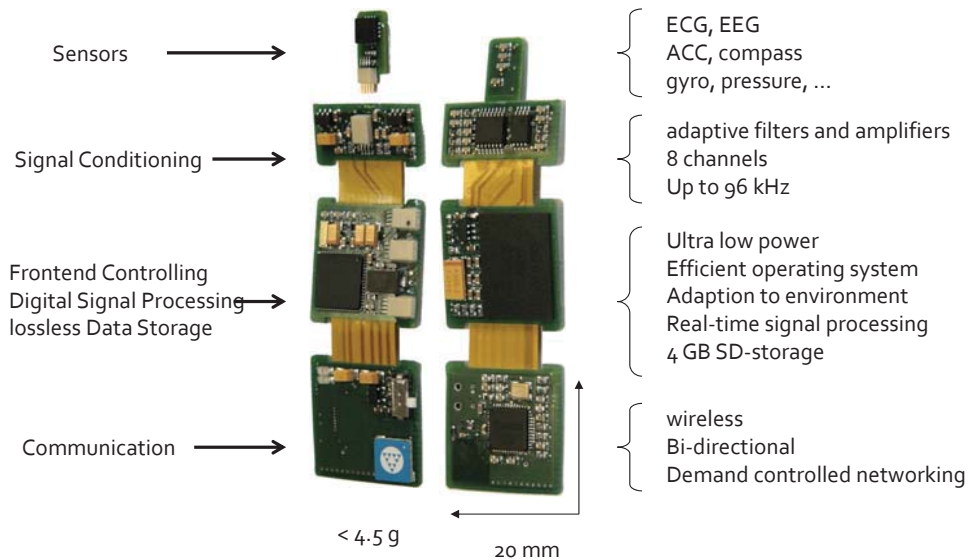
Key Features

- Ultra-low-power (ULP) architecture and flexible clock system
 - 0.1- μ A RAM retention, <1- μ A RTC mode, <100 μ A / MHz
- Integrated intelligent peripherals
 - ADC, SD, DAC, Comparator
 - USB
 - DMA, Multiplier, RTC, AES
 - Timer, Watchdog-Timer, PMM
 - BOR / SVS
 - SPI, I²C, UART, LIN, IrDA
 - LCD, RF Front End
- 16-bit RISC CPU architecture with 8-MHz to 25-MHz CPU Speed
- 0.5KB – 512KB Flash and 128B – 64KB RAM
- 14 to 113 pins in more than 25 packages
- normal voltage 2.7V to 3.6V, some version from 0.9V-1.65V

11. März 2013

3

iNode4 System Design intelligent Network Operating Device

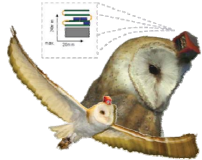


11. März 2013

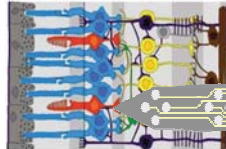
4

Applications

intelligent Network Operating Device



Neural dynamics of spatial orientation in barn owls (Dep. Animal Physiology, RWTH Aachen)



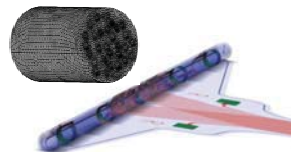
In vitro retina recording and stimulation (Institute for Complex Systems, Forschungszentrum Jülich)



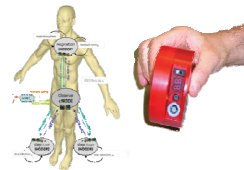
Flow manipulation in nature and technology; (Marine Science Center Rostock; SPP1207)



Real-time sensor- and actuator network for flow control (Institute of Energy and Climate Research, Jülich; FOR1779)



In vivo vagus nerve recording and stimulation (Institute of Mikrosystems Engineering, Freiburg)



Neurological rehabilitation research (Institute of Neuroscience and Medicine, Jülich; Department of Neurology, RWTH Aachen)

11. März 2013

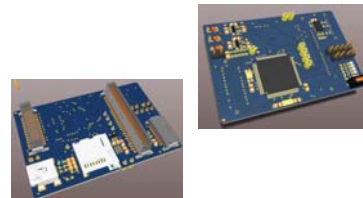
5

Hardware – iNode5 Concept

- Pin-compatible to NI-USB6009-OEM
- USB connection
- Button and LEDs
- 8 ADC with Amp's , 2 ADC without Amp's
- 2DAC with Amp's
- Micro-SD Card
- LIPO-Charger via USB
- RTC with backup battery port
- COM Port (UART,SPI,I²C) and GPIO Port(16)
- Power supply via USB, LIPO-battery or JTAG
- MSP430F5659 – 512kB Flash and 64kB RAM
- SDHC & SDXC compatibility via FatFS
- Piggyback Board in Development



development board



Piggyback Board

11. März 2013

6

Software – Code Composer Studio v5.3

History

- IAR Embedded Workbench
 - free version restricted to 4KB source code
 - license very expensive (ca.3500€)
 - complex IDE with restricted functionality
 - presently no progress for IDE concerning MSP430
 - Dongle

Software – Code Composer Studio v5.3

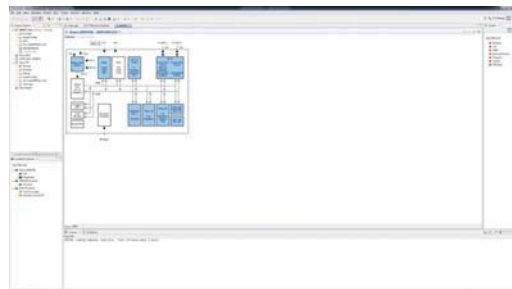
- Eclipse (Indigo) based IDE with TI plug-in
- TI Compiler:
 - MSP430 (16Bit Ultra Low Power MCU)
 - Stellaris (ARM Cortex M4F)
 - C2000 (ARM Cortex M3),
 - Hercules (ARM Cortex R4)
 - Sitara (ARM Cortex A8/A9)
 - C6000 / C5000 (Singlecore DSP)
 - DaVinci (Video Prozessor)
- MSP430 – free for MSP430(16KB) und C28xx(32KB)
- Single-User ca. 330€
- Floating ca. 590€

Software – Debug Modes

- Variables – direct view all variables in the actual function
- Expressions – shows all self insert variables and expressions
- Register – shows all system register of the microcontroller
- Disassembly – shows the generated assembler Sourcecode
- Memory Browser – shows, save and edit the memory of the microcontroller
- Single Time Graph – shows the value in a graph
- short demonstration

Software – GRACE Konfiguration

- easy hardware configuration
- GUI – based
- GRACE Snippets
- short demonstration



Software – TI Resource Explorer

- documentation
 - user guide
 - data sheets
 - errata sheets
- many examples
- libraries
 - DriverLib (Framework)
 - Graphics Library
 - USB Developers Package
 - Capacitive Touch Sense Library
 - IEC 60730 Library
- short demonstration

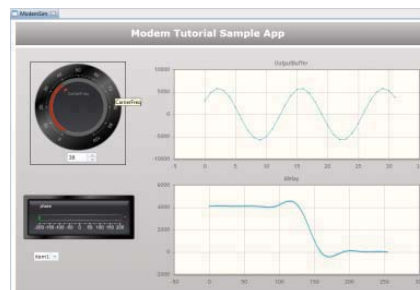


11. März 2013

11

Software – GUI Composer

- GUI based tool to create custom GUIs
- Communication between PC and μ C via JTAG
- Standalone as executable



11. März 2013

12

Software – *Ultra Low Power Advisor*

Ultra Low Power Advisor

- Sourcecode Analyzer - for more energy efficient sourcecode
 - low power mode
 - software delays
 - flag polling
 - Hardware Multiplier
 - DMA
 - Loops
 - function parameter
 - Etc.
- short demonstration

Conclusion

- decrease time for software development
- Plug-In support for additional functionality (Eclipse community)
- Direct Project Management – via plugin – Mercurial, Subversion, CVS, VSS

- There are still so problems in the software
- GRACE supports not all derivate
- The migration from IAR to CCS is critical, if special IAR functions are used.



Thank you for your attention!

Mitglied der Helmholtz-Gemeinschaft

Roger Heil	
ZEA-2: Electronic Systems Development Engineer	
Forschungszentrum Jülich GmbH	
Tel.: +49 2461 / 61-5267	
Fax: +49 2461 / 61-6279	
Email: r.heil@fz-juelich.de	

11. März 2013

15

"Data transfer via SPI"

13. Februar 2013

Franz Peter Zantis, Dipl.-Ing.(TU)

Im Blumenfeld 5

52477 Alsdorf

Data transfer via SPI

Introduction

This article wants to show how data transfer via SPI can be done. As example, the transfer between a microcontroller, which works as analog-digital-converter (ADU), and a USB-chip will be shown. The values from the ADU are transferred into a Personal Computer.

SPI-Bus in general

SPI Serial Peripheral Interface describes a serial bus system. It is used primarily for a synchronous serial communication of a host processor and peripheral components.

The SPI was developed by Motorola, but never completed to a complete standard. In addition, Motorola has not defined a Software protocol for SPI, but only describes the hardware operation. SPI also was never occupied by patents and is therefore license free. This is the reason why this bus system, in addition to the ease of implementation, is often used. As already mentioned SPI is a serial bus. This enables the connection of peripherals to a microcontroller. Also, the connection of several microcontrollers is possible. SPI achieved very high data transfer rates, since the clock signal may extend into the MHz range. Furthermore, the data are transmitted in both directions simultaneously. This means in full-duplex. The hardware complexity remains limited, because in addition to the Slave-Select line (or Chip-Select line) only one control line for the clock and two data lines are required. In the configuration (polarity, slope, etc.), SPI is also very flexible.

Inside of any SPI-device is a shift-register. The length of the shift register is not strictly defined. Normally, the shift register is 8 bits long, or a multiple thereof. The same register is used for receiving and transmitting. The data which is in the SPI-register, is shifted synchronous with the clock-signal. With each clock one bit is shifted. It appears at the output-Pin. At the same time, the level which is currently at the input of the shift-register, is taken as a Bit into the register.

Normally, a SPI-Bus exists of one Master and several Slaves. The device which works as master provides the clock and it activates the slave with which it wants to communicate, via the Chip-Select-line.

In the default configuration of a SPI-slave device, there are two control-lines and two data-lines provided (Fig. 1). The abbreviations of the signals can be seen in table 1.

Functionality	typical abbreviation	other abbreviation
Selecting the slave	CS = Chip Select	/SS = Slave Select
Bus clock	SCKL	CKL, SCK
The data from the master goes to the slave.	SDI = Slave Date In	MOSI = Master Out Slave In
The data from the slave goes to the master.	SDO = Slave Data Out	MISO = Master In Slave Out
For synchronous data transfer.		/DRDY = handshake

Table 1: Abbreviations of the signals. CS respectively /SS is usually active low.

For the SPI-slave, CS and SCKL are inputs, for the master these are outputs. Details for the master can be seen in Fig. 2.

A circuit diagram with SPI-master and SPI-slave is shown in Fig. 3.

Is a SPI-device not selected, the data-output (e.g. SDO) goes to high-impedance (Hi-Z). It is therefore guaranteed, that not multiple SPI-devices try to put data on the bus, at the same time. Otherwise this would result in short circuit.

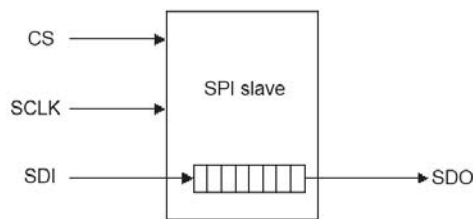


Figure 1: Standard configuration of an SPI-Slave.

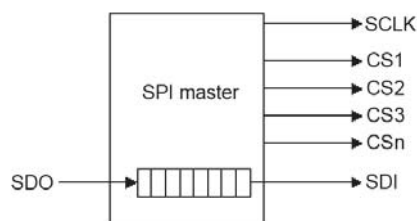


Figure 2: Standard configuration of an SPI-Master.

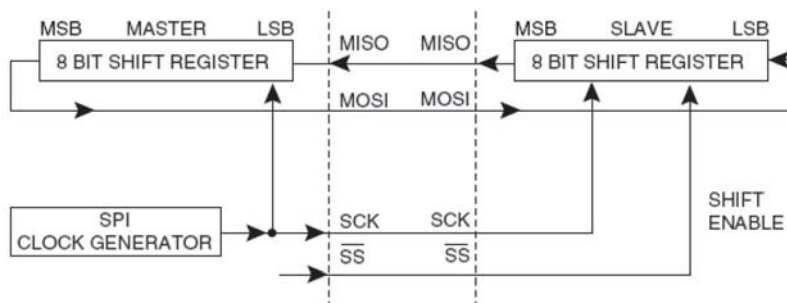


Fig. 3: Connection between SPI-master and SPI-slave.

Fig. 4 shows the typical diagram of a SPI-transfer. In this case it is a 16-Bit (2 Byte) transfer. The transferred value is here 0001100111110011. This is in decimal equal to 6643.

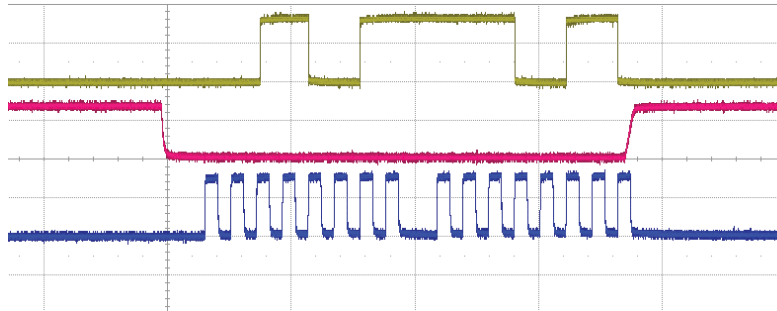


Figure 4: Typical diagram of a SPI-transfer. Above: data (SDI/SDO); middle: chip select (CS); below: clock (SCLK).

A typical circuit diagram with SPI-master and several SPI-slaves is shown in Fig. 5. There, the master is connected with three slaves. Before data can be transferred, the master puts the CS line of the relevant slave to low level. After that, data can be exchanged.

Some slaves do not have both, SDI and SDO. E.g. a Digital-to-Analog-converter (DAC) only needs to receive data. So it do not need to have SDO.

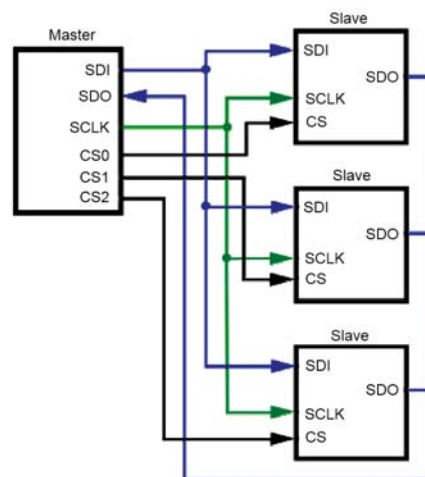


Figure 5: Typical configuration with SPI-Master and SPI-Slaves.

An example for a device which has no SDO is the digital-to-analog-converter MCP4822 (Fig. 6). This chip includes two digital-to-analog-converter in one case. Each converter has a resolution of 12 Bit. The SPI-Master

sends a 16-Bit-integer, where the lower 12 Bit (Bit0 to Bit11) represent the value itself and the upper 4 Bit (Bit12 to Bit15) are for the configuration.

Is Bit12 set to high level, the analog output is available. If it is set to low level, the analog output is not available. The output pin then is connected to 500 k Ω .

Bit13 is for selecting the amplification. If Bit13 is low, the amplification A is 2, otherwise A is 1. The output voltage is then equal to

$$V_{out} = A \cdot U_{ref} \cdot \frac{D}{2^{12} - 1}$$

with $U_{ref} = 2,048V$ and $D = \text{Dataword}$.

Bit14 is not used. It can have any level.

Bit15 selects the DAC. If Bit15 has high level, the incoming data go too DACB, if it has low level, the data go too DACA.

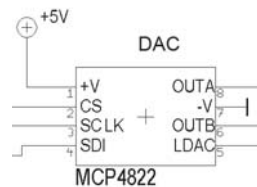


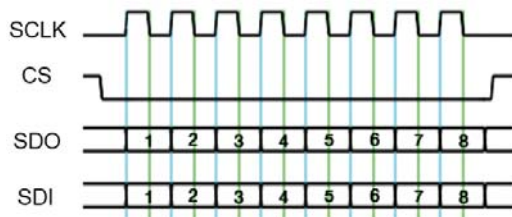
Figure 6: Example for an SPI-slave which does not need SDO.

The way, how data transfer works, is not specified. E.g. whether the SPI-clock is in idle low or high or whether the data are taken with the falling or with the rising edge of the clock. Therefore most SPI-devices can be parameterized.

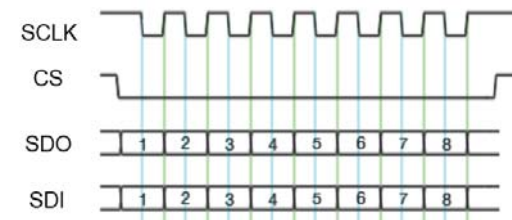
Table 2 gives an overview about different ways to organize the data transfer on the SPI-Bus. Additional to the four modes from Table 2, which has to be parameterized, it must be clear, whether the Most Significant Bit (MSB) or the Least Significant Bit (LSB) is transferred first. Also this has to be parameterized.



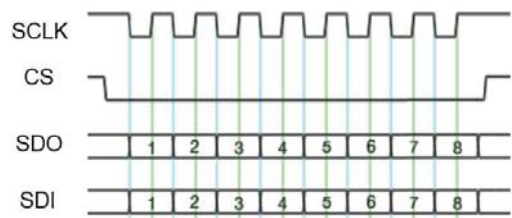
Mode 1: Clock is in idle mode low.
Data is driven on the falling edge of SCLK and sampled on the rising edge.



Mode 2: Clock is in idle mode low.
Data is driven on the rising edge of SCLK and sampled on the falling edge.



Mode 3: Clock is in idle mode high.
Data is driven on the rising edge of SCLK and sampled on the falling edge.
The first Bit is driven before the first falling edge of SCLK.



Mode 4: Clock is in the idle mode high.
Data is driven on the falling edge of SCLK and sampled on the rising edges.
The first bit is driven on the first falling edge of SCLK.

Table 2: Different ways to organize the data transfer.

Relating to the speed of data transfer, the SPI-Bus is very flexible. It can be used with very slow speed - maybe with clock frequencies of a few kHz up to very fast speed in the range some 100 MHz. It depends on the used components which speeds are possible. The USB-chip IO-Warrior56 e.g. supports transfer rates of 93,75 kHz up to 12 MHz.

Some SPI devices provide additional a handshake-signal. With this it is possible to synchronize the data transfer. In cases, if the slave cannot follow fast enough, if e.g. the master provides the next value, the handshake signal can be very helpful - maybe it is the only way to solve the problem.

Figure 7 shows a possible connection for cascading several identical components. This can be used e.g. to communicate with two DAU each of 8 bit when the master sends a 16-Bit-Word.

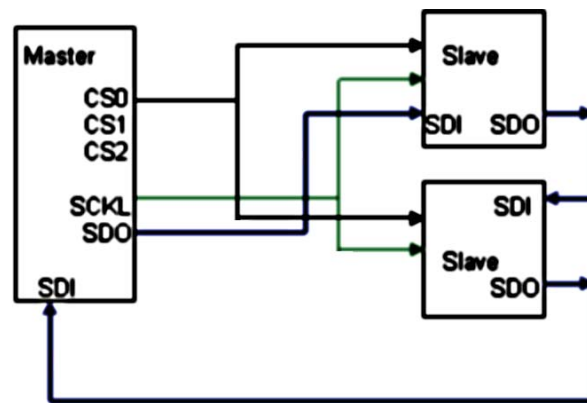


Figure 7: SPI-cascading

The realized example

Task: An analog signal must be recorded and transferred to a MS-Windows-PC.

If just the value itself is relevant, the operating system MS-Windows can be used directly to take the samples. However, if the time-function, the functionality

$$value = f(t)$$

is needed, MS-Windows is not suitable. MS-Windows determines the distances between each sample. As result, even with low sample-speed, the time-distances between the samples are not equal.

So this works only, if several data are sampled and saved on an external hardware, and then transferred in a complete block into the computer.

The basic idea for the solution is to use a microcontroller, which has already an Analog-to-Digital-Converter (ADC) included on the chip. In the present case, the MSP430F2013 was selected. This controller has a 16-Bit-Sigma-Delta-Analog-to-Digital-Converter on board. The controller collects several samples - in this case 16. If the 16 samples are there, they will be transferred as one block to the computer via SPI.

The connection between SPI and USB is handled by a Cyrix processor which is used in the module "IO-Warrior56". But, the USB-Chip IO-Warrior56 can only work as an SPI Master. So, the microcontroller MSP430F2013 must work as SPI slave. The data transfer works according to Mode 2 in Table 2. The MSB is transferred first. The SPI-clock is in idle low and works with 960 kHz.

To transfer 16 16-Bit-Integers with this clock, the minimum time to transfer all data is

$$16 \text{ data} \cdot 16 \text{ bit} \cdot \frac{1}{960 \text{ kHz}} \approx 267 \mu\text{s}$$

In fact more time is needed, because at the beginning of data transfer and between the Bytes are time-gaps (see fig. 4).

In this application, the ADC samples the analog signal with a rate of 488 per second. The time between two samples is

$$\frac{1}{488\text{Hz}} \approx 2049\mu\text{s}$$

So, there is time enough to transfer all data between two samples.

Each sample of the ADC has a resolution of 16 bit. The microcontroller stores the samples sequentially in an array. This array has 32 places for 16-Bit-Integer (unsigned). It begins with array-storage location zero and ends with array-location 31. Then it starts again with array location zero (fig. 8). If 16 values are available, the microcontroller acknowledge this with a signal. In this case it toggles P1.2 (Pin4 of the case). The connections between the USB-chip and the microcontroller can be found in the circuit diagram (fig. 11).

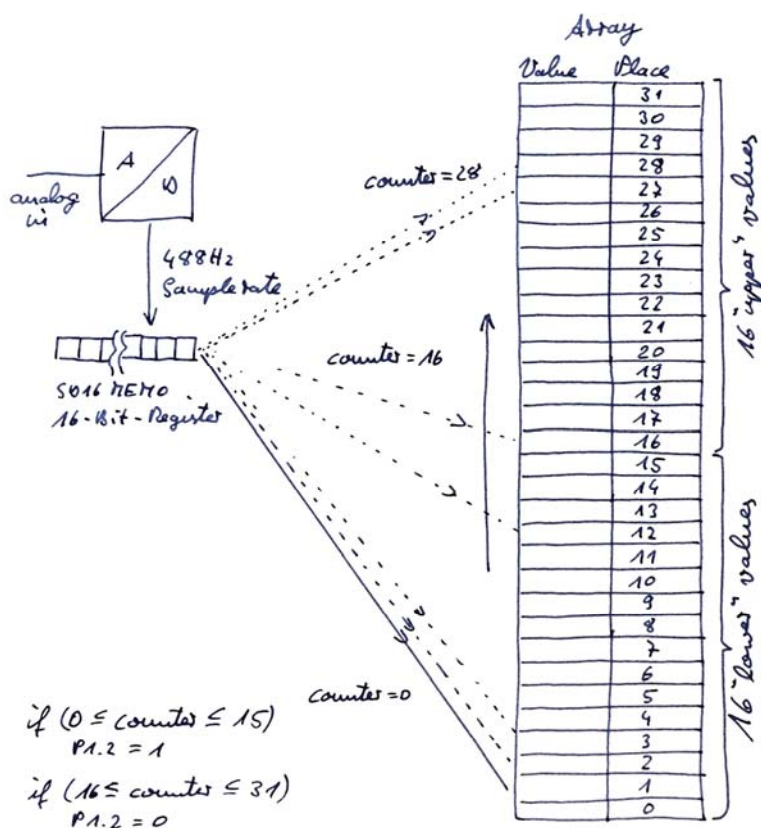


Figure 8: The samples of the ADC will saved sequentielle into a array with 32 places. If the lower 16 values are ready P1.2 toggels to low. If the upper 16 values are ready P1.2 toggels to high.

The USB-Chip cannot know, when a package of 16 values is ready to be transferred. So in this case, the slave has to inform the master. In fact, in the current case, it needs to control the master. This is realized with a handshaking signal.

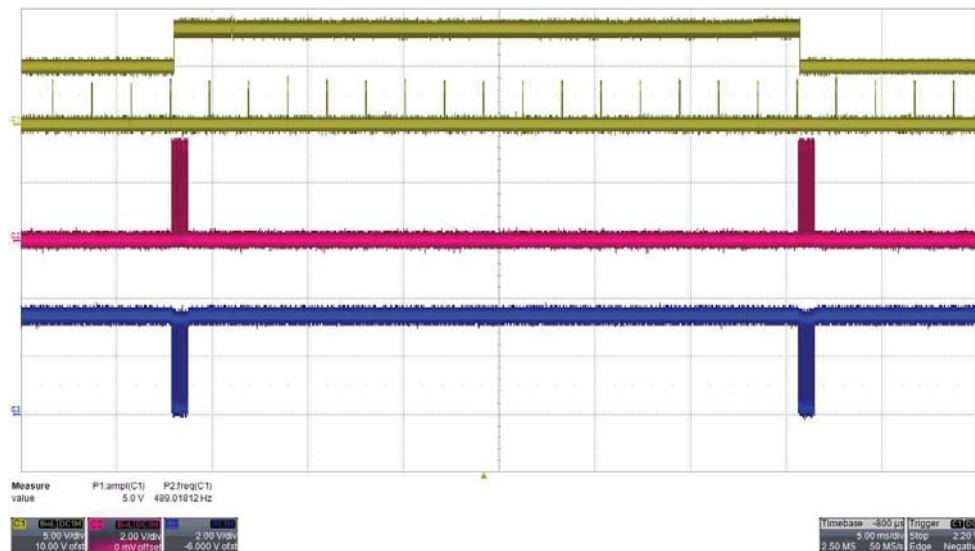


Figure 9: From top to bottom: 16-values-ready-signal (into the picture inserted), Sample signal, SPI-clock, handshake signal. If 16 samples has been made, they will be transferred via USB to the computer.

The master is always ready to get values from the slave. It can transfer 16 values (means 32 Byte) in one set. With SPI, the master provides the clock-signal. The problem is, that the pause between each 16-Bit-Value is too short for the slave. It has one 16-Bit-SPI-register to transfer the value. So it needs between the values enough time to load the next value into the SPI-register. To solve this problem the handshake (/DRDY) signal is used. The slave puts this signal to high as soon the first Byte of a value is transferred. This has the effect that the master sends the second Byte of the value and stops then until the handshake is again at low (zero).

Fig. 8 provides an overview. The 16-values-ready signal alternates, if 16 values of 16-Bit-Integers are ready to be transferred. As soon the 16-values-ready signal alternates, the handshake signal goes to low and the SPI-master can get 32 Byte (16 values of 16-Bit-Integers) from the SPI-slave. Between the values, the SPI-slave puts the handshake signal to high until the next value was shifted into the SPI-register. If the 16-values-ready signal is high, the lower 16 values from the array can be transferred (places 0 to 15). If it is low, the higher 16 values (places 16 to 31) can be transferred. For the SPI-master these is not known - only the slave knows it and shifts the lower or the upper 16 values of the array one by one into the SPI-register.

With the right programming, the result is a two-way interaction between receiving the bytes (SPI-clock of the master) and the handshake signal. It can be seen in fig. 10. Using the handshake signal the SPI slave obtains a pause of about $30\mu\text{s}$ between two values.

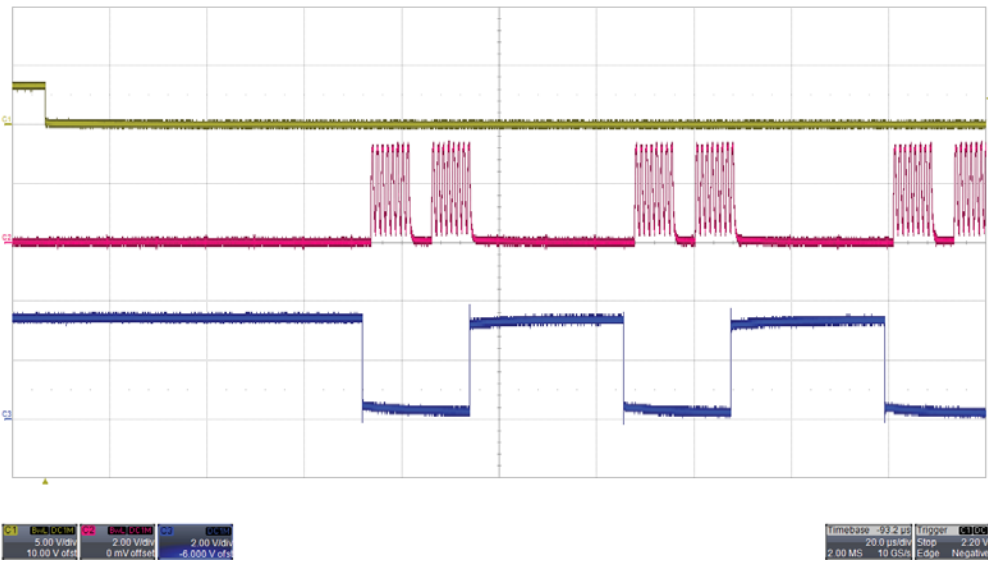


Figure 10: Ready to get 16 values - signal (above), SPI-clock 960 kHz (middle), handshake signal (below). This figure show the interaction between SPI-clock and handshake signal.

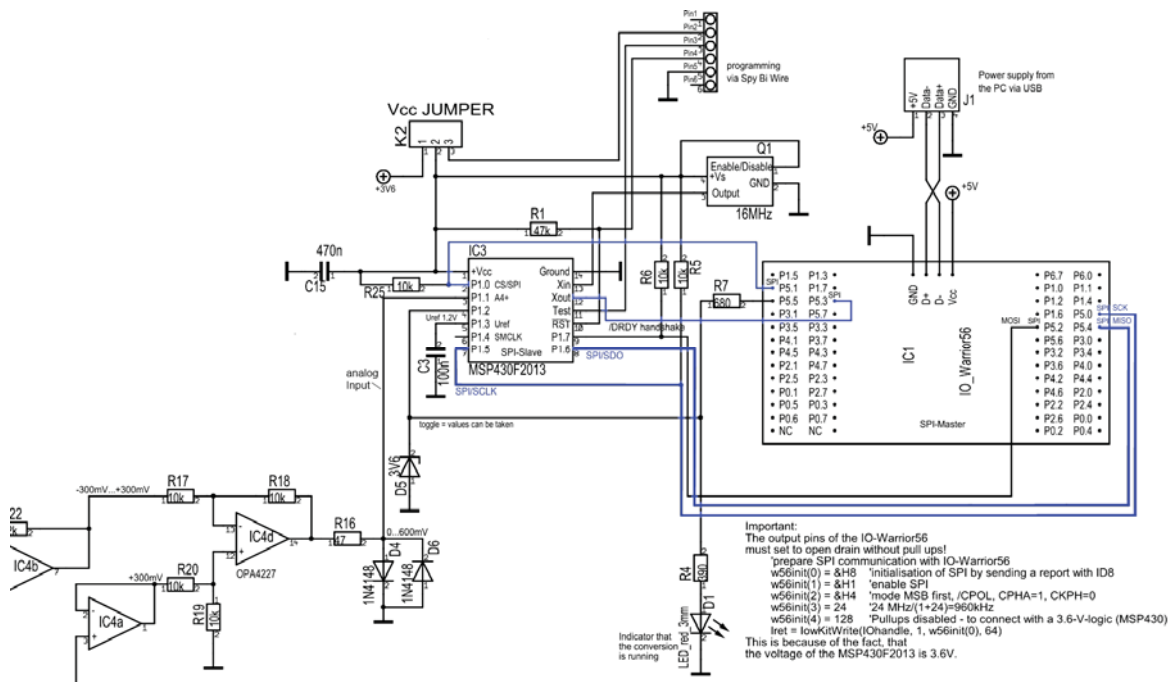
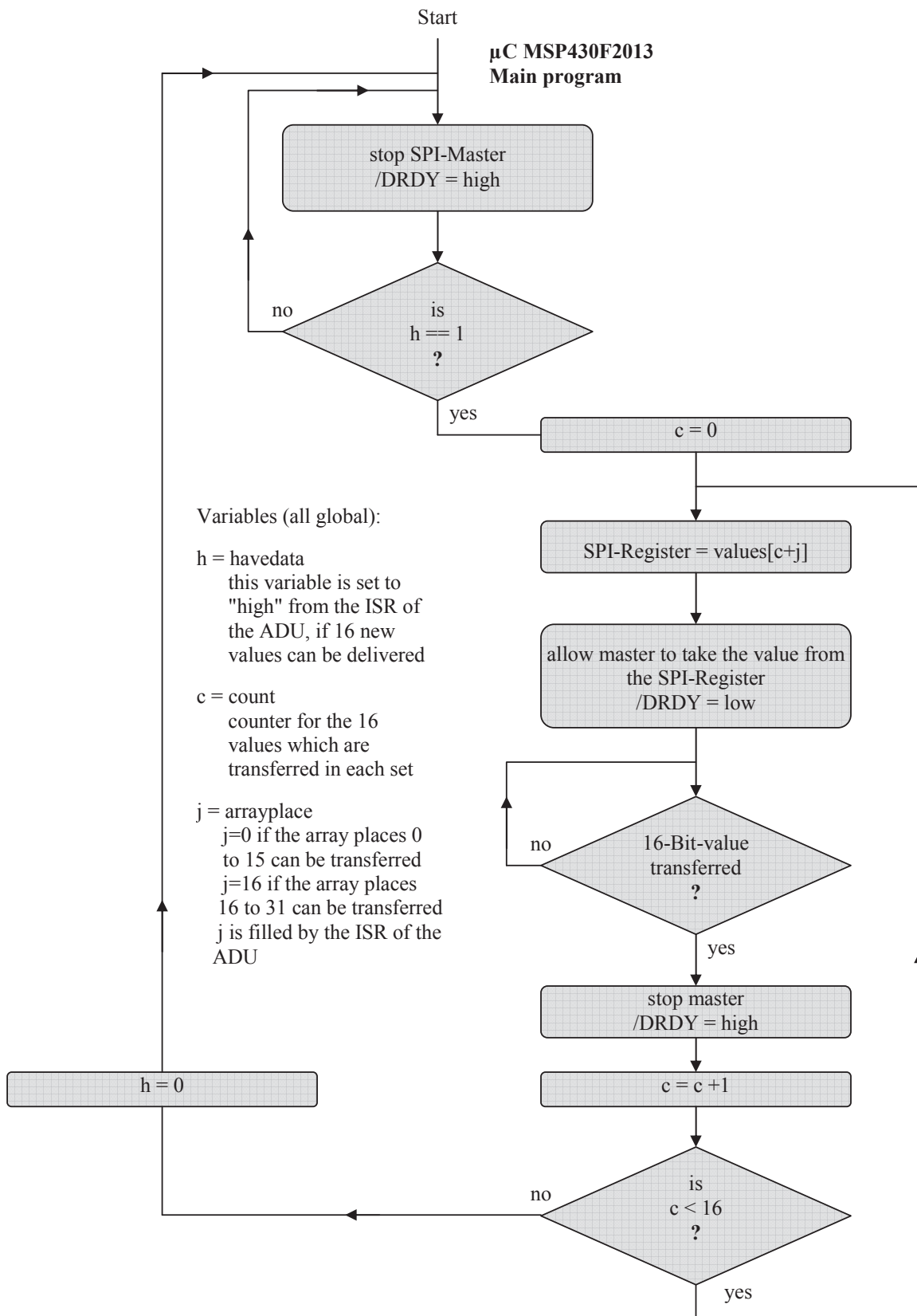


Figure 11: Circuit diagram with the SPI-connections between Microcontroller (ADU-device) and USB-Chip.



µC MSP430F2013
Interrupt Service Routine (ISR) of the ADU

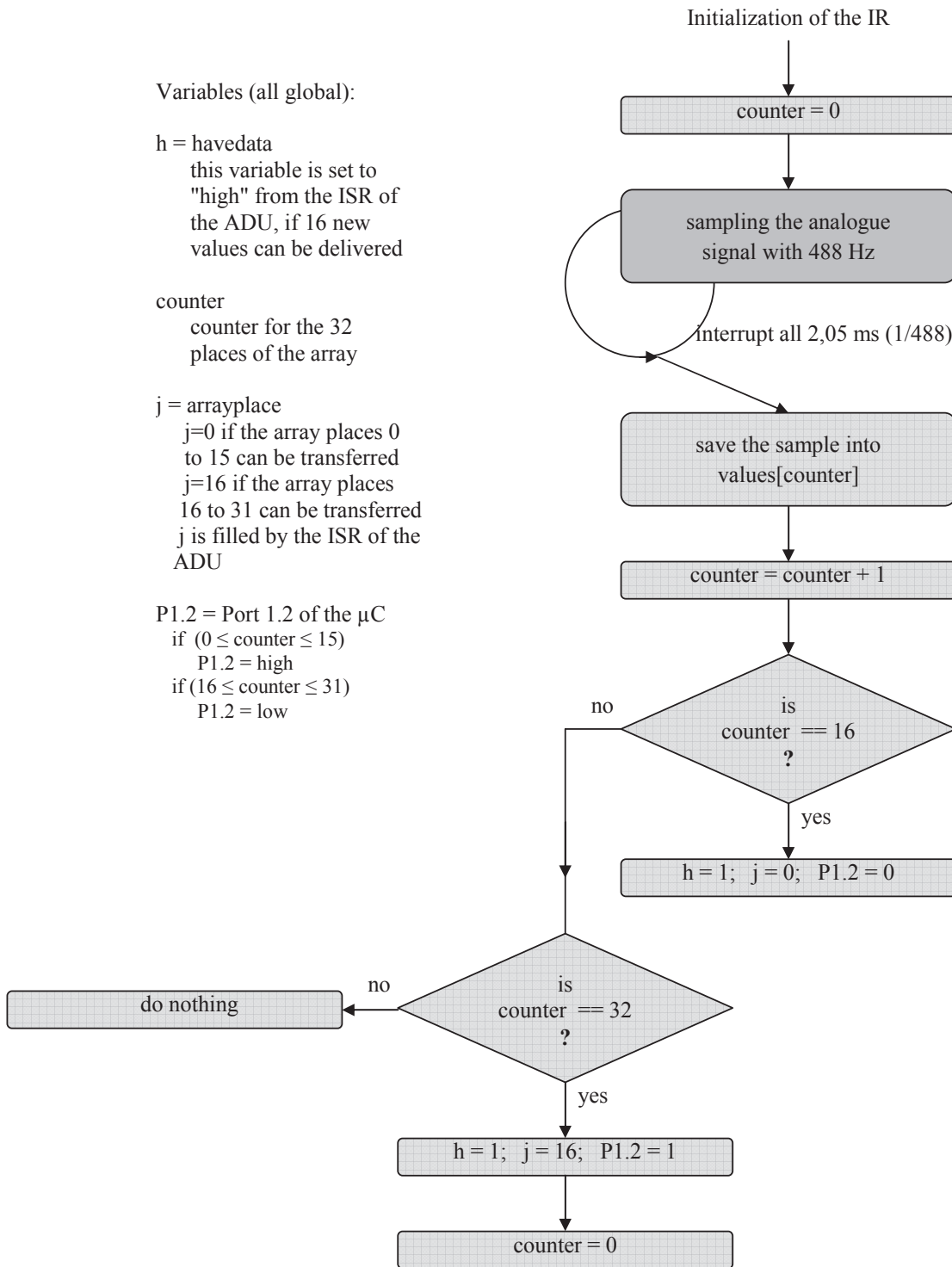
Variables (all global):

h = havedata
 this variable is set to "high" from the ISR of the ADU, if 16 new values can be delivered

counter
 counter for the 32 places of the array

j = arrayplace
 j=0 if the array places 0 to 15 can be transferred
 j=16 if the array places 16 to 31 can be transferred
 j is filled by the ISR of the ADU

P1.2 = Port 1.2 of the µC
 if (0 ≤ counter ≤ 15) P1.2 = high
 if (16 ≤ counter ≤ 31) P1.2 = low



The microcontroller-program

```

//using the MSP430F2013 microcontroller as ADU
//language: C
//Januar 2013 / F.P. Zantis
//data transfer works with blocks of 16 16-Bit-Words (INT16) via SPI
#include "msp430x20x3.h"
unsigned int numtotransfer = 16; //number of values to transfer via SPI as one set
unsigned int values[32]; //array; space for 32 values
unsigned int counter = 0; //counter for the samples
unsigned int j=0; //indicator for upper or lower 16 values of the array
unsigned int count=0; //counter for SPI-transfer
unsigned int havedata=0; //indicator if data are there

int main( void )
{
    WDCTL = WDTW + WDTHOLD; //Stop watchdog timer to prevent time out reset

    //prepare for using an external oscillator
    _BIS_SR(SCG0); //switch off DCO
    _BIS_SR(OSCOFF); //switch off internal oscillator LFXT1
    BCCTL3 &= ~BIT2; //minimize crystal capacity
    BCCTL3 &= ~BIT3; //minimize crystal capacity
    BCCTL3 |= BIT4; //switch XIN for external clock
    BCCTL3 |= BIT5; //switch XIN for external clock
    BCCTL2 &= ~BIT1; //divider for SMCLK = 1
    BCCTL2 &= ~BIT2; //divider for SMCLK = 1
    BCCTL2 |= BIT3; //select SMCLK = LFXT1CLK or VLOCLK
    BCCTL2 &= ~BIT4; //divider for MCLK = 1
    BCCTL2 &= ~BIT5; //divider for MCLK = 1
    BCCTL2 |= BIT6; //select MCLK = LFXT1CLK or VLOCLK
    BCCTL2 |= BIT7; //select MCLK = LFXT1CLK or VLOCLK

    //init Ports
    P1DIR &= ~BIT0; //P1.0 for input
    P1REN |= BIT0; //P1.0 pullup

    P1DIR = BIT4; //P1.4 to output direction
    P1SEL = BIT4; //SMCLK (clock) to P1.4

    P1DIR |= BIT2; //P1.2 to output direction (a set of 16-Bit-Words is ready)

    P1DIR |= BIT3; //P1.3 to output direction

    P1SEL |= BIT3; //Uref to P1.3

    P2SEL &= ~BIT7; //P2.7 for normal input/output use
    P2DIR |= BIT7; //P2.7 to output direction (handshake signal DRDY)
    P2OUT |= BIT7; //P2.7 default to high (/DRDY=high) - cannot run

    //init USI-SPI
    USICTL0 &= ~USISWRST; //USI released for operation
    USICTL1 &= ~USII2C; //clear the I2C-Bit to switch USI to SPI-Mode
    USICTL0 &= ~USIMST; //reset Masterbit to be SPI-Slave
    USICTL0 |= USIPE5; //SPI-clock via P1.5 (from Warrior56)
    USICTL0 |= USIPE6; //SDO-Port enabled; Pin8, P1.6
    USICTL0 |= USIPE7; //SDI-Port enabled; Pin9, P1.7
    USICTL0 &= ~USILSB; //MSB first
    USICKCTL &= ~USICKPL; //clock is low when idle
    USICTL1 &= ~USICKPH; //get data on the first edge
    USICTL0 |= USIOE; //activate output (data goes from MSP to Warrior56)
    USICNT |= USI16B; //SPI-Register USISR for 16-Bit-data

    //init ADC SD16

```

```

SD16CTL = SD16REFON;           //activate reference 1,2V
SD16CTL |= SD16SSEL_1;        //clock for ADU is SMCLK
SD16CTL |= SD16XDIV_2;        //div. through 16
SD16CTL |= SD16DIV_2;         //div. through 4; both divider res. to 250kHz for the ADU
SD16INCTL0 = SD16INCH_4;      //input via A4, P1.1, Pin3
SD16CCTL0 = SD16UNI;          //16-Bit unsigned
SD16CCTL0 |= SD16IE;          //interrupt enabled for ADU
SD16CCTL0 |= SD16XOSR;        //set oversampling ratio selector
SD16CCTL0 |= SD16OSR_512;     //oversampling ratio lp-filter 250kHz/512=488Hz samplerate
SD16CCTL0 |= SD16SC;          //start conversion

_BIS_SR(GIE);                 //enable all interrupts

while(1)
{
    P2OUT |= BIT7;             //handshake to SPI-Master: stop data transfer
    if (havedata == 1)
    {
        for (count = 0; count < 16; count++)
        {
            USISR=values[count+j]; //write value from the array into the SPI-Register
            USICNT |= 8;           //load counter and start transmission with 16 Bit-Word
            /* the value normally is 16 bit, but in this case, the handshake which stops the
               master comes too late; to stop it earlier, the value must be reduced to 8 bit
            */
            P2OUT &= ~BIT7;        //handshake to master: data can be shift
            while(!(USIIFG & USICTL1)); //wait until data are transfered
            P2OUT |= BIT7;         //handshake to master: stop data transfer
        }
        havedata = 0;
    }
}

/* interrupt service routine for the ADU; each time a sample was taken, the program jumps to this
service routine */
#pragma vector = SD16_VECTOR
__interrupt void SD16ISR(void)
{
    values[counter] = SD16MEM0; //save value and reset Interrupt-Flag
    counter++;

    if (counter == numtotransfer)
    {
        P1OUT &= ~BIT2;          //P1.2 to low if the lower set of 16-Bit-Words is ready
        j=0;
        havedata = 1;
    }

    if (counter == (numtotransfer * 2))
    {
        counter = 0;
        P1OUT |= BIT2;           //P1.2 to high if the upper set of 16-Bit-Words is ready
        j = numtotransfer;
        havedata=1;
    }
}

```

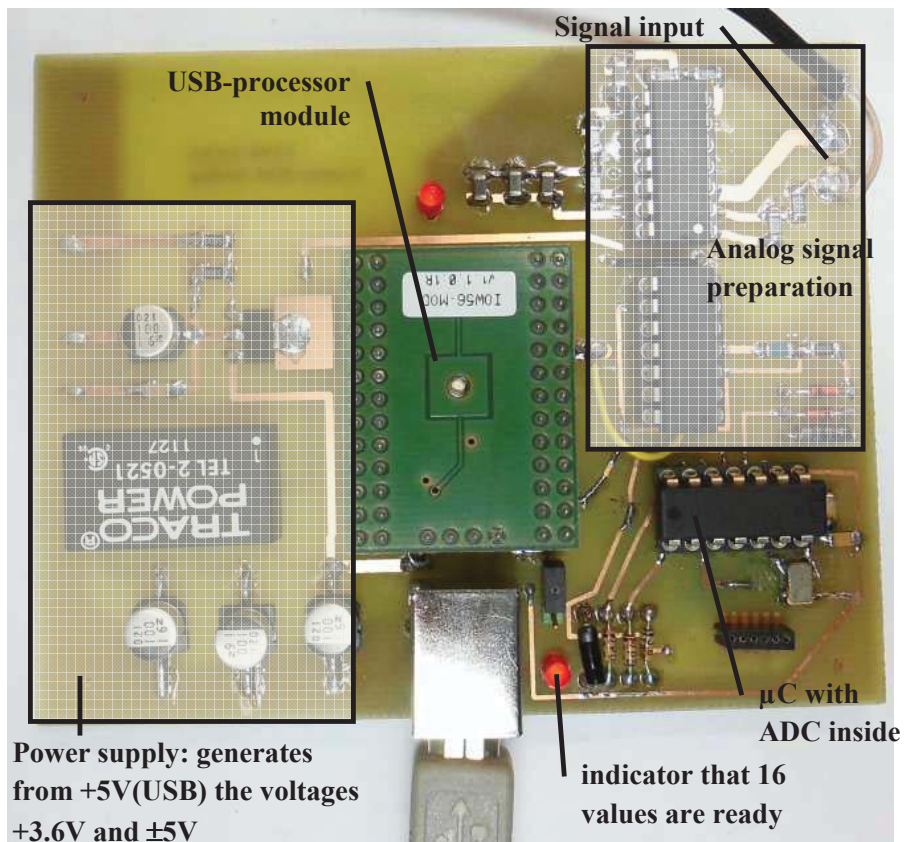



Figure 11: Test board.

SNS-NSE

Datenerfassungs- und Kontrollsystem für ein Neutronenspinecho-Spektrometer an einer Spallationsquelle

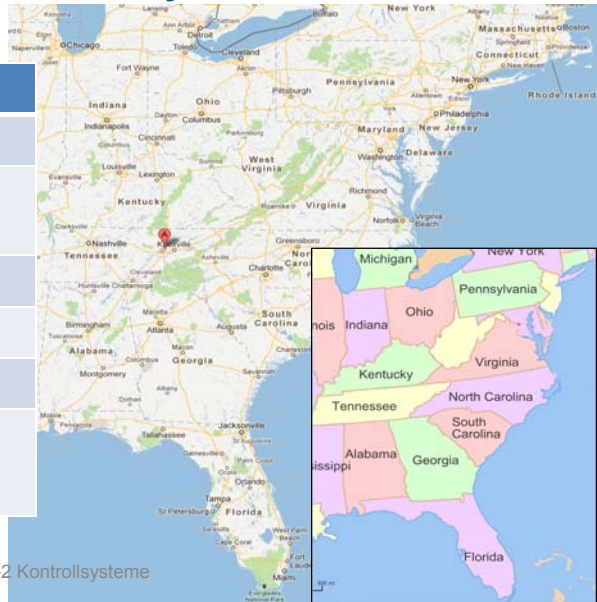
SEI Jülich 11. März 2013 | FZJ ZEA-2 Kontrollsysteme | P.Kämmerling H.Kleines M.Drochner M.Wagener R.Möller F.Suxdorf S.v.Waasen F.J.Kayser L.Fleischauer-Fuß A.Ackens : ZEA-2
M.Monkenbusch M.Ohl N.Arend T.Kozielewski P.Zolnierczuk L.Stingaciu : JCNS

SNS-NSE

- Umfeld des SNS-NSE und Spallationsquelle
- Neutronenstreuung und das NSE-Prinzip
- Übersicht über das SNS-NSE
- Jülich-Münchener Standard
- Struktur des Datenerfassungs- und Kontrollsystem
- Software-Architektur
- Erfahrungen

Oak Ridge National Laboratory und FZJ

	ORNL	FZJ
Mitarbeiter	4400	4992
Wissenschaftler	1600	1755
Budget Mio €	1260	484
Ort	TN USA	NRW D
Fläche km ²	40	2,2
Gründung	1943 Manhattan Projekt	1956 Atom- forschung



22. Juli 2013

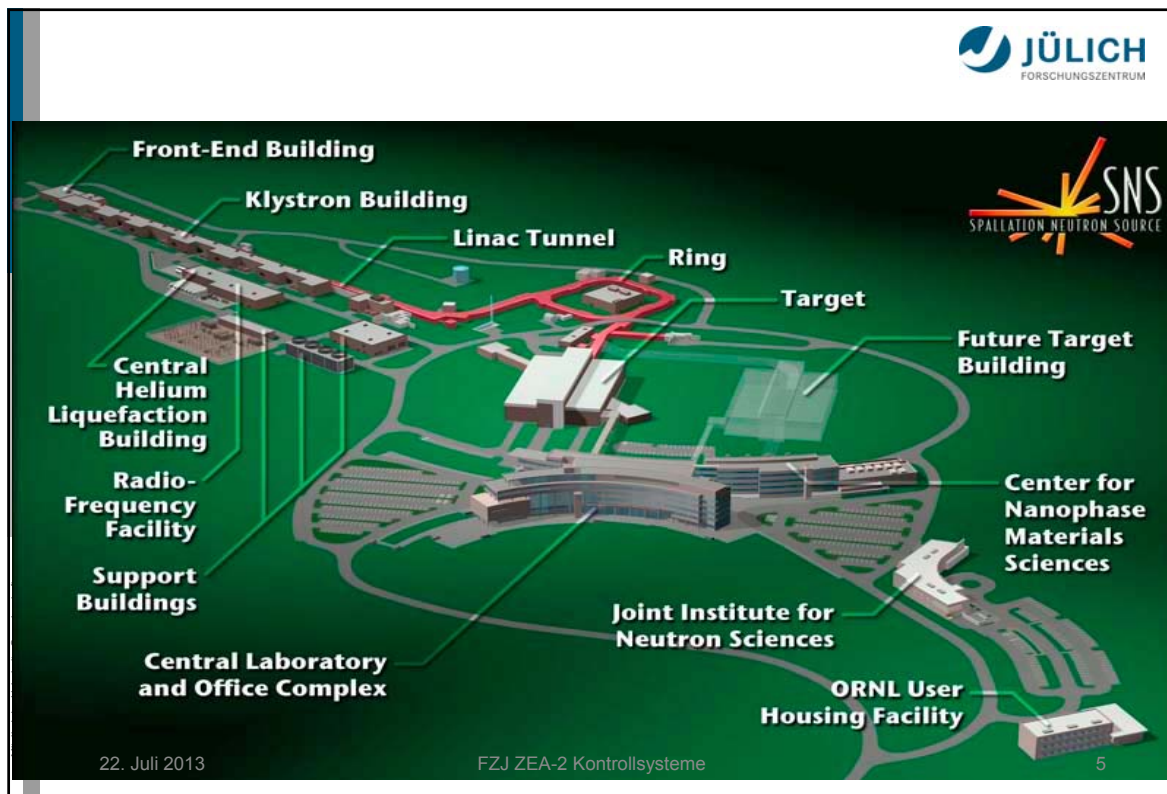
FZJ ZEA-2 Kontrollsysteme

Mitglied der Helmholtz-Gemeinschaft

Spallation Neutron Source im ORNL, TN USA



Mitglied der Helmholtz-Gemeinschaft



SNS Quecksilber Spallations-Target

- freie Neutronen durch Protonenbeschuß schwerer Elemente
- keine Kettenreaktion
- teuer
- hoher Pulsfluß

22. Juli 2013
FZJ ZEA-2 Kontrollsysteme
6

Mitglied der Helmholtz-Gemeinschaft

Neutronenstreuung

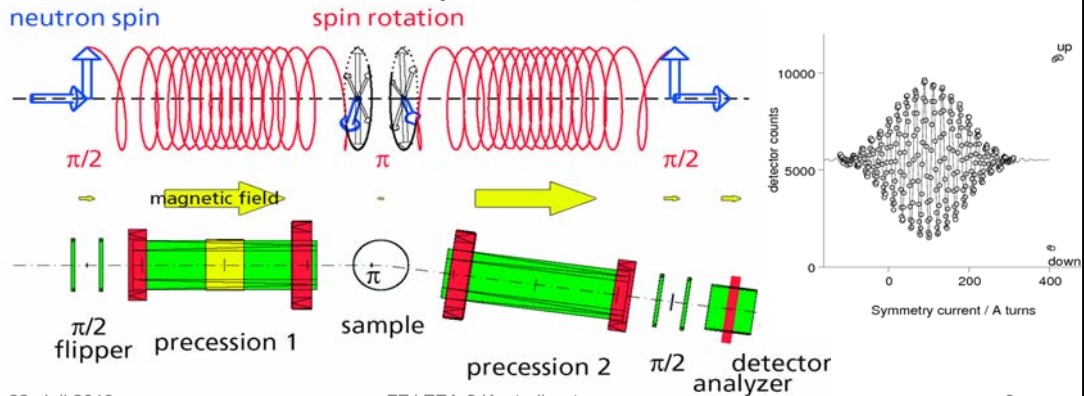
- Neutronenstrahl
 - hohe Eindringtiefe
 - Wechselwirkung mit leichten Atomkernen
 - Positionen, Bewegungen und magnetische Zustände
 - hoher Kontrast unterschiedlicher Isotope
- Neutronen werden von Atomkernen der Probe gestreut
 - Die Winkelverteilung ist ein Beugungsbild => Struktur der Probe
 - Verteilung über Zeit => atomare bzw. molekulare Bewegung
 - Festkörper, Emulsionen, organische Stoffe, Magnetismus ...
 - Wellenlänge $1\text{Å} \leq \lambda \leq 20\text{Å}$

Neutronenstreu-Experimente

- Elastische Streuung: keine Energieübertragung
 - Kristall-Diffraktometer
 - Pulver-Diffraktometer
 - Kleinwinkelstreuung
- Inelastische Streuung: mit Energieübertragung
 - 3-Achsen-Spektrometer
 - Time-of-Flight
 - Rückstreuung
 - Spin-Echo: höchste Auflösung inelastischer Streuexperimente erlaubt u.a. die detaillierte Beobachtung von Bewegungen in Proteinen, Mikroemulsionen, Polymeren und Bio-Polymeren wie z.B. von Diffusionsvorgängen durch Membrane ...

Spin Echo Prinzip

- Präzession polarisierter Neutronen im Magnetfeld, zweite Spule kompensiert erste Spule, Spinänderung bei Energieverlust in der Probe, Analysator „Bandpaß“

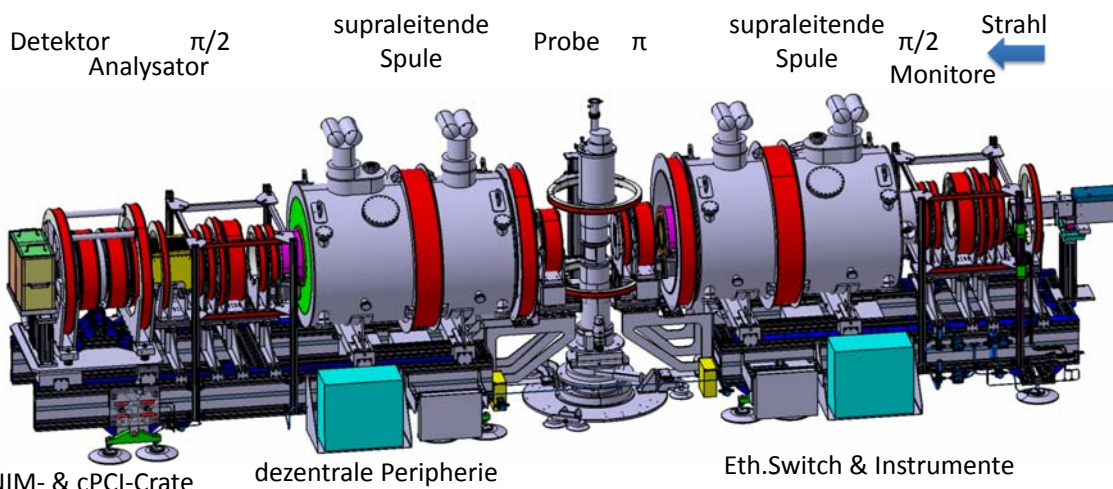


22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

9

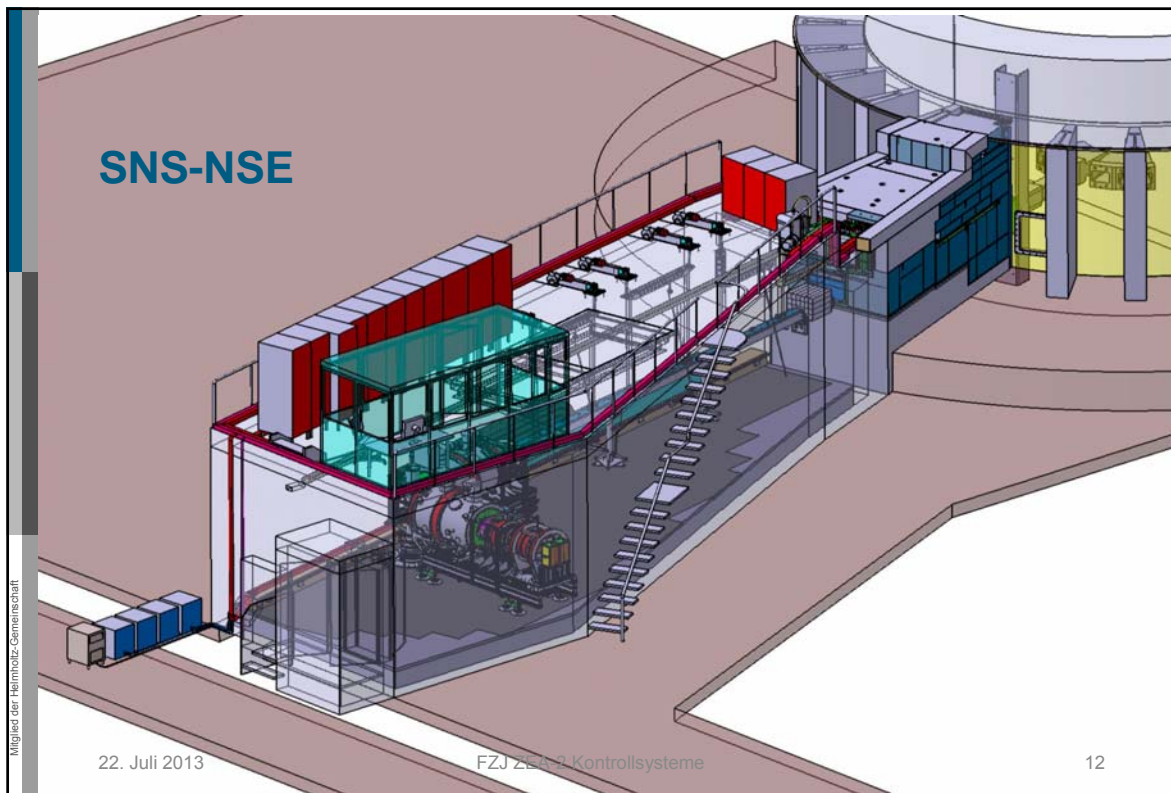
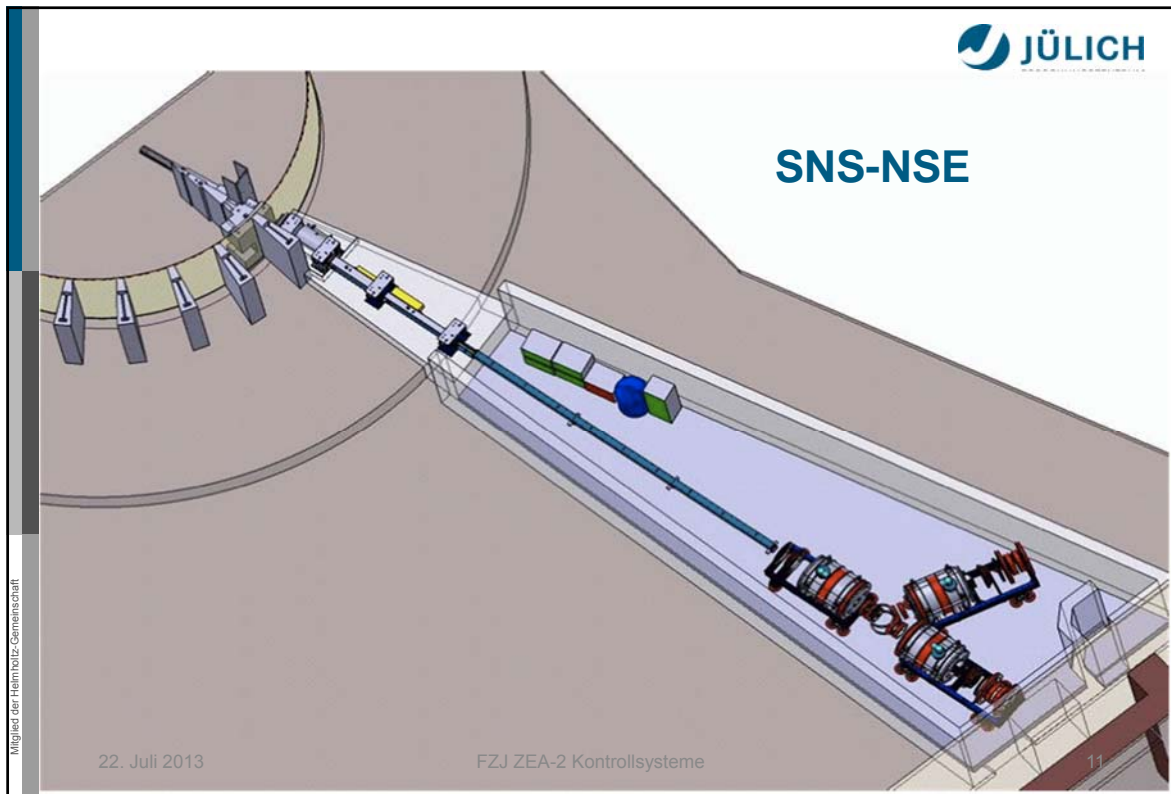
Überblick SNS-NSE



22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

10



Carrier im Enclosure



Mitglied der Helmholtz-Gemeinschaft

13

Meßhütte in der Target-Halle



Mitglied der Helmholtz-Gemeinschaft

14

Schaltschränke in der Target-Halle



22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

15

Mitglied der Helmholtz-Gemeinschaft

Überblick SNS-NSE

- Start Konstruktion April 2006, Betrieb Oktober 2009, User April 2010
- Weiterentwicklung des ursprünglich Jülicher NSE, jetzt FRM-2
- 16 Mio € Fertigungskosten
- NSE mit time-of-flight Messung
- großer fester Winkel $\Omega > 4^\circ \times 4^\circ$
- höchste Auflösung $\Delta Q/Q < 1\%$
- Wellenlänge $2\text{\AA} \leq \lambda \leq 20\text{\AA}$
- optionale Intensitäts-Modulation
- μ Metal Abschirmung und Magnetfeld-Kompensation
- supraleitende Spulen: 300A, 4K, 1.5T bei hoher Homogenität

22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

16

Mitglied der Helmholtz-Gemeinschaft

Aufgaben des DAQ- und Kontrollsystems

- 7 + 16 mechanische Achsen
- 4 Chopper
- Revolver mit fünf Positionen
- Kühlsystem, Vakuumsystem, Kaltmasse-Positions-Kontrolle
- 36 steuerbare Netzteile
- Probenumgebung
- Kammer-Degaussing, 5 Stück 3-Achs-Magnetfeldsensoren
- Auslese Monitore und Detektor, u.a. TOF inkl. Synchronisation
- Experimentsteuerung: NSE-Interpreter an TACO

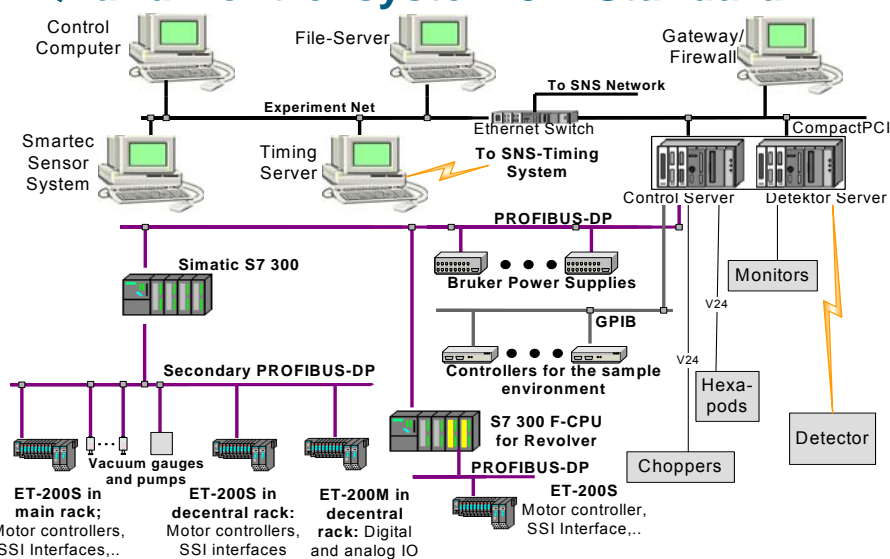
22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

17

Mitglied der Helmholtz-Gemeinschaft

DAQ- und Kontrollsystem JM-Standard



22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

18

Mitglied der Helmholtz-Gemeinschaft

Kontrollschrank Vorder- und Rückseite



22. Juli 2013



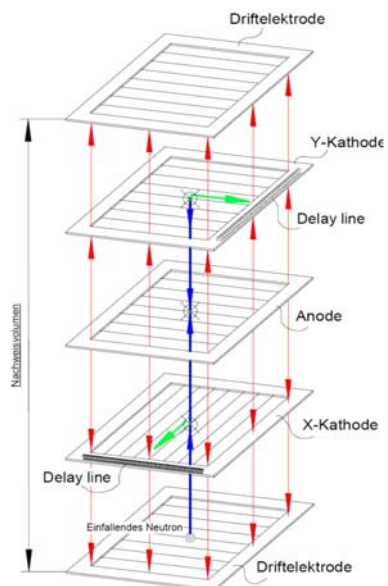
FZJ ZEA-2 Kontrollsysteme

19

Mitglied der Helmholtz-Gemeinschaft

Detektor

- MWPC Multiwire Proportional Chamber
- Neutronen schlagen in ^3He ein
=> Ionen-Paar durch Kernreaktion
=> proportionale Gasverstärkung bei 2,5...3kV
=> nC Entladung auf Anode und Kathoden
- Delay-Lines erzeugen örtlich abhängigen zeitlichen Versatz der Kathodensignale
- Ortsermittlung mit TDC, hier N110



22. Juli 2013

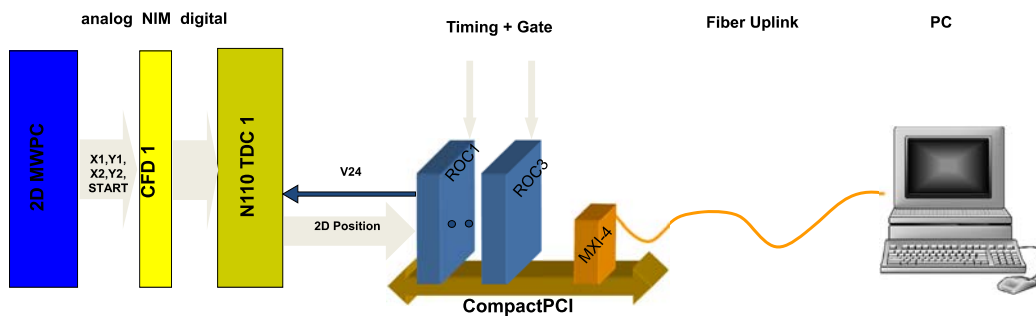
FZJ ZEA-2 Kontrollsysteme

20

Mitglied der Helmholtz-Gemeinschaft

Datenerfassung

- Detektor – Digitalisierung – Auslese – Rekonstruktion



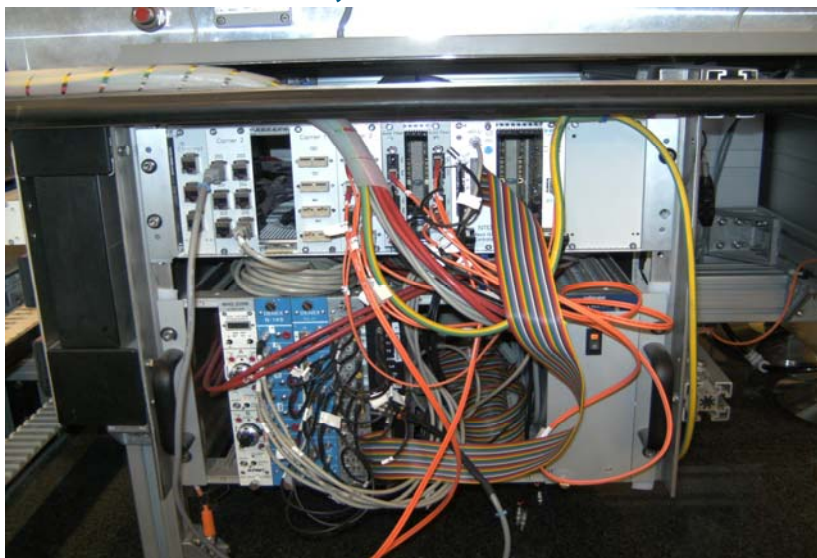
22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

21

Mitglied der Helmholtz-Gemeinschaft

Detektor-Elektronik, NIM- und cPCI-Crates



22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

22

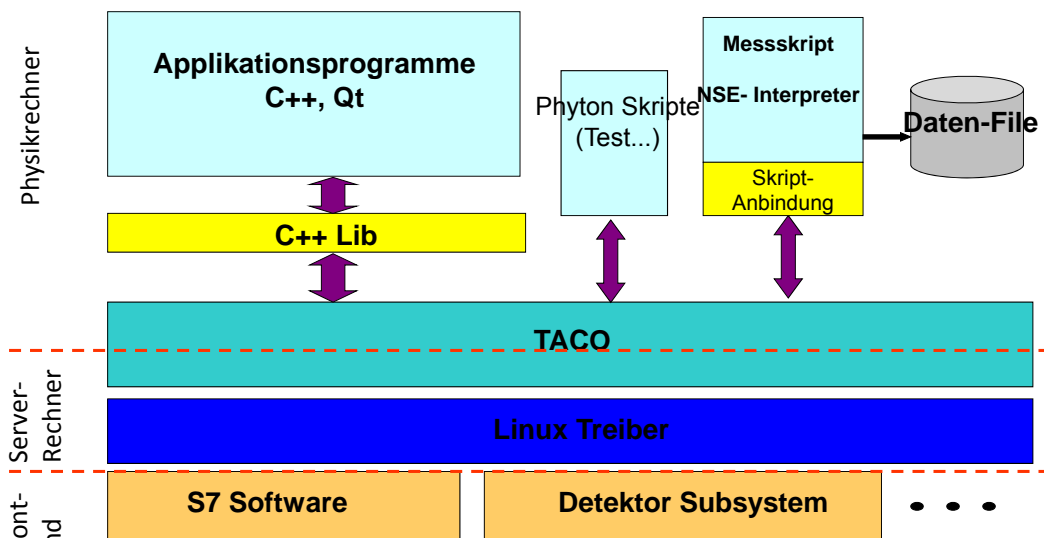
Mitglied der Helmholtz-Gemeinschaft



DAQ-Schrank

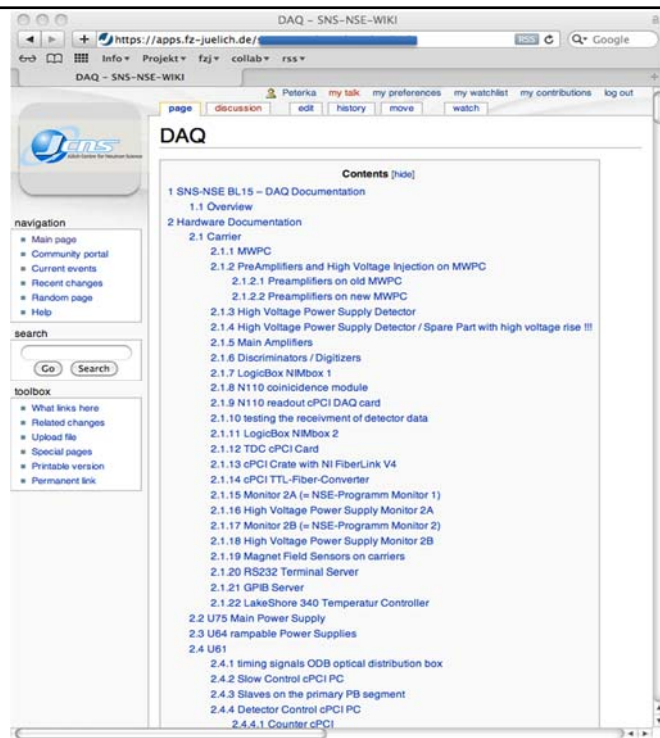
- Server
- NIM-Crate Sync
- Doppel-cPCI-Crate
- SLOW Control
- DET Control
- Monitor Tastatur
- Fiber-Patchbox
- SNS ODB
- KVM, VNC
- Ethernet-Switch
- Cable- & Fiber-Box
- UPS, Powerswitch²³

Software Hierarchie



SNS-NSE Wiki

- technische Dokumentation, direkt oder Dateien, Schaltplänen u.ä.
- Links auf Web-Cams und Geräte
- Hinweise zum Betrieb
- Manuals und Software der Hersteller



22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

25

Erfahrungen

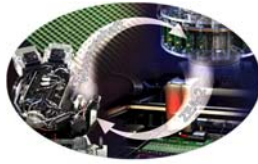
- Zusammenarbeit mit den Kollegen in USA ist angenehm
- viele Abläufe sind im ORNL formaler
- Zuarbeit ist unselbstständiger und strikt nach genehmigten Plänen
- Handwerker oft schlechter qualifiziert, sie halten strikt ihre Arbeitsbereiche ein
- Sicherheit ist stark formalisiert und wird ständig trainiert
- Probleme können eine Zeit lang bestehen, werden aber gelöst
- möglichst alle Komponenten remote zugänglich
- Wiki hat sich sehr bewährt

22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

26

Mitwirkende FZJ



- JCNS M.Monkenbusch, M.Ohl, N.Arend, T.Kozielewski, M.Sharp, P.Zolnierczuk, L.Stingaciu
- ZEA-2 Kontrollsysteme
P.Kämmerling, H.Kleines, M.Drochner, M.Wagener, R.Möller
F.Suxdorf, S.v.Waasen, F.J.Kayser, L.Fleischauer-Fuß,
A.Ackens
- ZEA-1 C.Tieman, R.Achten, M.Butzek
- G-ELI M.Bednarek, M.Heinzler, J.Heinen
- B-TE Karl-Heinz Mertens

22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

27

Zusammenfassung

- Das Datenerfassungs- und Kontrollsystem des Neutronenspincho-Spektrometers an der SNS (Spallation Neutron Source im ORNL, Tennessee USA) wurde vom ZEA-2 (Zentralinstitut für Engineering, Elektronik und Analytik, Systeme der Elektronik; vormals ZEL) in enger Zusammenarbeit mit dem JCNS (Jülicher Zentrum für Forschung mit Neutronen) des Forschungszentrums Jülich entwickelt. Wir erklären das SNS-NSE, dessen Datenerfassungs- und Kontrollsystem, erläutern die Rahmenbedingungen der Arbeit im Partner-Lab in Tennessee USA, den Projektverlauf und die erzielten Ergebnisse.

22. Juli 2013

FZJ ZEA-2 Kontrollsysteme

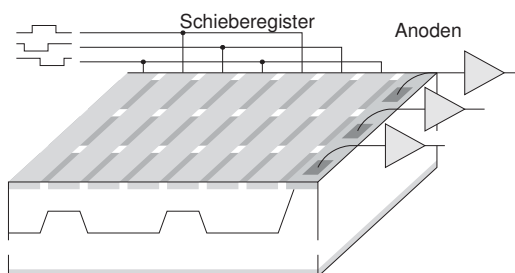
28

Ein schnelles Datennahmesystem für große PNCCDs

11. März 2013 | H. Gorke ¹, W. Erven ¹, D. Gotta ², R. Hartmann ³, G. Kemmerling ¹,
H. Loevenich ¹, L. Strüder ³, S. van Waasen ¹

¹ FZ Jülich (ZEA-2), ² FZ Jülich (IKP-2), ³ PNSensor GmbH

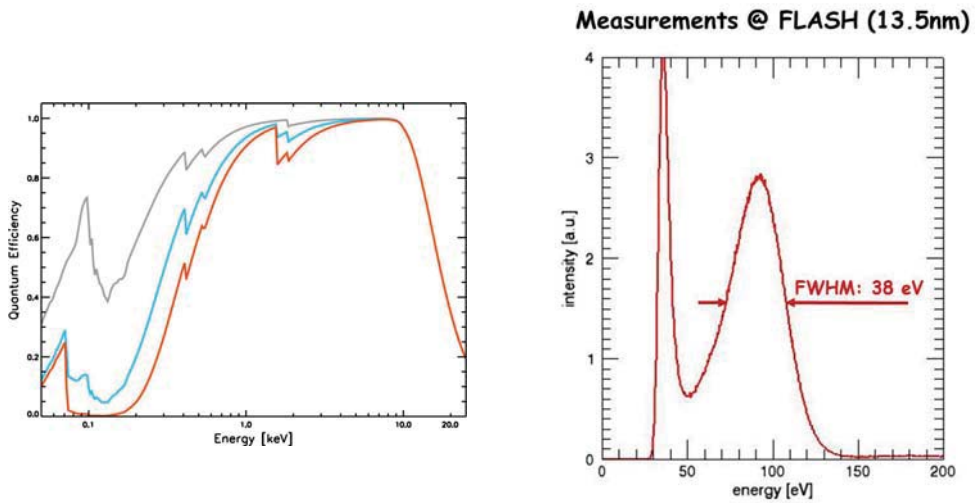
PNCCD



- vollständig depletiert
- Rückseitenbelichtung
dünnes Eintrittsfenster
- parallel Auslese (auch zweiseitig)
hohe Auslesegeschwindigkeit
- strahlungshart
- große Nachweiswahrscheinlichkeit

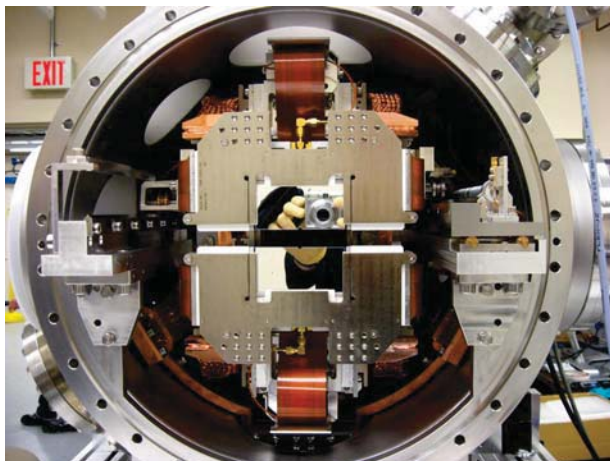
Detektor Dicke	450 μm (270 μm)
Detektor Geometrie	Rechtecke in 8x8 cm^2 (auch mit Loch!)
Pixel Größen	> 200 ... 36 μm^2 , z.Z.:(150), 75, 48 μm^2
Eintrittsfenster	~120 \AA
Detektorkapazität (Anode)	30 fF
Arbeitstemperatur	-30 °C ... -60 °C
Anwendungsbereich	1eV ... 25keV (0.1 ... 15keV)
Frame Rate	150 ... 1500 Hz Geometrie abhängig
	10 Mpixel/s pro Auslese Kanal
Elektronisches Rauschen	3 Elektronen r.m.s.
Auflösung (S/N > 5:1)	Einzel Photonen @ 100 eV

Nachweiswahrscheinlichkeit, Auflösung

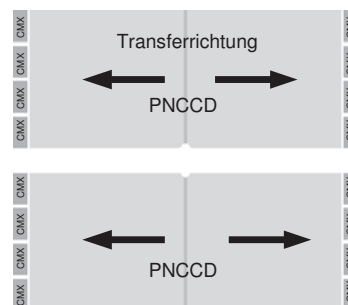


Bildmaterial, R. Hartmann PNSensor GmbH

PNCCD @ SLAC 2009 – 2012

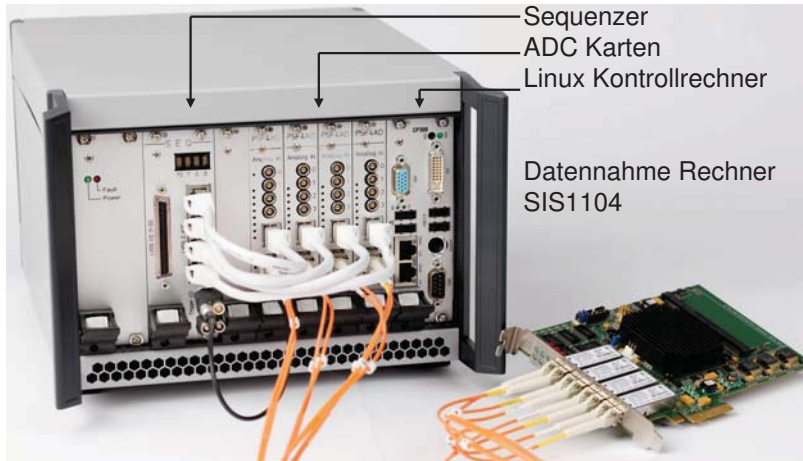


Bildmaterial, R. Hartmann PNSensor GmbH



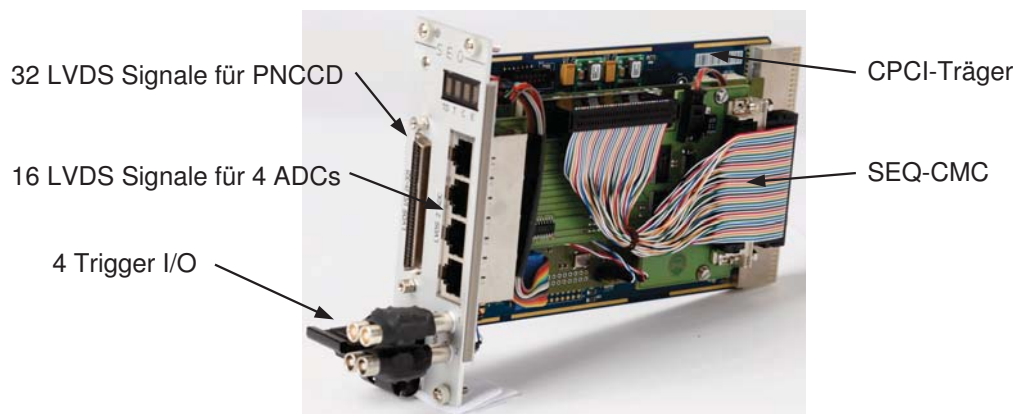
1k x 1k Pixel @ 120 Hz
d.h. Insgesamt 120 MPixel/s über 16 Auslesekanäle

Datennahmesystem Übersicht



- Sequencer
 - 10ns, 64bit Muster Generator
- ADC Karte
 - vier 14bit ADC 50 MHz
 - 2.5 Gb/s optische Link
- Linux Kontrollrechner
 - Archlinux, Centos/Redhat 5, 6
- SIS1104
 - 4 Lane PCIe
 - bis 640 MByte/s DMA

CPCI Sequenzer



- Bitmuster Generator
 - 10 ns Auflösung
 - 64 LVDS I/Os
 - 4 Trigger I/Os
 - längste Sequenz 5.2ms
- Software Interface
 - Linux Treiber
 - Kontrollprogramm
 - Sequenz Programmierung

Sequenzer Programmierung

```

Description()
{
Extra_Args:
    float exposureTime = 100.0; //! msec!!
Comment:
    Bit-Scan;
}

SEQfifo Timing(void)
{
    int i, e, s;

    s = CURRENT_ADDR;
    for (i = 0; i < 64; i++)
        e = MakeClock(i, s, 4096/(i+1), 20 * (i+1), 20 * (i+1), 0);
    for (i = e; i < 520000){
        MakeDelay(0, i, 5000);
        IncCounter(1);
        i = CURRENT_ADDR;
    }
}

SEQroutine Bscan(void)
{
    IncCounter(0);
    StartTimer(1000000.0 * exposureTime);
    Timing();
    RTS;
}

SEQmain MainLoop(void)
{
    int i;

    i = WhileHalt;
    JSR("Bscan");
    Jump(i-1);        //! Jump to 'WhileHalt' to close loop
}
    
```

CPCI vierfach ADC



4-fach ADC

- vier differenzielle, analog Eingänge
- 14 Bit ADCs @ 50 MHz
- Offset Kontrolle über DACs
- externe LVDS Steuerpulse
- TTL Ausgang

CPCI-Träger

- optisches 2.5 Gb/s Interface
- Linux Treiber
- Konfigurations Register über opto. lesbar
- Datennahme mittels DMA über PCI
- Online Überwachung des Datenfluß

Datennahme

SIS1104

- Konfigurations-Register von den ADC-Karten lesen
- ADC Daten zeilenweise anordnen
- Start/Stop des Datentransfer
- DMA Transfer der vorsortierten Frame-Daten

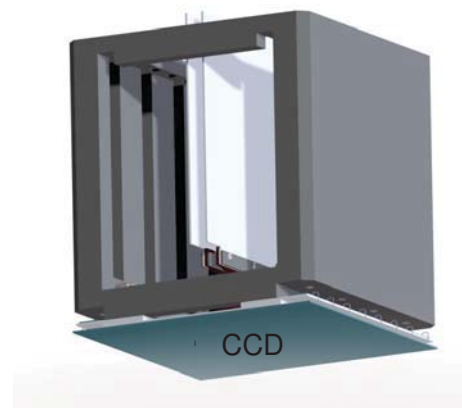
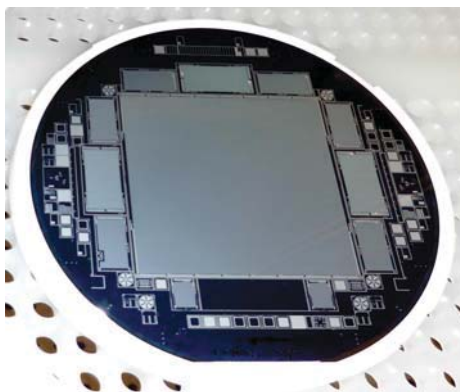
Datenreduktion mittels CUDA Device

- Offset Korrektur
- Common Mode Korrektur
- Reduktion mittels Thresholds
- Reduktion > 90% bei spektroskopischen Messungen

Es bleibt noch

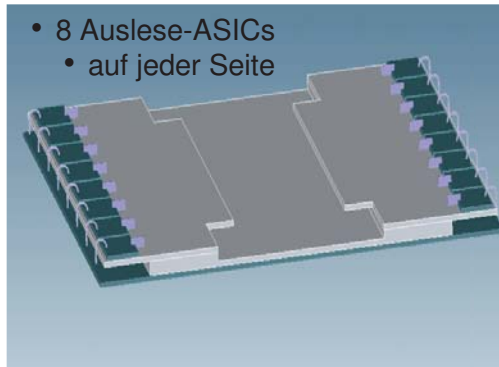
- Cluster-Analyse
- Verstärkungs-Korrektur
- Datenreduktion, Kompression bei Image Anwendungen

Nächste PNCCD Generation



80 x 80 mm²
1024 x 1024 Pixel
mit 75 x 75 µm² Größe
beidseitige Auslese über 16 Kanäle
wählbar fullframe oder framestore Auslese
an allen vier Seiten erweiterbar

Nächste PNCCD Generation



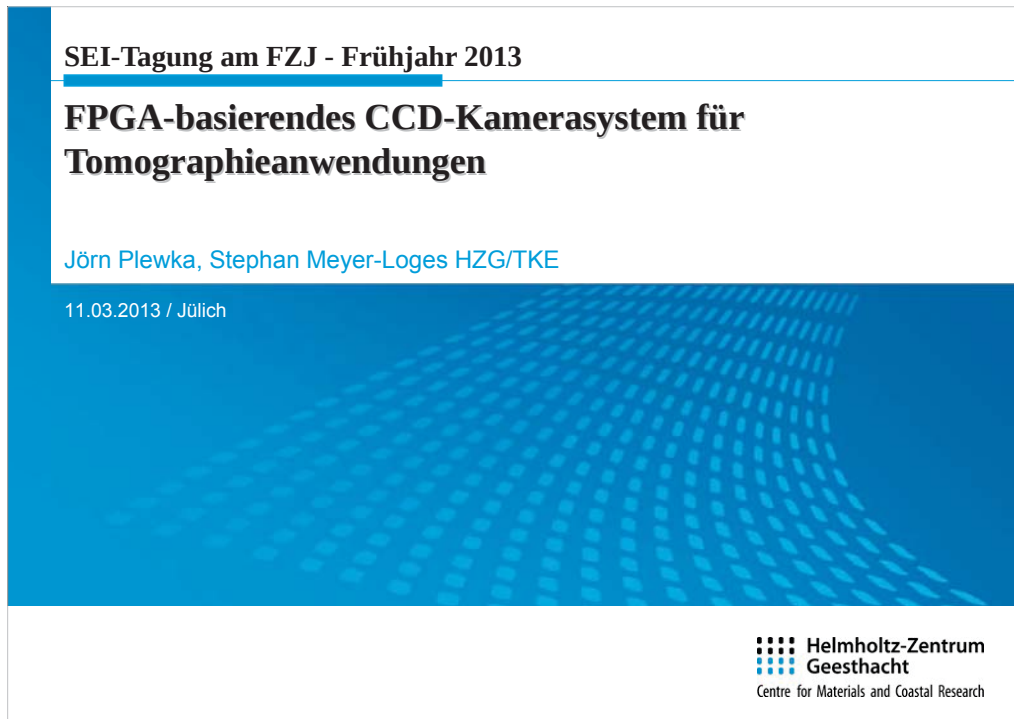
- 16 Auslese-ASICs pro Modul
- > 200 frames/s = > 400 Mbyte/s
- 16 ADCs über 1 optischen Link @ 4 Gb/s

- 4 Module pro Detektorplane
- 800 MPixel/s = 1.6 Gbbyte/s über vier Links

Bildmaterial, R. Hartmann PNSensor GmbH

Nächste DAQ Generation

- neue ADC Karte
16 ADCs direkt an der Detektorkammer
Datennahme und Konfiguration über einen optischen Link
- neuer Sequenzer
direkt an der Detektorkammer
höher Auflösung von 5 ns
flexible I/O Pegel
Rechneranbindung USB, Netz oder einen optischen Link
- SIS1104 wird ersetzt durch



SEI-Tagung am FZJ - Frühjahr 2013

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen

Jörn Plewka, Stephan Meyer-Loges HZG/TKE

11.03.2013 / Jülich

Helmholtz-Zentrum Geesthacht
Centre for Materials and Coastal Research

Helmholtz-Zentrum Geesthacht Zentrum für Material und Küstenforschung GmbH (ehemals GKSS-Forschungszentrum)

Die Elektronikabteilung ist Teil des Technikums und gehört zur technischen Infrastruktur.

Das Technikum hat seit einiger Zeit keinen Forschungsauftrag mehr, sondern ist als Dienstleister definiert und aufgestellt. Somit ist es in wissenschaftlichen Gremien auch nicht mehr vertreten.

Personalstärke der Elektronik:

18 incl. Ausbildung, davon acht Ingenieure (Dipl.-Ing. FH), zwei Techniker

Die Abteilung deckt das komplette Tätigkeitsfeld Elektrik, Elektronik und Informatik, am Hauptstandort Geesthacht sowie am FRM2 und bei Desy mit den gegebenen Möglichkeiten ab.

Die zentrale IT bietet z.B. nur noch isolierte Windows-Standard-Dienste und einfache Infrastruktur an. Daher unterstützen wir auch den Bereich der wissenschaftlichen IT.

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen

Helmholtz-Zentrum
Geesthacht
Centre for Materials and Coastal Research

Overview

- motivation and use of the cameras
- some words on how CCDs work
- camera and electronics overview
- CCD analog output signal chain (more detailed)
- FPGA control and resources
- imperfections of CCDs (and signal chain)



If everything is done: first picture

2

Die Kameras werden für die HZG-Versuchsanlagen am Petra-III-Beschleuniger (DESY) gebraucht.

Die Kameraentwicklung hat zum Ziel, einen sehr hohen Einfluss auf die Bilderzeugung zu gewinnen. Dies ist für die Tomographieanwendungen nötig, da auch ein besonders hoher Dynamikbereich angeboten werden soll. Die Kameras bekommen die Bildinformation von Photokonvertern, die mit Synchrotron-Stahlung beleuchtet werden. Die Kameras haben keine eigene Optik – die steckt in den Versuchsanlagen.

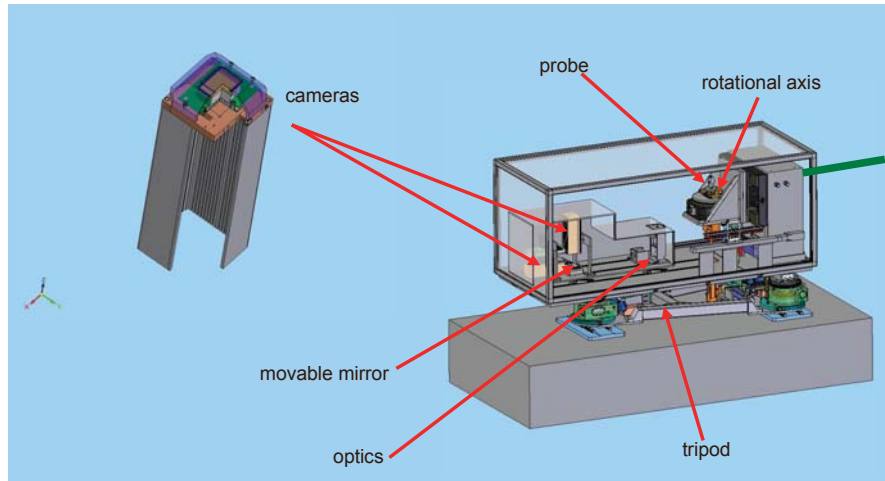
Der Vortrag beschreibt in Kürze die Signalaufbereitung zwischen Bildsensor und ADCs sowie die FPGA-basierende Steuerung.

Sensor und Digitalisierung bringen diverse Abweichungen mit, die auch noch temperaturabhängig sind. Die „guten“ Abweichungen lassen sich algorithmisch korrigieren, die „schlechten“ möchte man, soweit es geht, minimieren.

Die Kameras müssen vor der wissenschaftlichen Anwendung charakterisiert werden. Im Idealfall weiß man von jedem Pixel wieviele Photonen nach der Verarbeitung zu welchem Signalwert werden, und wie dies statistisch variiert.

**FPGA-basierendes CCD-Kamerasystem für
Tomographieanwendungen**

Tomography-Camera Setup



3

Diese Folie war im Vortrag in Jülich aus Zeitgründen nicht enthalten.

Sie zeigt ein (altes) Instrument aus der Röntgentomographie, in der die Kamera keinen Einsatz mehr fand. Rechts oben tritt der Synchrotronstrahl in die Anlage. Da Messzeit teuer ist, und die Kameras zeitlich das begrenzende Element bilden, sollten hier zwei Kameras wechselweise Bilder aufzeichnen. Dazu gibt es den beweglichen Spiegel und die rechtwinklige Anordnung der beiden Kameras. Das Grundkonzept ist bei anderen Anlagen wie IBL oder HEMS (an Petra-3@Desy) aktuell in Betrieb.

**FPGA-basierendes CCD-Kamerasystem für
Tomographieanwendungen**

Mission Parameter: Full control over the CCD sensors

Commercial cameras usually do a good job...

But you can't:

- do any mechanical changes required in a bigger setup
- build an intelligent detector - means build-in postprocessing
- do close coupling of mechanic movement and image capture
- increase effort to match critical parameters
- run new scientific sensors

Die Grenzen kommerzieller Kameras...

Ziel ist aber auch, Know-How zu Kamera-Technologie aufzubauen.

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen

Helmholtz-Zentrum
Geesthacht
Centre for Materials and Coastal Research

History:

Charge Coupled Device introduced
1969 by W.S. Boyle und G.E. Smith working
for AT&T's Bell Labs

Presented after about only one year of
development

Photo: Alcatel-Lucent/Bell Labs



- 1973 Franklin Institute's Stuart Ballantine Medal
- 1974 Patent Assignment
- 1974 IEEE Morris N. Liebmann Memorial Award

- 2006 Charles Stark Draper Prize
- 2009 Nobel Price of Physics

5

Auch diese Folie war in Jülich aus dem Vortrag entfernt.

Die Bedeutung der Erfindung des CCD wurde nach 40 Jahren mit dem Nobelpreis gewürdigt.

Motivation die Idee zum CCD auch umzusetzen:

Man wollte den beiden erheblich das Budget zusammenstreichen. Darauf hin haben sie sich etwas überlegt, mit dem sie kurzfristig würden punkten können.

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen

Current Sensor:

E2V CCD42-40 Ceramic AIMO Back Illuminated Compact Package High Performance CCD Sensor

- 13.5 × 13.5 µm pixels
- 2048 × 2048 pixel format
- Image area 27.6 x 27.6 mm
- Back Illuminated / 100% active area
- Full-frame operation
- Very low noise output amplifiers



Current Housing:

- Front Cover: 3D-Plotted
- Heatsink: Water cooled (<30°C) copper block
- Sensor cooled via dual stage peltier element
- Commercial Aluminium-Profile (EMV-enhanced)
- Back: Aluminium, drilled cover plate
- Connectors: Ethernet, PrgCable, RS232, Power, Trigger-In, Trigger-Out/Shutter

6

Der Sensor kostet 15k€ u.a. durch die große Siliziumfläche. Daher macht ein hoher Aufwand zum Schutz des Sensors Sinn.

Das Schutzglas des Sensors ist abnehmbar. Ggf. wird der Bereich um den Sensor herum mit Argon gefüllt/durchströmt (thermische Isolierung) und die Scheibe weiter vorne in der Haube eingesetzt.

Die Gegenstelle der Kamera ist ein PC unter Linux. Damit die Übertragung per IP/UDP solide funktionieren kann, muss man die entsprechenden Einstellungen an Kernel und Pufferung durchführen und vernünftige Netzwerkkarten nutzen!

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen



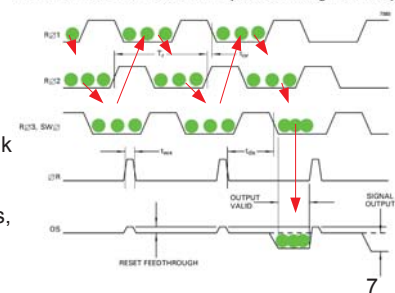
CCD: How does it work?

- Often used analogy is a convenient belt in rain
- This shows collection/movement of charge
- Works more like (tsunami) ocean waves: water doesn't really travel, energy does
- Shifting wave reduced to three phases (min.)

CCD: What's special?

- Passive device, external control
- Digital control, but using „strange“ levels
- High capacitive load, moving baseline, crosstalk
- Fast switching near to precision analog
- Three types of control signals: static bias levels, phase signals (clocks), output signals

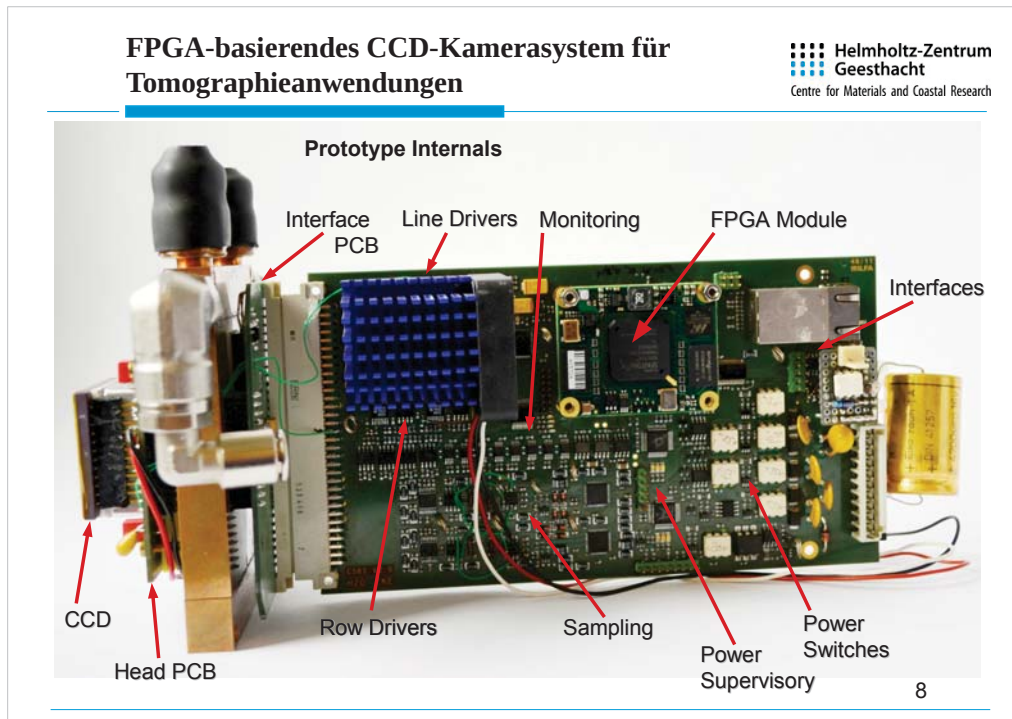
DETAIL OF OUTPUT CLOCKING (Operation through both outputs)



Auch wenn die Urväter des CCD es in einem Jahr geschafft haben, den CCD mit Kamera zu konzipieren und zum Laufen zu bringen, ist es nicht so einfach ihm brauchbare Bildinformationen zu entlocken

Ein CCD ist eine passive, kapazitive Struktur, die mit Taktphasen die Ladungen transportiert. Diese Schiebemuster werden digital erzeugt, jedoch kommen hohe positive und negative Spannungspegel zum Einsatz. Zusätzlich sind weitere BIAS-Spannungen nötig.

Die recht schnellen Anstiegszeiten und die kapazitive Last fordern entsprechend geeignete Treiber nebst Beschaltung. Die Seiteneffekte durch die Steuersignale sollen dabei aber nicht auf das Bildsignal übersprechen.



Das FPGA-Modul bietet u.a. knapp 100 IOs und zwei getrennte DDR-DRAMs und einen Gigabit PHY. Im FPGA steckt ein Embedded-System mit viel Standard-Peripherie und einiger spezieller Peripherie. Die DRAMs sind eingebunden (ohne DMA), werden aber derzeit von der Software nicht genutzt.

PowerManager, Sensorik, DACs (32 Kanäle), Supervisory-ADCs werden durch Prozessorsystem im FPGA gesteuert. Hier kommen serielle Busse (SPI und I²C) zum Einsatz. Alle Versorgungsspannungen und -ströme werden überwacht und abgeschaltet, wenn sie nicht korrekt sind.

Die ADCs für die Bilddaten benötigen eine besondere SPI-Ansteuerung, um ihre Vorteile erbringen zu können (Clock-Gating, 75MHz synchron).

Unter dem Kühlkörper befinden sich die (zu) starken Linedriver. Diese bilden eine störende Wärmequelle, weshalb wir sie ersetzen werden.

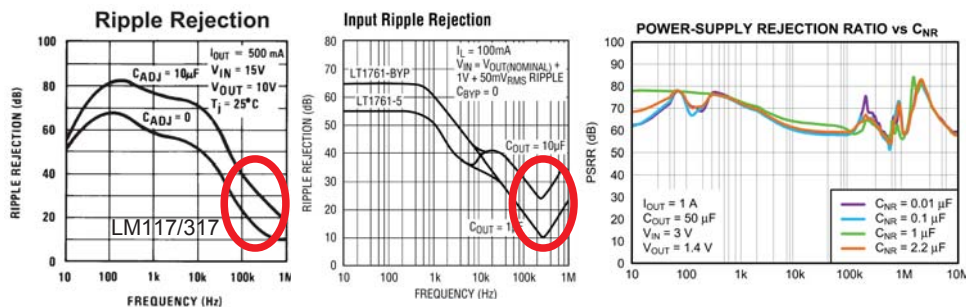
Die Leiterplatte hat noch Probleme mit der Energieversorgung (siehe Kondensator). Diese war für die hohe Präzision zu einfach konzipiert. Spannungsabfälle auf Masse und Versorgung, thermische Drift sowie die Unsymmetrie der positiven und negativen analogen Versorgungsspannung usw. fordern eine Überarbeitung.

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen

Pitfall:

Power Supply, Simple Switches and Linear Regulators

► Can be a very nice **and** a bad combo!



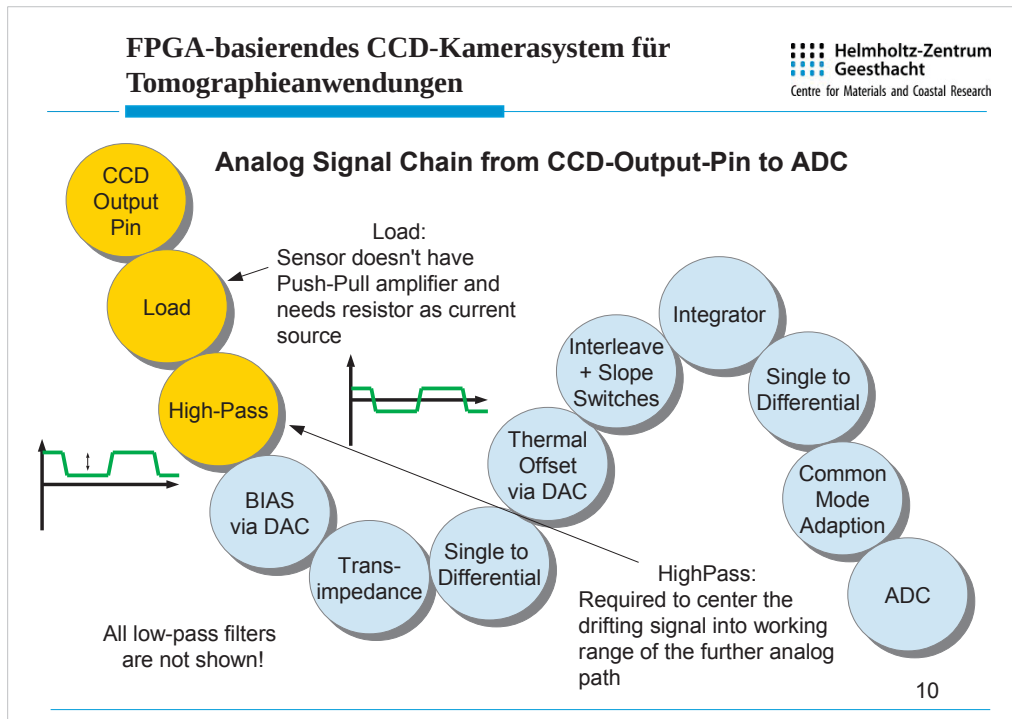
9

Bei der Energieversorgung hat man die Wahl zwischen Längsregelung und Schaltregler. Wir hatten ursprünglich externe Längsregler und Low-Emission-Schaltnetzteile im Einsatz, die die Leiterplatte gespeist haben.

Wider Erwarten, haben die Längsregler in den Analogspannungen erhebliche Artefakte im Bild erzeugt – mit niederfrequenten Störungen. Wir haben zwischenzeitlich einfache Hutschienenschaltregler verwendet, die zumindest verstecktere Artefakte produzieren.

Grundsätzlich soll die Kamera später mit möglichst nur einer Betriebsspannung versorgt werden. Weiterhin sind auf dem FPGA-Modul Schaltregler verbaut, auf die wir keinen Einfluss haben.

In der nächsten Version wird die Kombination Low-Emission-Schaltregler plus intensiver Filterung und nachfolgenden HF-LDO-Reglern zum Einsatz kommen. Normale LDOs (siehe oben) bieten genau im Arbeitsbereich der normalen Schaltregler eine schlechte Störunterdrückung.



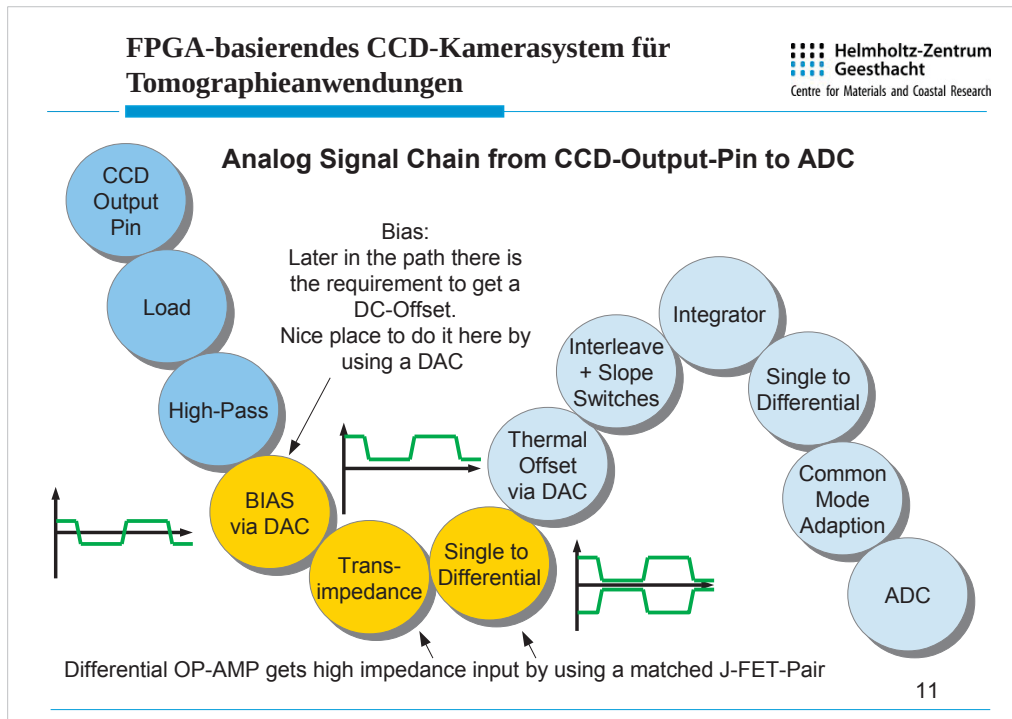
Der Weg des Signals aus dem Bildsensor bis zur Digitalisierung:

Der Sensor hat keine Gegentaktendstufe im Ausgang, er benötigt zur Signalerzeugung eine Stromquelle – im einfachsten Fall ist das ein Widerstand.

Die kapazitive Struktur liefert keine auf Masse/Substrat bezogenen Signale. Um das Signal in den Arbeitsbereich zu bekommen, bietet sich eine AC-Kopplung mit hochwertigen Kondensatoren an. Das funktioniert, weil der Sensor im Wechsel Pixelinformation und Referenz ausgibt. Diese variierende Referenz wird im folgenden „Nicht-Pixel“ genannt!

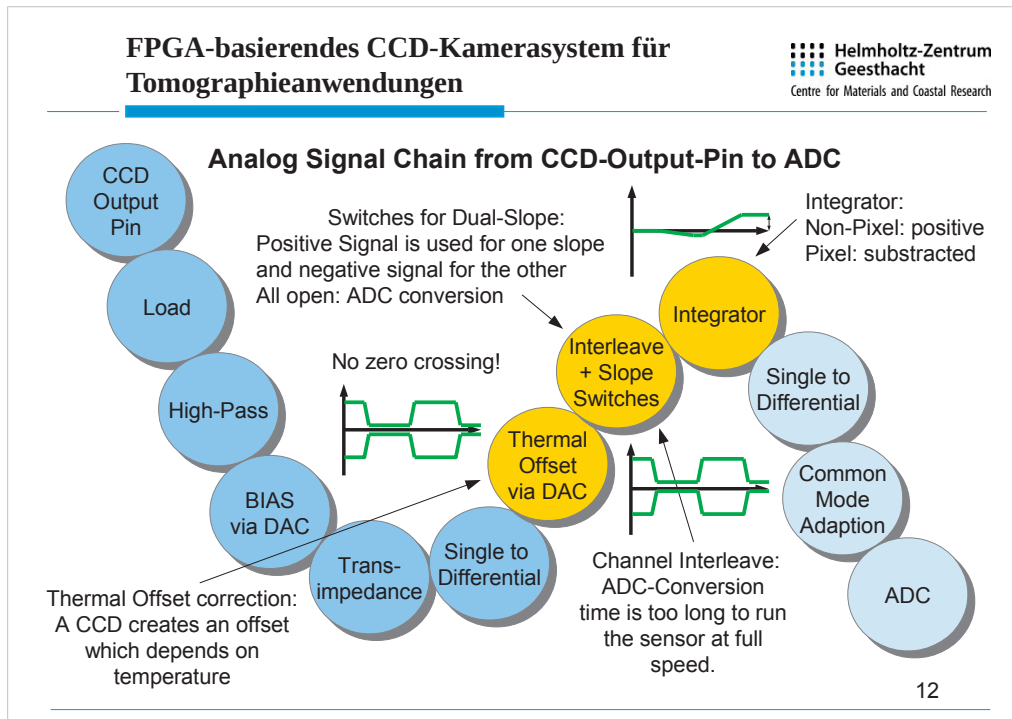
Bei schnelleren Sensoren verwendet man direktes Correlated-Double-Sampling und bildet die Differenz aus Pixel und „Nichtpixel“ (Referenz).

Wir nutzen also ein langsames, aber potentiell präziseres, Integrationsverfahren.



Für die spätere Anwendung des Integrationsverfahrens, muss man dafür sorgen, dass die Baseline von Masse entfernt ist, und das Signal nie die Polarität ändert. Es wird dazu ein definierter Offset eingepreßt. An dieser Stelle der Schaltung lässt sich das sehr einfach machen (nur ein Widerstand).

Der Ausgang des CCDs (mit ext. Stromquelle) ist hochohmig, daher ist eine Transimpedanzwandlung nötig. Diese kann man mit einem Paired-JFET und einem Operationsverstärker mit differentiellem Ausgang durchführen (Current-Mirror-Schaltung). Diese Schaltung ist sehr hilfreich und erzeugt ein differentielles Signal zur weiteren Verarbeitung. Die differentielle Signalführung ist auch von Vorteil, weil das Signal bedingt durch mechanische Vorgaben, einen vergleichsweise langen, nicht optimalen Weg, zur weiteren Verarbeitung zurücklegen muss.



Bildsensoren verändern ihren Dunkelstrom mit der Temperatur.

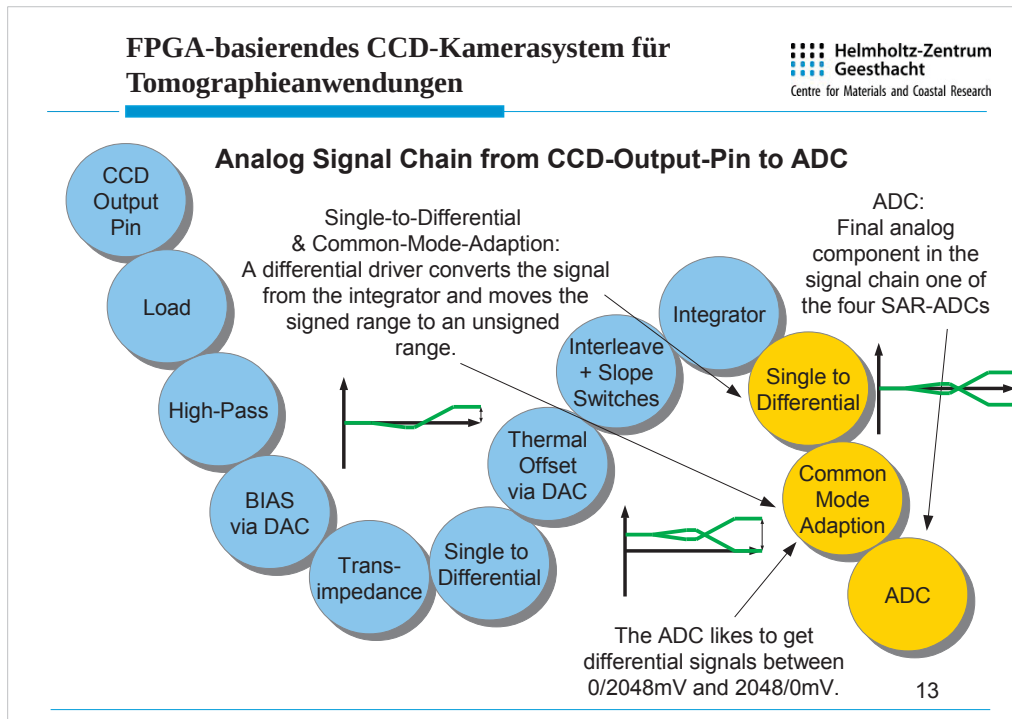
Wenn man sie kühlt, sinkt dieser Dunkelwert (Offset). Weiterhin ergibt sich die konzeptionelle Notwendigkeit das differentielle Signal um wenige mV ins Positive zu verschieben, denn man möchte den Dunkelwert des Sensors auf jeden Fall im späteren Bild sehen. Verändert man hier nichts, liegen die Dunkelwerte einiger Pixel analog unterschiedlich weit unter Null, sind aber digital einfach Null.

Mit einer Anpassung auf die Betriebstemperatur kann man für eine optimale Ausnutzung des Dynamikbereichs des ADCs sorgen.

An dieser Stelle kann kommen daher ein voll-differentieller OP mit Offset-Verstellung zum Einsatz. Ein DAC gibt den (verstellbaren) Offsetwert vor.

In der nächsten Stufe, werden aus dem differentiellen Signal zwei getrennte Signale. Per MOS-Schalter wird das Nicht-Pixel mit dem negativen Teilsignal integriert und danach das Pixel mit dem Positiven. Danach wird das Signal für die Digitalisierung gehalten und später zurückgesetzt. Auf diese Weise bekommt man schon an dieser Stelle analog den gesuchten Signalhub zwischen Pixel und Nichtpixel (Referenz).

Besonders schwierig ist hierbei, den Integrator mit hoher DC-Präzision zu realisieren (Stabilität, Temperaturdrift usw.).

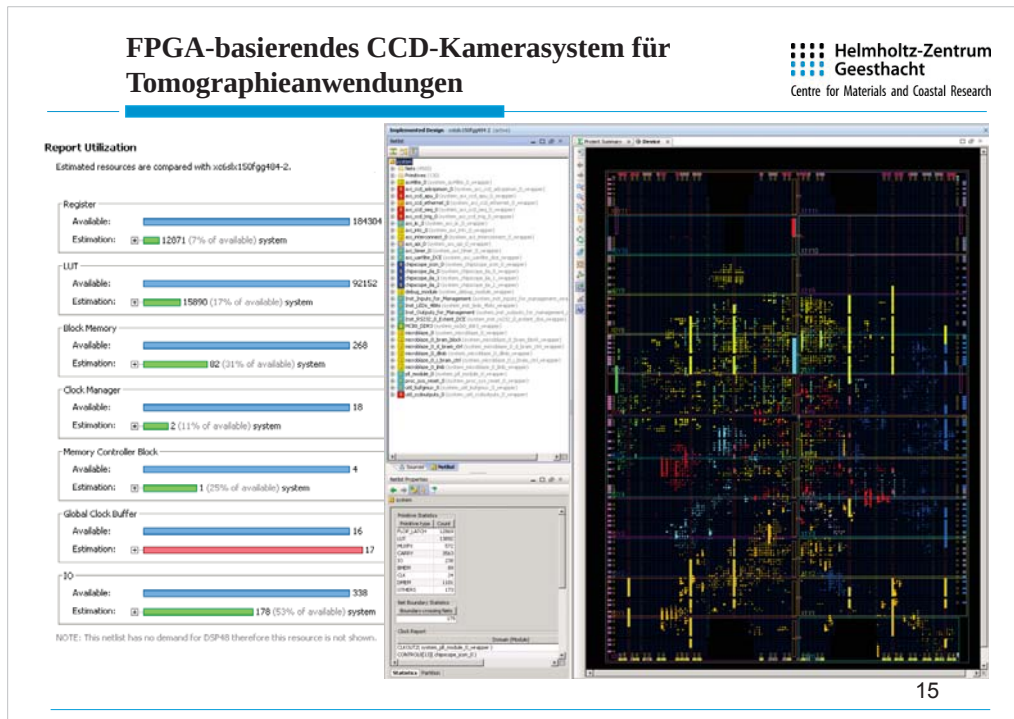


Ein ADC-Buffer macht aus dem Single-Ended-Signal am Ausgang des Integrators wieder ein differentiellles Signal für das SAR-ADC.

Ohne weitere Maßnahmen bliebe die untere Hälfte des Messbereichs des ADCs ungenutzt. Daher verschiebt ein geeigneter ADC-Buffer den Arbeitsbereich um die Hälfte nach oben. Aus dem vorzeichenbehafteten Arbeitsbereich wird damit ein Vorzeichenloser.

Der kapazitive SAR-ADC verursacht eine stark schwankende Impedanz am Referenzspannungs-Eingang. Daher ist hier u.a. ein geeigneter Kondensator mit optimalem direktem Zugang zu Pin und Energie (keine Durchkontaktierung) sehr wichtig!

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen



15

Hier ein Ressourcenüberblick, welche Komponente im FPGA wieviel Platz belegt: Damit es potentiell möglich ist, bereits in der Kamera aufwendigere Berechnungen oder Kompensationen durchzuführen, ist die Ansteuerung für zwei getrennte 128MB große DDR-RAMs schon integriert (ohne das DMA, was man dann nutzen würde), um diese Ressourcen vorzubelegen. Das FPGA-Modul bringt die Speicher bereits mit.

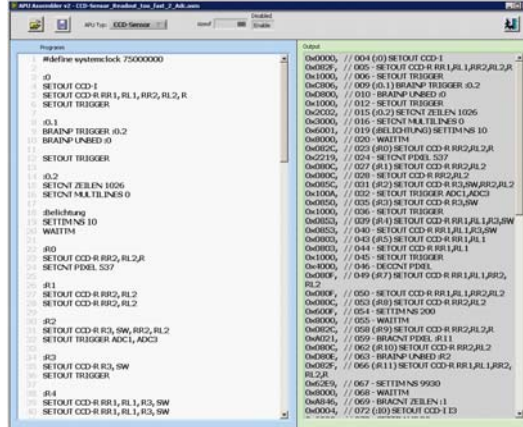
Wie man sieht, sind noch einige Ressourcen frei und auch die Frequenzanforderung ist unproblematisch. Der Programmcode passt derzeit noch vollständig im 64kB BRAM. Der Programmcode für die Steuerung ist objektorientiert realisiert, **printf** (oder gar **cin**) sind gegen die sparsame Variante **xil_printf** ausgetauscht worden.

Eine knappe Ressource (in obiger Abschätzung sogar überbelegt – rot) sind die BUFGMUX, die sowohl für die diversen synchron abgeleiteten Takte als auch das Clockgating an den ADCs verbraucht werden.

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen

APU: Auxillary-Processing-Unit (used to control CCD-Readout, **not sampling**)

- basically an execution unit plus BRAM
- main CPU used to fill this APU-RAM
- acts fully autonomous
- simple but effective structure
- Eight COMMANDS:
 - SETCounTer,
 - DECrementCouNter,
 - SETTiMe,
 - WAITTiMe,
 - BRANch-on-INPut (+Jump),
 - BRANch-on-CouNter,
 - SETOUTput,
 - NOP
- 16Bit Commands
(3bit CMD, 2 Modifier, 11 Value)
- 75 MHz clock, two clocks per CMD
(wait with each clock)



```

Program
#define systemclock 75000000
i0
SETOUT CCD-R
SETOUT CCD-R RR1, RL1, RR2, RL2, R
SETOUT TRIGGER
i0.1
BRANP TRIGGER i0.2
BRANP UNBED i0
SETOUT TRIGGER
i0.2
SETOUT ZEILEN 1026
SETOUT MULTILINE 0
i0.3
SETTIMS 10
WAITTiMe
i0.4
SETOUT CCD-R RR2, RL2,R
SETOUT PIXEL 537
i0.5
SETOUT CCD-R RR2, RL2
SETOUT CCD-R RR2, RL2
i0.6
SETOUT CCD-R R3, SW, RR2, RL2
SETOUT TRIGGER ACC1, ACC3
i0.7
SETOUT CCD-R R3, SW
SETOUT TRIGGER
i0.8
SETOUT CCD-R RR1, RL1, R3, SW
SETOUT CCD-R RR1, RL1, R3, SW
Output
// 004 (0) SETOUT CCD-R
0x0000 // 005 - SETOUT CCD-R RR1, RL1, RR2, RL2, R
0x1000 // 006 - SETOUT TRIGGER
0x2000 // 007 (0.1) BRANP TRIGGER i0.2
0x3000 // 010 - BRANP UNBED i0
0x4000 // 012 - SETOUT TRIGGER
0x5000 // 015 (0.2) SETOUT ZEILEN 1026
0x6000 // 016 - SETOUT MULTILINE 0
0x7000 // 019 (BRANP UNBED) SETTIMS 10
0x8000 // 020 - WAITTiMe
0x9000 // 023 (0.0) SETOUT CCD-R RR2, RL2, R
0xA219 // 024 - SETOUT PIXEL 537
0xB000 // 028 - SETOUT CCD-R RR2, RL2
0xC000 // 031 (0.2) SETOUT CCD-R RR2, SW, RR2, RL2
0xD000 // 032 - SETOUT TRIGGER ACC1, ACC3
0xE000 // 035 (0.3) SETOUT CCD-R R3, SW
0xF000 // 036 - SETOUT TRIGGER
0x0852 // 039 (0.4) SETOUT CCD-R RR1, RL1, R3, SW
0x1000 // 040 - SETOUT CCD-R RR1, RL1, R3, SW
0x2000 // 043 (0.5) SETOUT CCD-R RR1, RL1
0x3000 // 044 - SETOUT CCD-R RR1, RL1
0x4000 // 045 - SETOUT TRIGGER
0x5000 // 046 - DECCNT PDEL
0x6000 // 049 (0.7) SETOUT CCD-R RR1, RL1, RR2, RL2
0x7000 // 050 - SETOUT CCD-R RR1, RL1, RR2, RL2
0x8000 // 053 (0.8) SETOUT CCD-R RR2, RL2
0x9000 // 054 - SETTIMS 100
0xA000 // 055 - WAITTiMe
0xB000 // 058 (0.9) SETOUT CCD-R RR2, RL2, R
0xC000 // 059 - BRANP UNBED, R11
0xD000 // 062 (0.10) SETOUT CCD-R RR2, RL2
0xE000 // 065 - BRANP UNBED, R2
0xF000 // 066 (0.11) SETOUT CCD-R RR1, RL1, RR2, RL2, R
0x0853 // 067 - SETTIMS 9900
0x1000 // 068 - WAITTiMe
0x2000 // 069 - BRANP UNBED, R11
0x3000 // 072 (0.0) SETOUT CCD-R
  
```

16

Um die Signale zum CCD mit hinreichender zeitlicher Auflösung steuern zu können, ist der Hauptprozessor zu langsam. Während der Bildaufnahme wird der Hauptprozessor in einer Interrupt-Routine „geparkt“.

Die Signalerzeugung muss bestimmte Zeiten warten und Ausgänge setzen können. Weiterhin benötigt man einige Zähler und bedingte und unbedingte Sprünge, um z.B. Zeilen, Pixel zu zählen und ggf. zu verzweigen. Sie muss auf Eingänge, Zeiten und Zählstände reagieren können - wie z.B. einen Trigger oder eine beendete Zeile. Alle Zähler sind in Grey-Code realisiert.

Dazu wurde eine kleine Auxillary-CPU integriert, die man in einem Assembler programmieren kann und deren Programm die Haupt-CPU vor der Bilderfassung in einen gemeinsamen Speicher schreibt. Man könnte auch modifizierenden Code abarbeiten, denn die Haupt-CPU kann den Programmcounter „sehen“.

Wegen der Latenz der BRAMs ist es günstig, zwei Takte pro Befehl zu verwenden. Das Warten kann bei der gewählten Frequenz im 75MHz-Raster erfolgen, die Befehlsfrequenz ist 37,5 MHz.

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen

SEQ: Sequencing-Unit (used to control Dual-Slope, Sampling, ...)

- one channel per ADC
- basically terminal counters plus BRAM
- addressed ROM-Table, filled by main CPU
- gets triggers from APU
- High speed, low noise counters (grey code)
- 200 MHz clock, 5ns resolution, SDR
- each bit controls one MOS-Switch
- BRAM: 4K*5 (6) per ADC channel

```
#ifndef _seq_code_included_
#define _seq_code_included_

// nconv=1, pos=2, neg=4, gain=8, clr=16, RESTORE=32
// Erste Zeile ist länger (Reset durch andere
Clockdomain!)
volatile Xuint32 seqcode[] = {
    0x11111111,
    0x11111111,
    0xb0b0b0b,
    0xb0b0b0b,
    0xb0b0b0b,
    0xb0b0b0b,
    0xb0b0b0b,
    0xb0b0b0b,
    0xb0b0b0b,
    0xb0b0b0b,
    ...
}
```

```
uint32_t timebase = 5000;
// Oszillatorperiode in Pikosekunden (gerundet)

enum seq_bit {
    NCONV = (1<<0),
    POS = (1<<1),
    NEG = (1<<2),
    GAIN = (1<<3),
    CLEAR = (1<<4),
    RESTORE = (1<<5)
};

struct seq_entry {
    uint8_t mask;
    uint32_t ps;
};

volatile seq_entry seqcode[] = {
    { 0 | CLEAR | 0 | 0 | 0 | NCONV, 2*timebase},
    { 0 | 0 | GAIN | 0 | POS | NCONV, 24*timebase},
    { 0 | 0 | 0 | 0 | 0 | NCONV, 36*timebase},
    { 0 | 0 | GAIN | NEG | 0 | NCONV, 24*timebase},
    { 0 | 0 | 0 | 0 | 0 | NCONV, 25*timebase},
    { 0 | 0 | GAIN | 0 | 0 | 0, 5*timebase},
    { 0 | 0 | GAIN | 0 | 0 | NCONV, 133*timebase},
    { 0 | CLEAR | GAIN | 0 | 0 | NCONV, 1*timebase},
    // (RESTORE | CLEAR | GAIN | NEG | POS | NCONV, x*timebase),
};
```

Better to enter a few „speaking“ control lines, than several hundred hex lines...

Für die Steuerung der Digitalisierung und der Integration bietet die APU deutlich zu wenig Zeitauflösung.

Dazu wird ein ganz einfacher Sequenzer verwendet, der allerdings mit 200MHz SDR-arbeitet, also mit 5ns Zeitauflösung. Optional kann man ihn auch mit 2,5ns per DDR betreiben, benötigt aber doppelt so viel Speicher, um die gleiche Dauer abzubilden. Als Taktquelle verwenden wir einen besseren LVDS-Oszillator.

Jeder der vier unabhängigen Kanäle kann autonom max. 8 Ausgänge steuern (das ist generisch programmiert, aber dann ist das Langwort gefüllt).

Nach einem Trigger arbeitet der Sequenzer die zuvor angegebene Anzahl von Speicherzellen ab, und schickt die Muster auf die Leitungen – u.a. zu den MOS-Schaltern, und bleibt dann auf dem letzten Muster stehen. Es handelt sich im Detail jeweils um ein RAM mit einem gesteuerten (Grey-Rückwärts)-Zähler.

Die vier Startsignale stammen aus der per PLL synchron abgeleiteten 75MHz-Taktdomäne. Die Idee 240MHz direkt zu verwenden, wurde verworfen, da Start-Jitter und stärkeres Delay wegen der Synchronisation die Folge sein würde.

Systemtakt $240\text{MHz} \cdot 10/2 = 600\text{MHz}/5 = 120\text{MHz}$ für Phy usw.

$600\text{MHz}/3 = 200\text{MHz}$, $600\text{MHz}/8 = 75\text{MHz}$...

**FPGA-basierendes CCD-Kamerasystem für
Tomographieanwendungen**

CCD simple correction example (image not taken by our camera!)



Simple strategy used in astronomy (further enhancements used, too):

- take enough dark-pictures and average them
(contains thermal bias if taken at same temperature)
- take flatfield images at 30-50% saturation of ADC and average them
(usefull dynamics - no pixel gets too much light, includes optics)
- use difference to dark-picture to remove offset, use flatfield to normalize


18

Eine Photozelle im CCD konvertiert Licht statistisch linear. CCDs bestehen aus Millionen von Photozellen, die sich je nach Präzisionswunsch erheblich unterscheiden. Früher hat man bei sehr stark abweichenden Pixeln von Defekten gesprochen. Weiterhin ist die ganze Ausleseketten natürlich nicht perfekt. Überall entstehen Unterschiede bei Offset und Gain, die sich verschieden auswirken. Am Ende der analogen Kette folgt das ADC, was schon auf ersten Blick Nichtlinearität beisteuert. Wenn das noch nicht ausreicht, bringt das optische System weitere Störeffekte – im einfachsten Fall ist das bereits Staub.


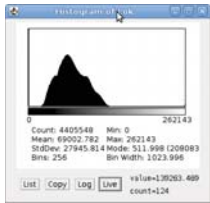
In der Astronomie gibt es ein Verfahren, bei dem man nach dem Warmlauf der Elektronik alle Einstellungen macht, den Schwarzwert (mit genügend Bildern!) ermittelt und dann nichts mehr verändert. Dann wartet man auf den Zeitpunkt, bis der den Sonnenuntergang den Himmel so ausleuchtet, dass alle Pixel möglichst viel Licht bekommen aber (fast) keiner überbelichtet und die Sterne noch nicht zu sehen sind. Damit hat man eine Normierung des Schwarz- (Offset) und des Weisswerts (Gain) für jedes Pixel. Dieses Verfahren liefert bereits eine starke Verbesserung. Oben ist ein einfaches konstruiertes Beispiel einer Offsetkorrektur gezeigt.


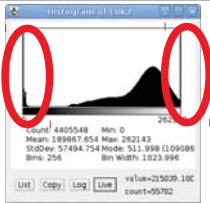
Um eine Kamera wissenschaftlich in der Tomographie verwenden zu können, macht man eine Charakterisierung mit sehr vielen Bildern. Dabei will man für jedes Pixel einzeln ermitteln, wieviel Licht zu welchem digitalisierten Wert wird, und wie die Varianz dieser Photokonvertierung ist.

FPGA-basierendes CCD-Kamerasystem für Tomographieanwendungen



Dynamic range after circuit enhancements

Scientific Requirement:

- Noise visible
- Saturation of ADC not CCD

19

Ein Bild mit einer hohen Dynamik zeichnet sich ja letztlich dadurch aus, dass der dunkelste und der hellste Wert weit an den Rändern des gegebenen Bereichs liegen, aber auch keine im Rauschen (links) oder in der Übersteuerung (rechts) verschwinden.

Wissenschaftlich ist besonders wichtig, dass kein Wert in den Rohdaten 0 ist, denn das würde bedeuten, dass das Rauschen aus dem sichtbaren Bereich, ggf. undefiniert weit unter 0 verschoben wurde. Das Bild oben links erreicht eine schlechte Dynamik und das Rauschen fehlt!

Weiterhin darf das CCD nicht vor dem ADC in Sättigung gehen. Man will bei der Charakterisierung zwei Tangenten in die Transferkurve ziehen. Wenn die Effekte sich mischen, lässt sich aber keine eindeutige Tangente mehr finden.

Die Anforderung klingt einfach, aber sie lässt sich anfangs nur durch Wahl der max. Verstärkung der Angaben im Datenblatt wählen.

Auch die (halbwegs) gleichmäßige Beleuchtung des CCD ist nicht trivial. Wir verwenden eine Dunkelkammer mit einer Ulbricht-Kugel (Light-Integrating-Sphere) und einer Kältefalle. Die Entwicklung ist schwierig, weil Licht und Luftfeuchtigkeit dafür sorgen, dass man nicht wirklich messen kann, während die Kamera arbeitet.

**FPGA-basierendes CCD-Kamerasystem für
Tomographieanwendungen**

Many thanks for your attention!



20

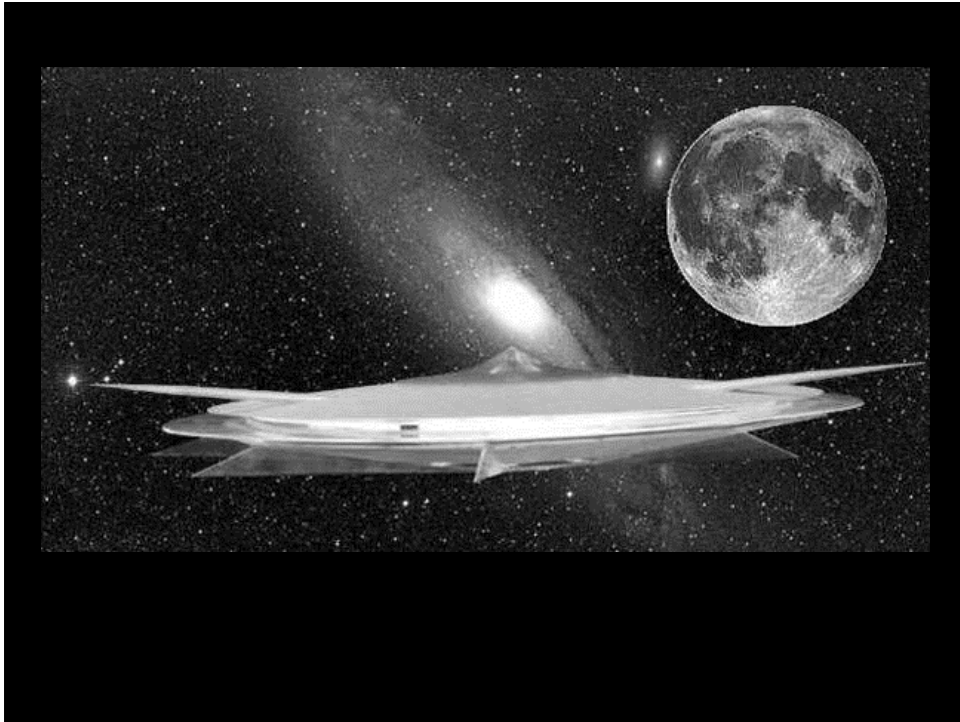
Wir können leider keine wirklich ansehnlichen Bilder erzeugen, da wir keine Optik zur Verfügung haben.

Unser optisches System für obige Bilder besteht aus einer mit Laserdrucker bedruckten OHP-Folie mit einer LED als Punktlichtquelle.

Vielen Dank auch an die Kollegen im Technikum und unterstützende (offizielle und inoffizielle) Partner bei anderen Forschungszentren wie KIT, HZDR, HZB.

Wir hoffen auf beständiges und weiteres Zusammenrücken!

Bis zum nächsten Jahr in HZG in Geesthacht!



 **JÜLICH**
FORSCHUNGSZENTRUM

Flugdrohnen

Funktionsprinzip und Messeinsatz

11. März 2013 | Michael Ramm

Mitglied der Helmholtz-Gemeinschaft

Was sind Flugdrohnen?

Flugdrohnen sind unbemannte Luftfahrzeuge kurz:


UAV

Unmanned aerial vehicle
oder
Unattended aerial vehicle

Grundvoraussetzungen:

- **Fluglizenz vom Deutschen Luftfahrtamt (im Forschungszentrum vorhanden bis 100m)**
- **Spezielle Haftpflichtversicherung**
- **Sehr viele Ersatzpropeller ;-)**

Mitglied der Helmholtz-Gemeinschaft



Zur Motivation

Warum überhaupt einen MultiKopter bauen?

22. Juli 2013

5

Mitglied der Helmholtz-Gemeinschaft



50 Jahre
Berufsausbildung
JÜLICH MACHT
KARRIEREN!




4274 Auszubildende seit 1961

22. Juli 2013

6

Mitglied der Helmholtz-Gemeinschaft




Berufsausbildung im Forschungszentrum Jülich

Auszubildende	300
Ausbildungsberufe	24
Verteilung m / w	212 / 88 (71% / 29%)
Ausbildungsquote	7,2%
Neueinstellungen 2012	85

Besonderheit: rund 1/3 der Neueinstellungen
 sind dual Studierende


22. Juli 2013 7

Mitglied der Helmholtz-Gemeinschaft



Duale Studiengänge (Bereich Technik)

- Bachelor of Engineering
u. Physiklaborant (m/w)
- Bachelor of Electrical Engineering
u. Elektroniker für Betriebstechnik (m/w)
- Bachelor of Mechanical Engineering u.
Industriemechaniker (m/w)
- Bachelor of Science in Scientific Programming
u. MATSE (m/w)



22. Juli 2013 8



Elektronik


- Elektroniker für Betriebstechnik (m/w)
- Elektroniker für Geräte und Systeme (m/w)
- IT-Systemelektroniker (m/w)



Mitglied der Heilmotiv-Gemeinschaft

22. Juli 2013

9



Auszug aus dem Inhalt des Rahmenlehrplans für: „Elektroniker für Geräte und Systeme“ EGS

- Bussysteme
 - I2C
 - SPI
 - USB
- Mikrokontroller Programmierung
- Regelungstechnik
- Fachgerechte Baugruppen Verdrahtung

Mitglied der Heilmotiv-Gemeinschaft

22. Juli 2013

10

Motivation von Auszubildenden

Ursprüngliches Ziel war es, Auszubildenden eine Arbeit zu geben die zu großen Teilen im Rahmenlehrplan wieder zu finden war.
Der MikroKopter ist ein Projekt, welches flexibel erweitert werden kann und viel Ausbildungsgerechtes Begleitmaterial bietet .



Der fertige Kopter wird auf Berufsinformationstagen von den Auszubildenden vorgestellt und geflogen.

Funktionsprinzip eines Multikopters



Mitglied der Helmholtz-Gemeinschaft

Baugruppen

JÜLICH
FORSCHUNGSZENTRUM

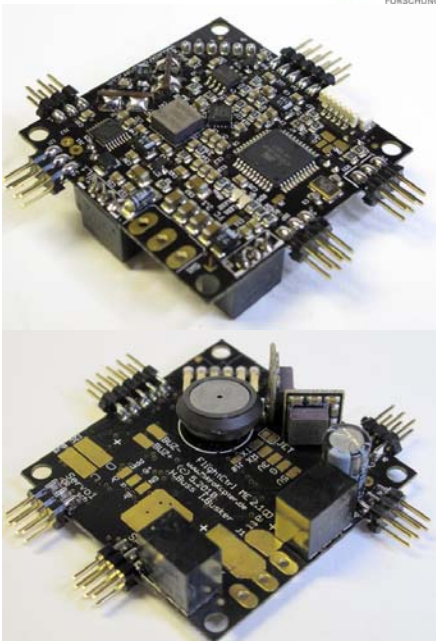
22. Juli 2013

13

Mitglied der Helmholtz-Gemeinschaft

Baugruppen

- **Flightcontrol**




JÜLICH
FORSCHUNGSZENTRUM

22. Juli 2013

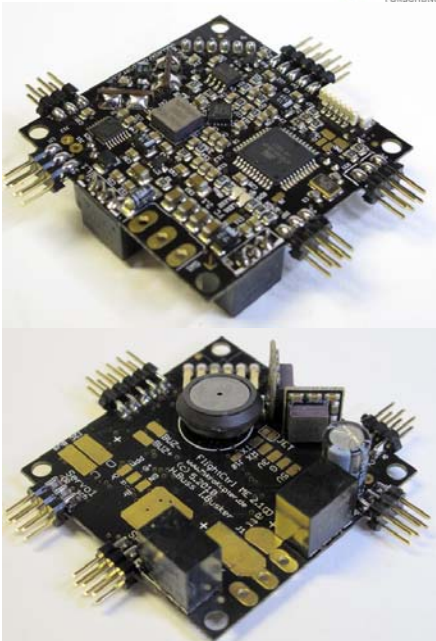
14

Mitglied der Helmholtz-Gemeinschaft




Baugruppen

- **Flightcontrol**
 - **Sensorik**
 - **Gyroskop Sensor**
Messen der Drehgeschwindigkeiten aller drei Achsen
 - **Beschleunigungs-Sensor (ACC-Sensor)**
Messen von Beschleunigungswerten aller drei Achsen
 - **Luftdrucksensor**
Messen des Luftdrucks für die Höhenstabilisierung (Optional)



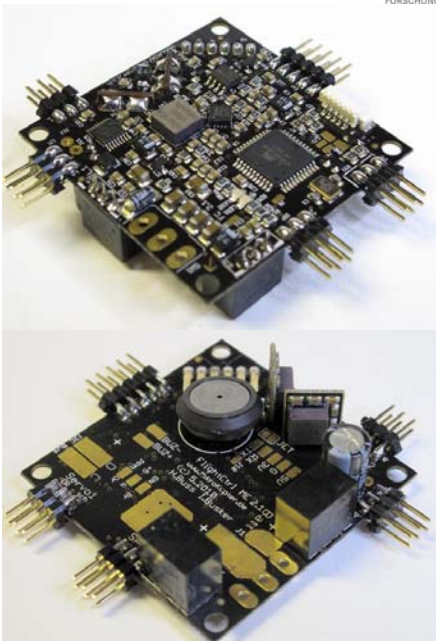
22. Juli 2013 15

Mitglied der Helmholtz-Gemeinschaft



Baugruppen

- **Flightcontrol**
 - **Sensorik**
 - **Auswerten des (RemoteControl-Signals)**
 - **Verarbeiten der Sensordaten und Berechnung der aktuellen Fluglage**
 - **Ansteuern der BL-Regler zur Motoransteuerung**
 - **GPIOs (z.B. für Kamera)**

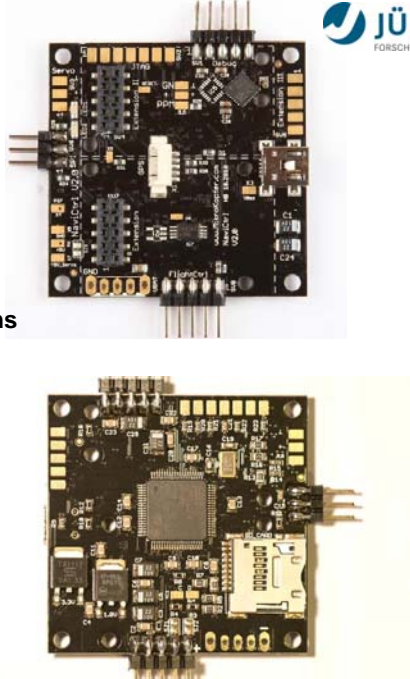


22. Juli 2013 16

Mitglied der Hermitose-Gemeinschaft

Baugruppen

- Flightcontrol
- Navicontrol
 - Kompassmodul
 - Bluetoothmodul
 - Auswertung des GPS-Systems



22. Juli 2013

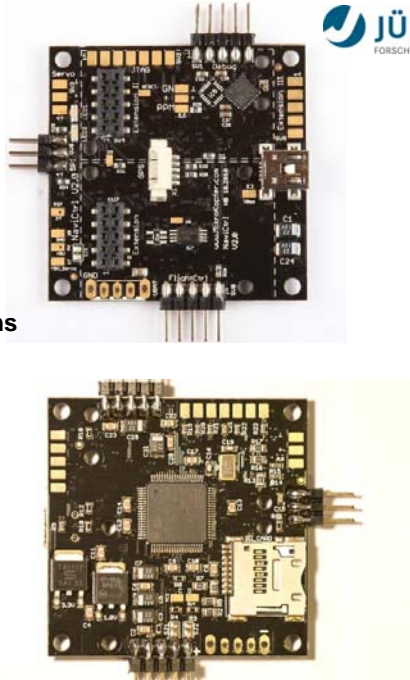
JÜLICH FORSCHUNGSZENTRUM

17

Mitglied der Hermitose-Gemeinschaft

Baugruppen

- Flightcontrol
- Navicontrol
 - Kompassmodul
 - Bluetoothmodul
 - Auswertung des GPS-Systems
 - PositionHold
 - ComingHome
 - CareFree
 - Wegpunktflug
 - FollowMe



22. Juli 2013

JÜLICH FORSCHUNGSZENTRUM

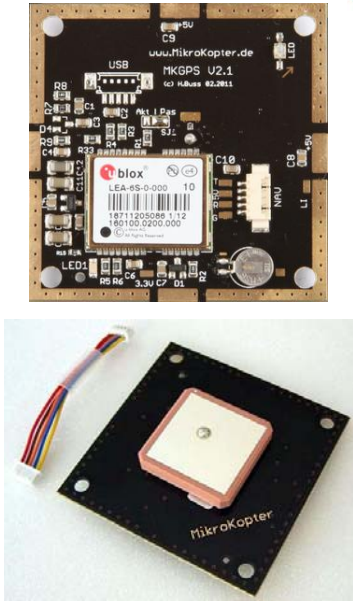
18

Mitglied der Helmholtz-Gemeinschaft

Baugruppen

- Flightcontrol
- Navicontrol
- **MKGPS**

GPS-Empfängereinheit



22. Juli 2013

19

JÜLICH FORSCHUNGSZENTRUM

Mitglied der Helmholtz-Gemeinschaft

Baugruppen

- Flightcontrol
- Navicontrol
- MKGPS
- **Brushless Motoren**

- 14 Pole
- 110W Wellenleistung an 10x4,5 Prop
- 11 Ampere max.Strom



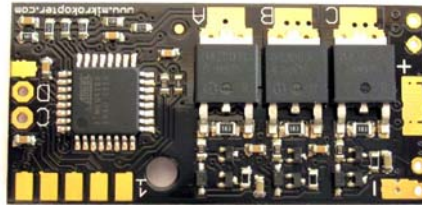
22. Juli 2013

20

JÜLICH FORSCHUNGSZENTRUM

Baugruppen

- Flightcontrol
- Navicontrol
- MKGPS
- Brushless Motoren
- **BrushlessControl**
 - Strommessung
 - Spannungsmessung
 - Temperaturmessung



Baugruppen

- Flightcontrol
- Navicontrol
- MKGPS
- Brushless Motoren
- BrushlessControl
- **Stromverteiler**



Mitglied der Helmholtz-Gemeinschaft




JÜLICH
FORSCHUNGSZENTRUM

Bis zu 30 min. Flugzeit bei geringer Payload
Bis zu 1,3 kg Payload bei 10 min. Flugzeit

22. Juli 2013

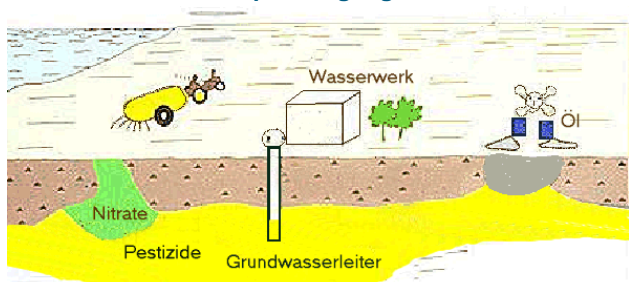
23

Elektrische und Elektromagnetische Messverfahren ZEA-2



Elektrische Impedanztomographie für Bohrlochmessungen

Die Impedanzspektroskopie ist eine Geophysikalische Methode zur Untersuchung von Ionentransportvorgängen in Böden.



Wasserwerk

Nitrate

Pestizide

Grundwasserleiter

University of Aarhus (Modif.)

22. Juli 2013

24

JÜLICH
FORSCHUNGSZENTRUM

Strom- und signalführende Leitungen werden im Feld zu verschiedenen Bohrlöchern verlegt, wobei abhängig von der Kabelposition induktive Effekte in den Signalleitungen auftreten, die die eigentliche Messung verfälschen.
Anhand von Übersichtsfotographien mit dem Kopter können die Kabelpositionen im Computer rekonstruiert werden und die störenden Effekte mittels numerischer Simulation nachvollzogen und korrigiert werden.

Mitglied der Helmholtz-Gemeinschaft

22. Juli 2013 25

JÜLICH
FORSCHUNGSZENTRUM

Andreas Burkart IBG-2

UAV basierendes miniatur high performance Spektrometer

- **Hyperspektrale Reflektionsmessung zur Bestimmung von Boden bzw. Pflanzenzuständen**
- **STS microspectrometer (68 g)**

Mitglied der Helmholtz-Gemeinschaft

22. Juli 2013 26

Falcon-8 UAV (500 g payload)

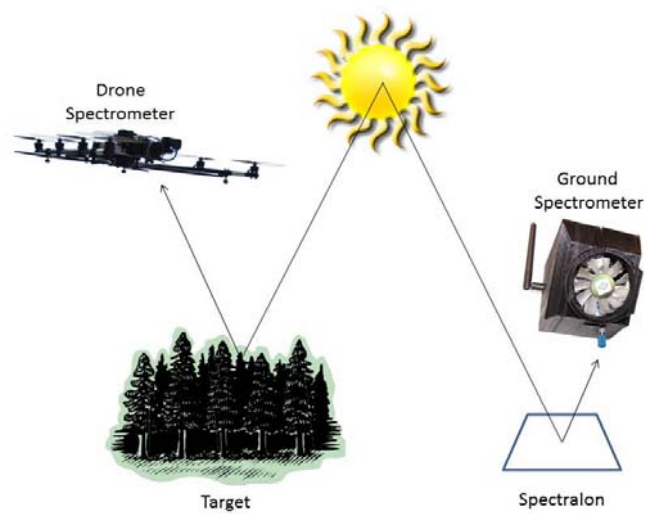


22. Juli 2013

27

Mitglied der Heimholz-Gemeinschaft

Die Messung



2:

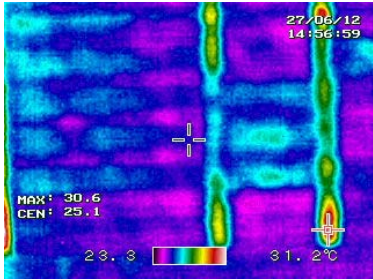
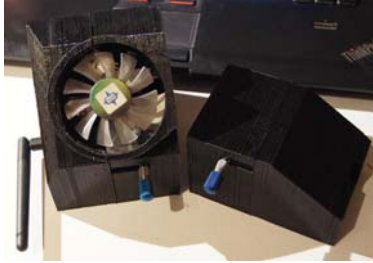
28

Mitglied der Heimholz-Gemeinschaft

Mitglied der Helmholtz-Gemeinschaft

JÜLICH
FORSCHUNGSZENTRUM

- **Boden Spektrometer**
- **Luftaufnahme (Messacker Bonn) 100m**



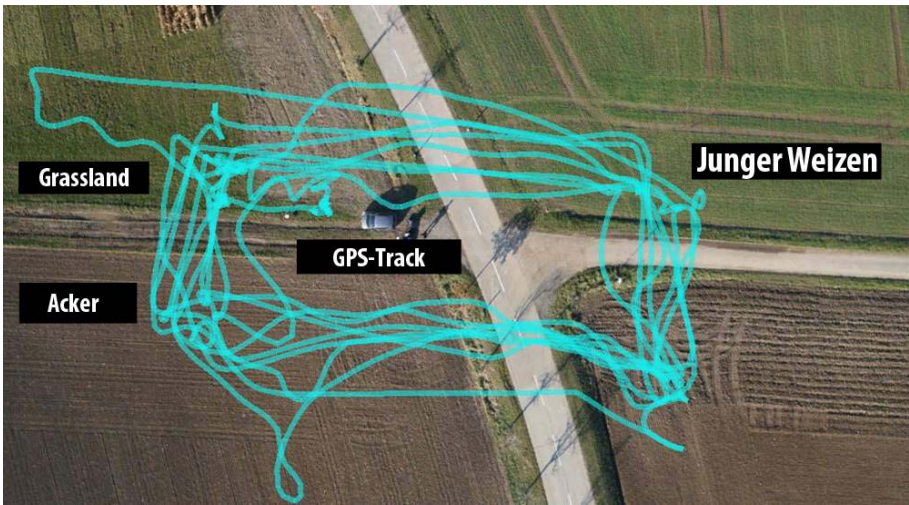
22. Juli 2013

29

Mitglied der Helmholtz-Gemeinschaft

JÜLICH
FORSCHUNGSZENTRUM

Geloggter GPS-Track



22. Juli 2013

30

Demnächst



Entwicklung eines Zeppelin im IBG-2 zum Erhöhen der Messdauer und des Payloads ca.10kg

Mitglied der Helmholtz-Gemeinschaft

22. Juli 2013

31

Vielen Dank

Life long and prosper



22. Juli 2013

32

HD4096 Technologie – mit echten 12-Bit Oszilloskopen mehr erkennen



SEI Tagung – Jülich 12.03.2013

Frank Klapper



Agenda



- **HDO4096 Technologie –
mehr als nur ein Oszilloskop mit 12-Bit ADCs**
- 8 Bit vs. 12 Bit Vergleichsmessungen
- Mathematisch Verfahren zur Verbesserung der Dynamik

HD4096 – 16 mal mehr Auflösung



Oszilloskope mit HD4096 Technologie haben aufgrund der 12-Bit Wandler eine 16 mal bessere Auflösung der Amplitude als herkömmliche 8-Bit Oszilloskope.

Was bedeutet das für die Messergebnisse?

Hier ein Beispiel, um das zu verdeutlichen.



Bild mit echten
16 Megapixel



3

HD4096 – (Echte) High Definition Technology



- Kombination von:
 - Hohe Abtastrate mit 12-bit ADCs
 - Verbesserten Signal-Rauschabstand der Eingangsverstärker
 - Rauscharmer Systemarchitektur
- 16 mal mehr Auflösung als alle anderen Oszilloskope im Markt
- Erfasst hochfrequente Signale mit 1GHz Bandbreite
- Single-Shot Erfassung mit 2,5GS/s (12-Bit) und 250Mpkt pro Kanal
- Vorteile:
 - klare, scharfe Kurvenform
 - mehr Signaldetails
 - genauere Messergebnisse

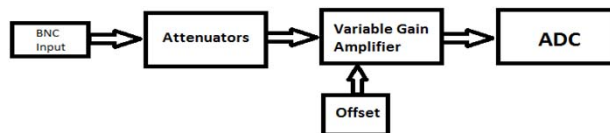


4

ADC Resolution – Comparison 12-bit versus 8-bit



- Um hohe Signaltreue mit 12-Bit ADC's zu erreichen benötigt man einen rauscharmen Abschwächer und rauscharmen Verstärker im Front-End



- Verbesserungen im Signalpfad:
 - Dynamikbereich erreicht 55 dB (12-Bit) gegenüber 30-40 dB (8-Bit)
 - DC Gain Genauigkeit beträgt +/- 0.5% (12-Bit) gegenüber +/- 1.5 – 3.0% (8-Bit)
 - Volle Bandbreite bei 1 mV/div Empfindlichkeit
 - Frequenzrauschen um 10-12 dB verringert

8-Bit / 12Bit - ADC Vergleich der Vertikalen Auslösung

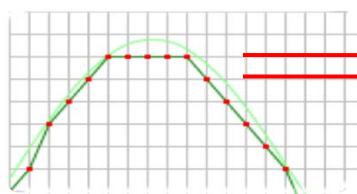


- Verfügbare Quantisierungsstufen = 2^N

(N = Anzahl der Bits)

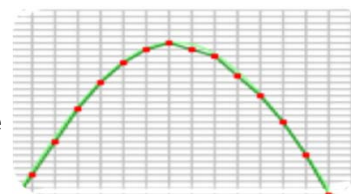
ADC Resolution	Number of Steps	Dynamic Range
8-Bit	256	48 dB
12-Bit	4096	72 dB

- Quantisierungsstufen – 16 mal mehr beim 12-bit Oszilloskop



mit geringer Auflösung

↓
↑
Quantisierungsstufe



mit hoher Auflösung

- ADC Dynamic Range = $20 \log_{10}(2^N)$ dB (ideal)

8-Bit / 12Bit – ADC Vergleich der Vertikalen Auslösung



Wie groß ist der Spannungswert einer Quantisierungsstufe?

Die Größe der Quantisierungsstufen in errechnet sich aus den Geräteeinstellungen.

$$\text{Quantisierungsstufe} = \frac{\text{Messbereich}}{\text{Anzahl der Quantisierungsstufen}}$$

mit

$$\text{Messbereich} = 8 \text{ Skalenteile} \times \text{vertikale Einstellung (Volt pro Skalenteil)}$$

Beispiel: Quantisierungsstufe eines 8Bit ADC



Beispiel:

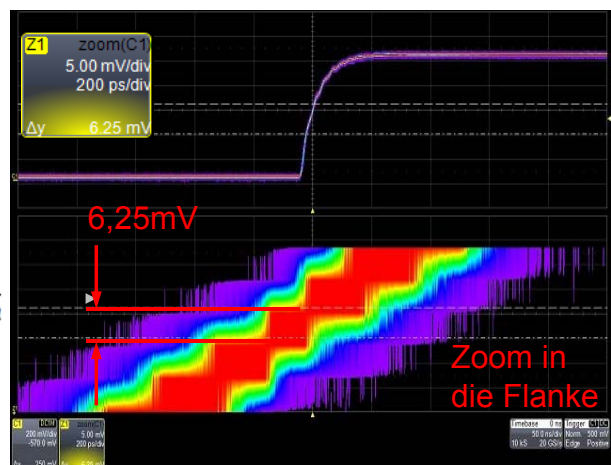
Ein Oszilloskop mit 8-Bit ADC mit einer vertikale Einstellung von 200mV/div.

Es ergibt sich ein Messbereich von:

$$\begin{aligned} \text{Messbereich} &= 8 \text{ div} \times 200 \frac{\text{mV}}{\text{div}} \\ &= 1600 \text{mV} \end{aligned}$$

Und damit eine Quantisierungsstufe von:

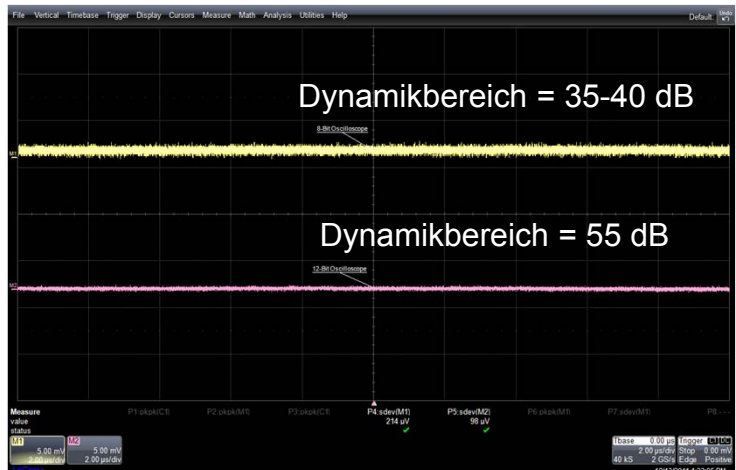
$$\begin{aligned} \text{Quantisierungsstufe} &= \frac{\text{Messbereich}}{\text{Anzahl der Quantisierungsstufen}} \\ \text{Quantisierungsstufe} &= \frac{1600 \text{mV}}{256} \\ &= 6,25 \text{mV} \end{aligned}$$



ADC Auflösung – Vergleich 12-bit gegen 8-bit



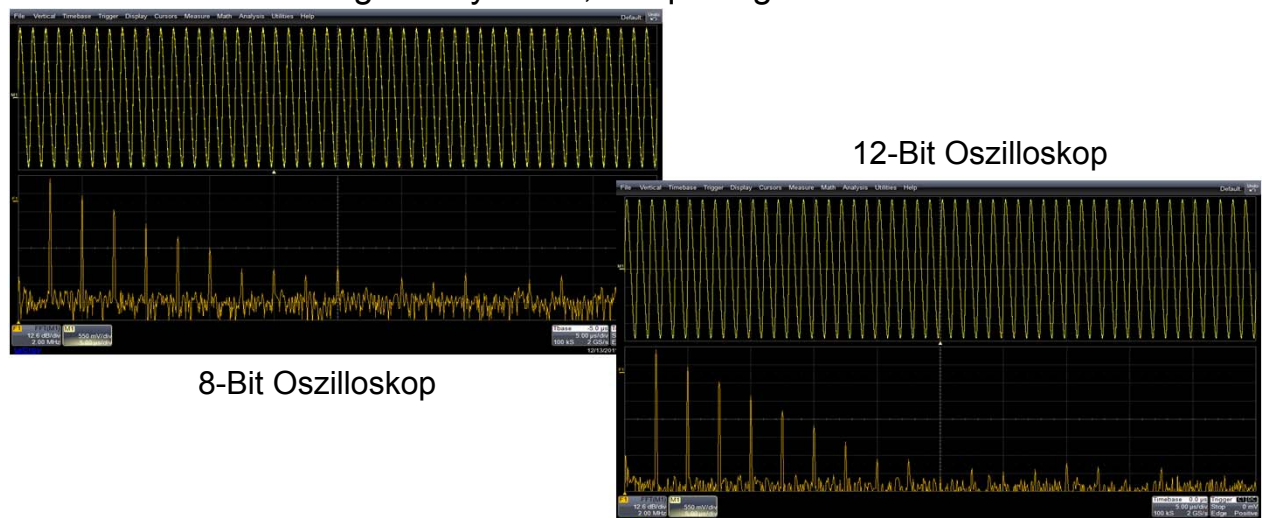
- Grundrauschen – SNR (Signal to Noise Ratio / Signal-Rausch-Verhältnis)
 - 12-Bits und kleines Rauschen ergeben einen Dynamikbereich von 55 dB
- Empfohlen wird der Messwert “sDev” (AC Vrms)
 - „AC rms“ entspricht dem “sDev”
 - “Pk-Pk” Messwert wird durch die Abtastrate und das Zeitfenster beeinflusst
- Grundrauschen ist keine echte Messung um die Leistung des Eingangsteils zu bewerten
 - Es sei denn, dass sich das Rauschen über alle Eingangsfrequenzen und Amplituden nicht ändert



ADC Auflösung – Vergleich 12-bit gegen 8-bit



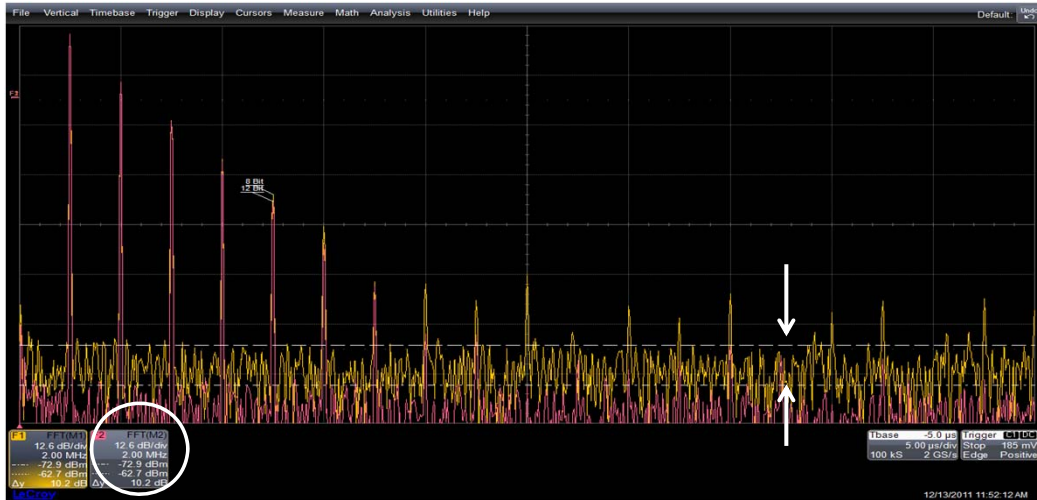
- FFT – Verbesserung der Dynamik, Frequenzgrundrauschen wurde reduziert



ADC Auflösung – Vergleich 12-bit gegen 8-bit

HD
4096

- Vergleich des Dynamikbereich der FFT



HD4096 Vorteile – klare, scharfe Kruvenform

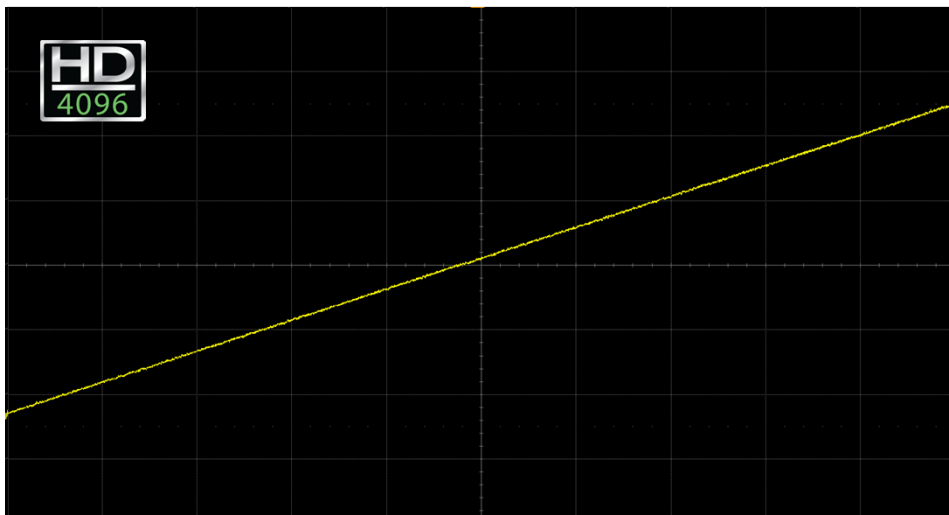
HD
4096



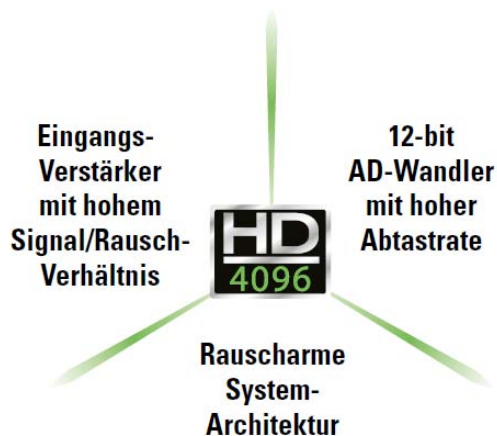
HD4096 Vorteile – klare, scharfe Kruvenform



HD4096 Vorteile – klare, scharfe Kruvenform



HD4096 Technologie - mehr als nur ein DSO mit 12Bit ADCs



- Der Dynamikbereich erreicht 55 dB (ca. 30-40 dB bei 8-Bit Geräten)
- DC Genauigkeit beträgt +/- 0.5% (ca. +/- 1.5 – 3.0% bei 8-Bit Geräten)
- Grundrauschen im Frequenzbereich ist ca. 10-12 dB besser als bei Geräten mit 8 Bit
- Volle Bandbreite von 200MHz bis 1GHz bei 1 mV/div Empfindlichkeit

Agenda



- HDO4096 Technologie – mehr als nur ein Oszilloskop mit 12-Bit ADCs
- **8 Bit vs. 12 Bit Vergleichsmessungen**
- Mathematisch Verfahren zur Verbesserung der Dynamik

Vergleichsmessungen: 8-Bit vs. 12-Bit Oszilloskop

HD
4096

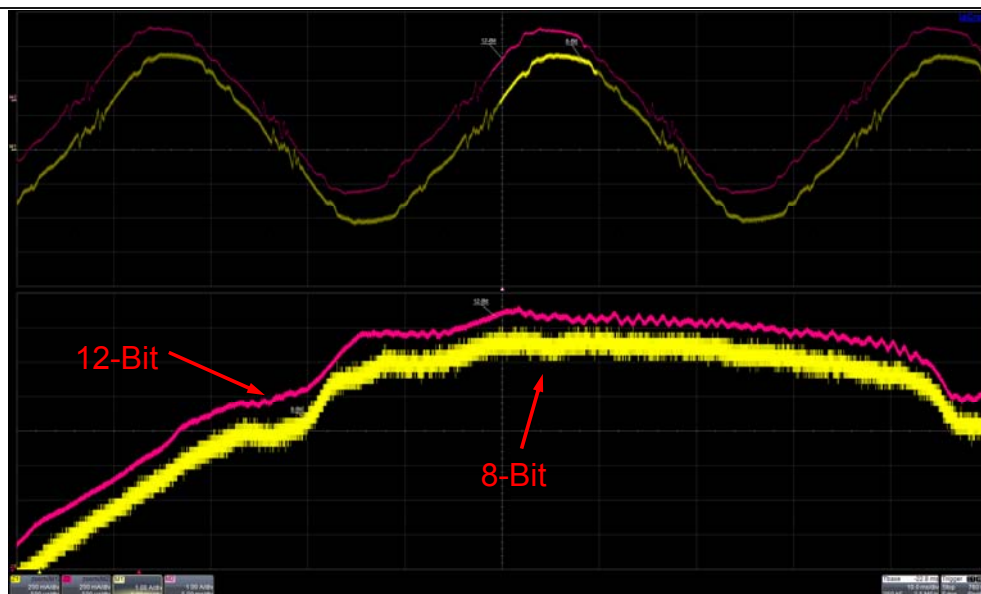
Achten Sie bei den Messungen auf die kleinen Details, wie beim Bild.

- Rauschen ist kein „einfaches“ Rauschen mehr, sondern besitzt eine neue Struktur
- Viele kleine Details kann man nur mit den echten 12-Bit finden.



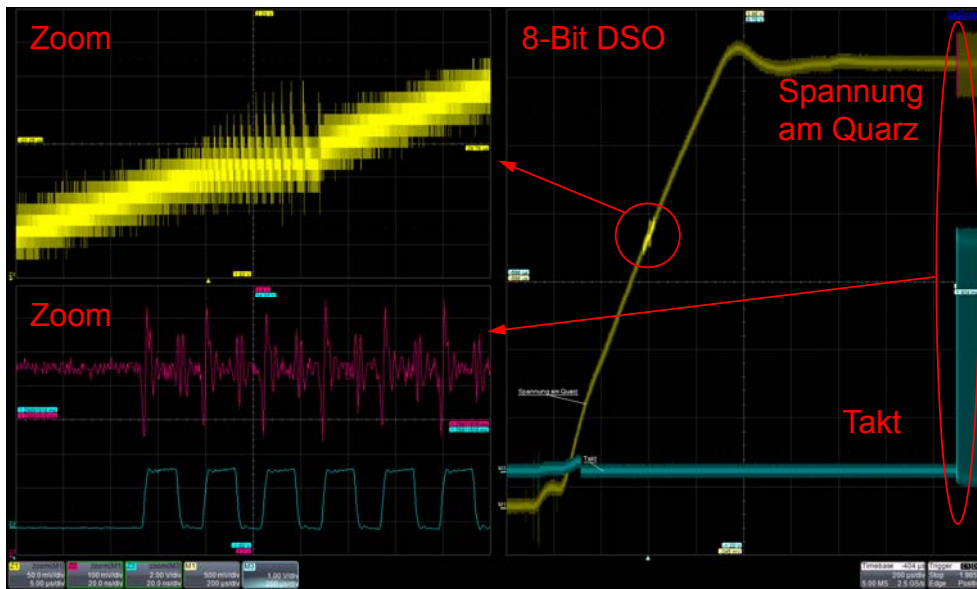
Beispiel – Strommessung am Netzteil (50Hz)

HD
4096



Einschalten der Spannungsversorgung - 8Bit DSO

HD
4096



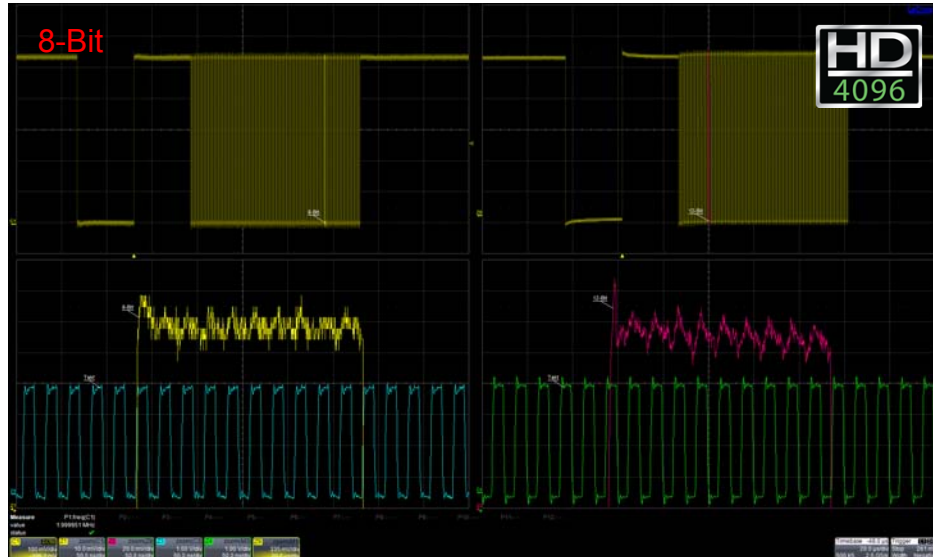
Einschalten der Spannungsversorgung - 12Bit DSO

HD
4096



Vergleichsmessungen: 8-Bit vs. 12-Bit Oszilloskop

HD
4096



TELEDYNE LECROY
Everywhereyoulook

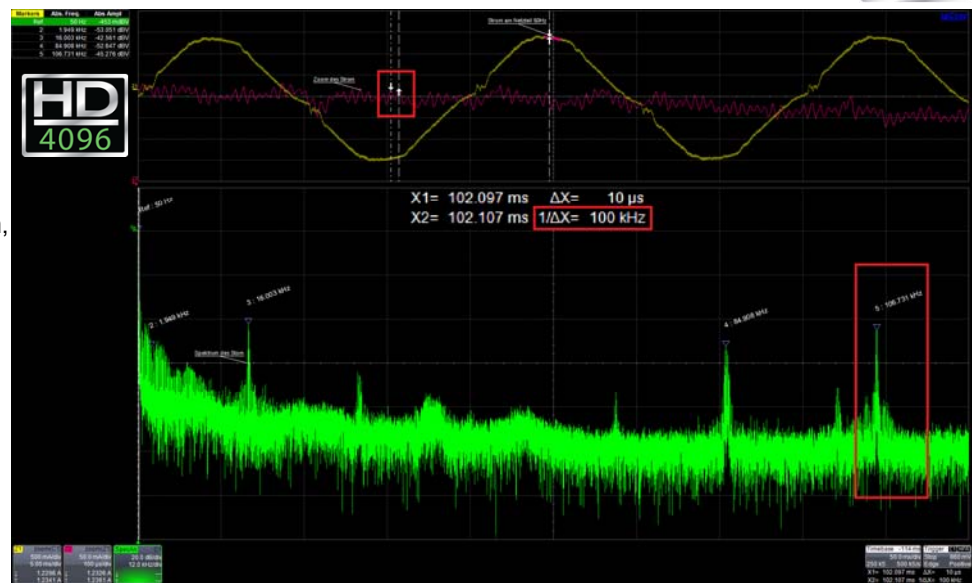
21

Spektrum eines Stromes (50Hz) – 12Bit DSO

HD
4096

Mit einem 12 Bit Gerät.
kann man mit den Cursor
im Zeitbereich noch eine
Frequenz von ca. 100kHz
messen.
(Cursormessung im Zoom,
rote Kurve)

Diese Frequenz bekommt
man auch im Spektrum
angezeigt



TELEDYNE LECROY
Everywhereyoulook

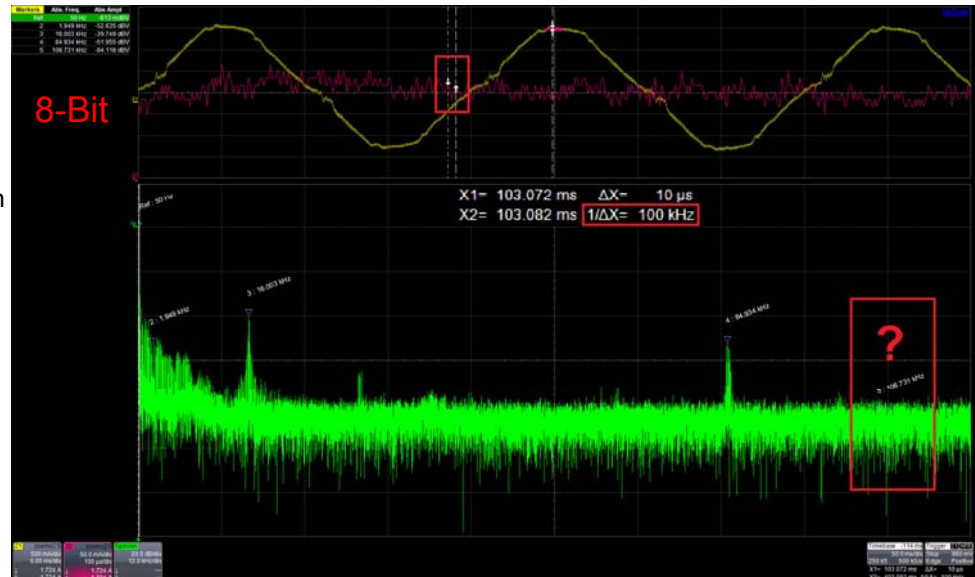
22

Spektrum eines Stromes (50Hz) – 8Bit DSO

HD
4096

Mit einem 8 Bit Gerät.
kann man mit den Cursors
im Zeitbereich eigentlich
keine Frequenz von ca.
100kHz mehr messen.
Es könnte auch Rauschen
sein, der Pegel liegt im
Quantisierungsrauschen!

Diese Frequenz liegt
daher im Frequenz-
rauschen und kann nicht
mehr im Spektrum
bestimmt werden.



TELEDYNE LECROY
Everywhere you look

23

Agenda

HD
4096

- HDO4096 Technologie –
mehr als nur ein Oszilloskop mit 12-Bit ADCs
- 8 Bit vs. 12 Bit Vergleichsmessungen
- **Mathematisch Verfahren zur Verbesserung
der Dynamik**

TELEDYNE LECROY
Everywhere you look

24

Mathematische Verfahren zur Verbesserung der Dynamik



Alle Verfahren zur Verbesserung der Dynamik basieren auf Mittelwertbildung bzw. auf Filterfunktionen.

Man unterscheidet zwei Arten der Mittelwertbildung, die man wieder weiter unterteilen kann.

1. Gleitender Mittelwert (benötigt Überabtastung)

- A. Geringe Datenreduktion
 - Enhanced Resolution (Eres)
 - High Resolution (HiRes) / Boxcar Filter
- B. Mit Datenreduktion
 - 12-Bit Hypersampling

2. Arithmetisches Mittel

Benötigt repetierende Signale und wird hier nicht weiter behandelt.



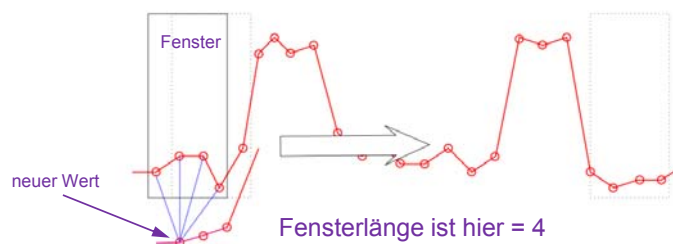
25

Gleitender Mittelwert



Es wird ein Mittelwert über mehrere benachbarte Abtastpunkte berechnet, die Anzahl der Abtastpunkte ist variable (Filterlänge) und wird auch Fenster genannt.

Diese Fenster gleitet über die erfasste Kurve und erzielt dadurch eine Glättung. Die Länge des Fenster beeinflusst das Endergebnis, d.h. längere Fenster (Filter) haben eine stärker glättende Wirkung als kurze Fenster.



26

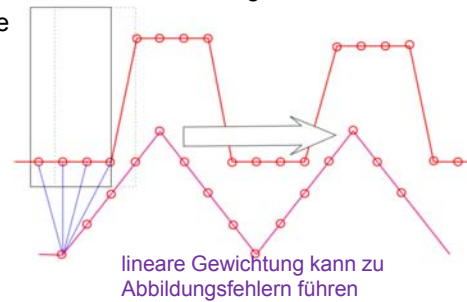
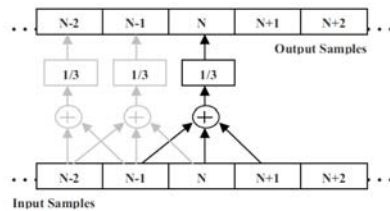
High Resolution (HiRes) / Boxcar Filter



Der Boxcar Filter entspricht einem einfache gleitende Durchschnitt (*simple moving average* - SMA)

- das Fenster wird immer um ein Abtastwert verschoben
- die Abtastwerte im Fenster der Breite M werden zum arithmetischen Mittelwert berechnet (ungewichteter gleitender Mittelwert)
- fügt dem Signal eine Gruppenlaufzeit hinzu
- geringe Datenreduktion
- Frequenzbereich Form einer Sin(x)/x-Funktion, d.h. viele Seitenbänder
- Es kann zu deutlichen Abbildungsfehlern kommen sowie Über- und Unterschwingen
- verringert die Bandbreite in Abhängigkeit der Fensterbreite

$$f_{3dB} \sim \frac{0,433 \times \text{Abtastrate}}{M}$$

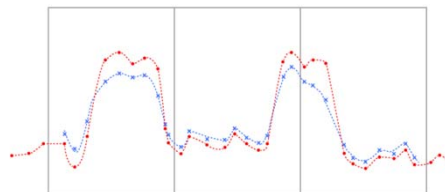


Enhanced Resolution (Eres)



Lowpass FIR-Filters – einstellbarer gleitender Mittelwert mit gaußförmiger Gewichtung

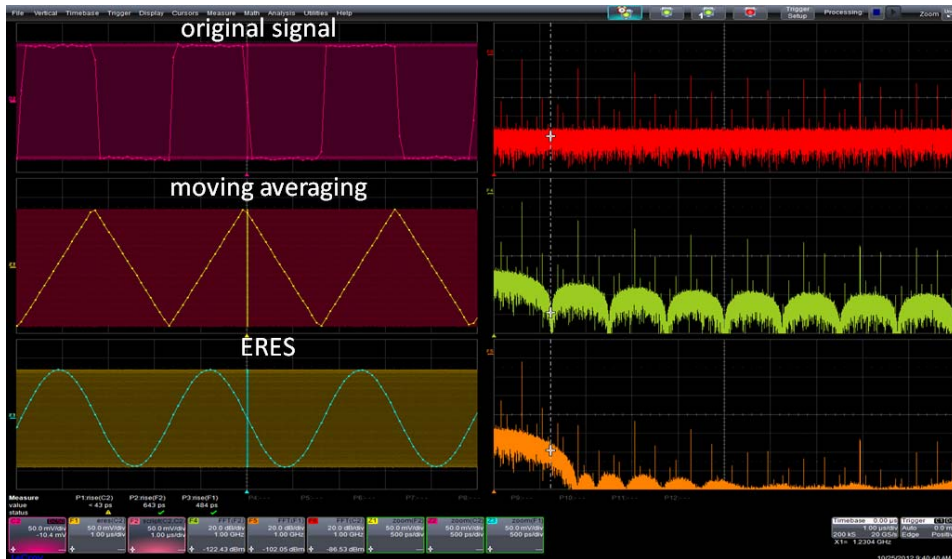
- das Fenster wird immer um ein Abtastwert verschoben
- benötigt wegen der Gewichtung mehr Punkte, um die gleiche Verbesserung der Auflösung zu erreichen
- fügt dem Signal keine Gruppenlaufzeit hinzu
- geringe Datenreduktion
- keine Seitenbänder im Frequenzbereich – gaußförmiger Frequenzverlauf
- verursacht keine Über-/Unterschwingen oder Klingeln
- Jede zusätzliche 0,5-Bit reduzieren die Bandbreite um die Hälfte
 - 0.5 bis 3 bits; 3 dB bis 18 dB Verbesserung der SNR



Enhanced Resolution Filter Parameters		
Resolution Enhancement [Bits]	-3 dB Bandwidth [x Nyquist]	Filter Length [samples]
0.5	0.5	2
1	0.241	5
1.5	0.121	11
2	0.058	25
2.5	0.029	62
3	0.018	108

Zeitbereich und Frequenzbereich

HD
4096



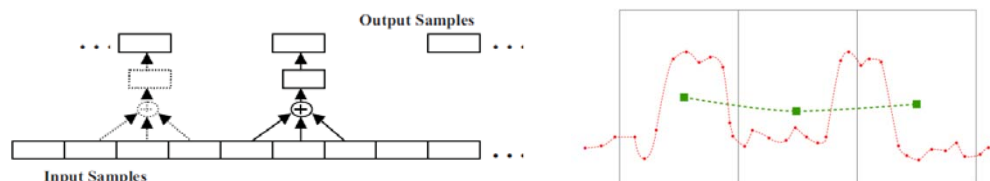
TELEDYNE LECROY
Everywhereyoulook™

29

Hypersampling - Blockweise gleitende Mittelwertbildung

HD
4096

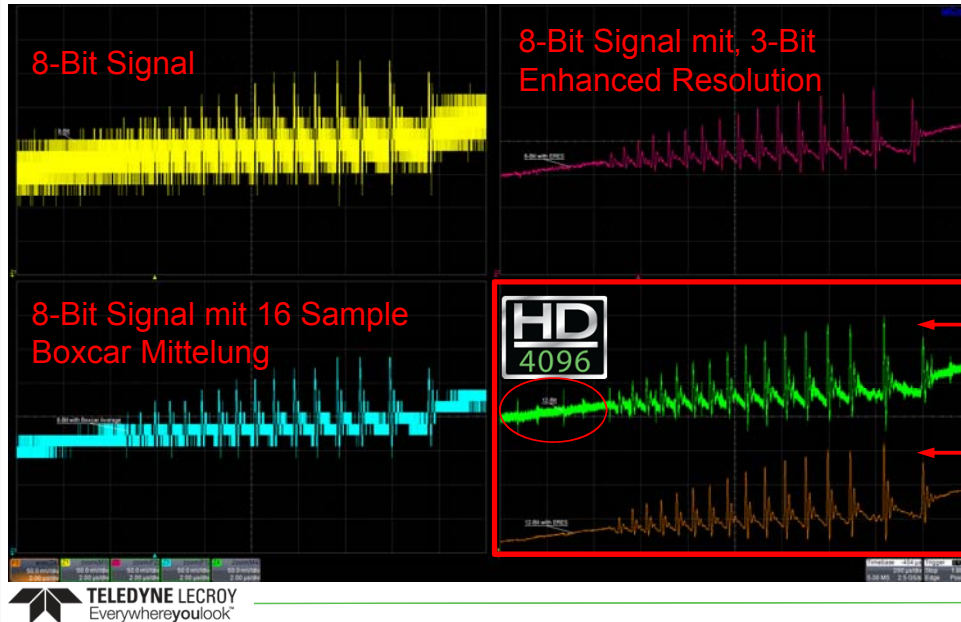
- Basiert auf schneller Überabtastung mit 8Bit ADCs
- Es werden bis zu 16 Abtastwerte zu einem Block zusammengefasst und linear gemittelt.
 - Block von 16 Abtastwerte → plus 4 Bit (8Bit HW + 4 Bit virtuell) theoretisch möglich
 - In der Praxis bringen 16 Abtastwerte ca. 2 Bit
 - funktioniert nur unter der Annahme, dass das Rauschen eine ideale Gaußverteilung besitzt
 - funktioniert nur, wenn das Rauschen 1-2 LSB des ADC beträgt
- Wirkt sich im wesentlichen auf das Rauschen aus
- Das LSB wird immer noch vom ADC bestimmt, keine Verbesserung der Genauigkeit
- Verbesserung nur, wenn mehr als eine Quantisierungsstufe im Block durchschritten wird
- Hohe Reduktion der resultierenden Abtastrate, dadurch wird die digitale Bandbreite reduziert
- Keine Garantie das, das berechnete Signal der korrekten 12bit Reproduktion des Originals entspricht.



TELEDYNE LECROY
Everywhereyoulook™

30

Vergleich von echten 12-Bit und virtuellen 12-Bit

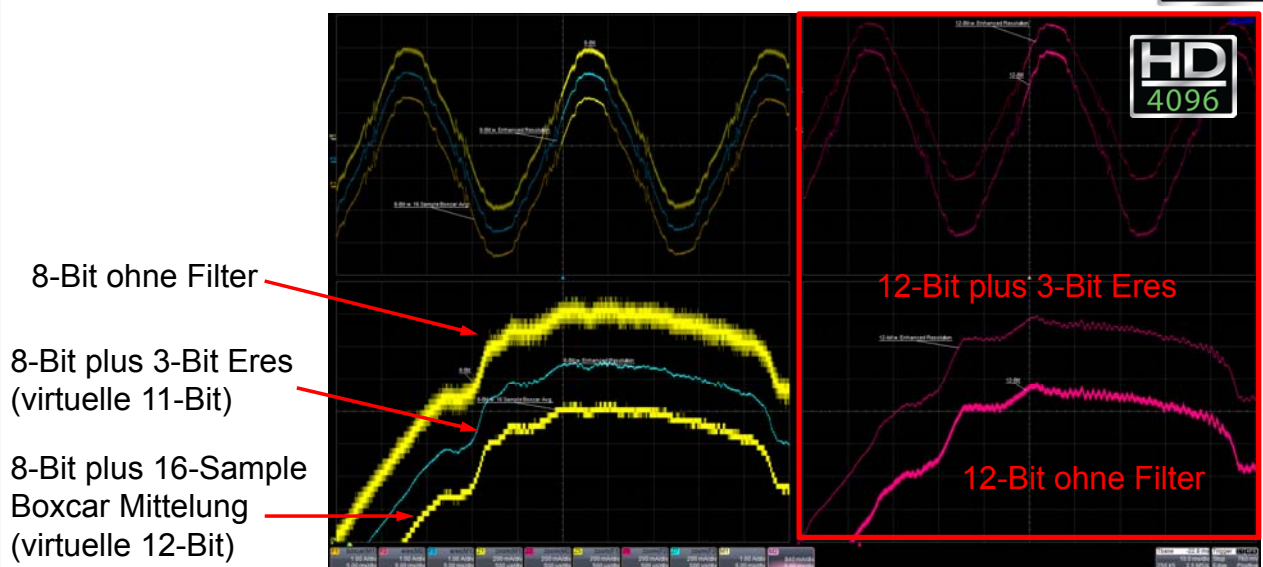


echte 12-Bit ohne Filter

echte 12-Bit plus 3-Bit Enhanced Resolution (Eres)

31

Vergleich von echten 12-Bit und virtuellen 12-Bit



32

Fazit



HD4096 Technologie:

- 12-bit ADC's und rauscharme Eingangsstufe sichern beste Signalqualität
- Messungen von kleinen Signaldetails in einem großem Spannungsbereich sind möglich ohne die Verstärkung zu ändern
- Verbesserungen im Zeit- und Frequenzbereich
- Verbesserungen bei der Messgenauigkeit,
- Verbesserungen bei der Genauigkeit Spannungsverstärkung
- Verbesserungen beim Signal Rausch Verhältnis

Nur mit echten 12-Bit sichern beste Genauigkeit. Virtuelle 12-Bit, d.h. 8-Bit hochgerechnet auf 12-Bit, erreichen nicht die Genauigkeit der echten 12-Bit

Und Achtung: Die Bezeichnung HD bzw. High Definition bedeutet nicht echte 12-Bit Auflösung. HD4096 sind sicher echte 12-Bit Auflösung!



Vielen Dank für Ihre Aufmerksamkeit.



Gibt es Fragen?

Wenn Sie diese Messungen nochmal Live erleben wollen, kommen Sie in die Ausstellung.
Ich habe dort ein 12-Bit und ein 8-Bit Oszilloskop stehen, bis gleich.

www.teledynelecroy.com
frank.klapper@teledynelecroy.com

Mitglied der Helmholtz-Gemeinschaft

JÜLICH
FORSCHUNGSZENTRUM

GLORIA DETEKTOR 3 Frontend Elektronik für AIM Dualband IR-Detektor

Georg Schardt, Markus Dick, Dr. Heinz Rongen

Forschungszentrum Jülich (FZJ)
Zentralinstitut für Engineering, Elektronik und Analytik (ZEA)
Systeme der Elektronik (ZEA-2)
Erdbeobachtungssysteme

12. März 2013

1

Übersicht

JÜLICH
FORSCHUNGSZENTRUM




The diagram shows a side view of a twin-engine aircraft with a sensor mounted on the fuselage. Four orange arrows indicate the sensor's field of view: one pointing rearward at 135°, one pointing directly forward at 90°, one pointing straight down at Nadir, and one pointing forward and downward at 45°.

- GLORIA Projekt
 - Flugzeug
 - Wetterballon
- Frontend Elektronik
- Erste Analysen
- Ausblick

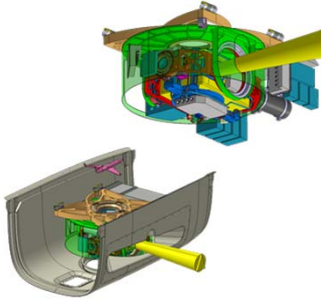
2

GLORIA-AB

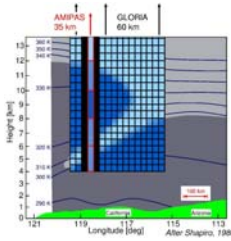


Gimballed Limb Observer for Radiance Imaging of the Atmosphere

- Zusammenarbeit mit dem KIT
- Chemie der Troposphäre: Spurengase
- Transportprozesse in der oberen Troposphäre
- Wolkenstruktur und Eigenschaften
- Demonstrator für Satellitenmissionen



- Abbildendes IR-Fourierspektrometer
 - 2D Detektor Array
 - Limb- und Nadir-Sondierung
 - Montiert in Kardanrahmen



3

GLORIA-B Detektor



- Zusammenarbeit mit Fa. AIM, Heilbronn
- Weiterentwicklung von GLORIA-AB für Wetterballons

- Neuartiger dual-Band Detektor (Generation 3)
 - 6.1 - 9.4 μm und 10.2 - 14.1 μm
 - 256*256 Pixel
 - 16 Video Kanäle
- Frontend Elektronik wird im ZEA-2 entwickelt
 - 16 Bit Video ADCs (14 Bit)
 - 20 MHz (10 MHz)
 - Höhere Frameraten





4

Frontend Elektronik

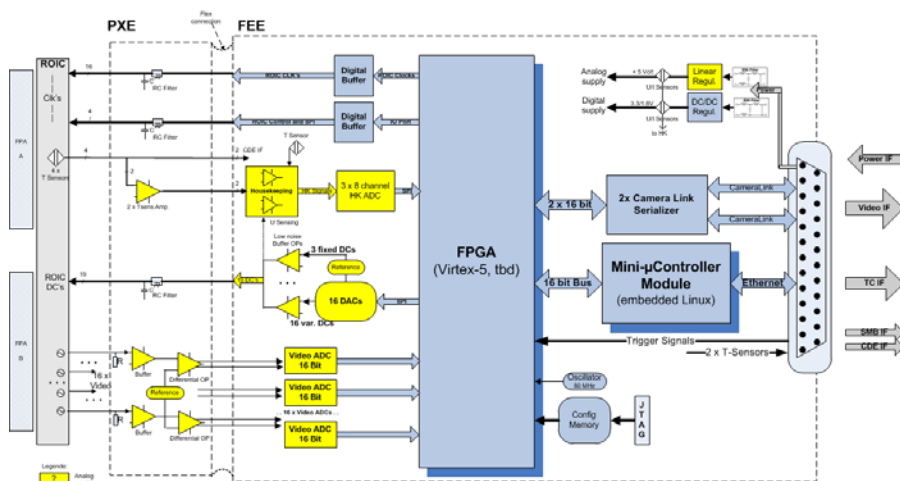


Rahmendaten:

- Zentrales Power supply (Eine Versorgungsspannung)
 - Komplet uni-polares Design (nur +5 Volt analog)
- 16 Videokanäle
 - Eingangsbuffer, Differentielle Treiber
 - 16 Video ADCs, 16 bit, 10 – 20 MHz (max. Rohdatenrate im FPGA 640 MB/sec.)
- 22 ROIC Versorgung- und Steuerspannungen
 - 16 variable DCs
 - 6 fest DCs
- 28 digitale ROIC Takt- und Steuersignale
 - ROIC Auslese- und Schiebetakte
 - Statische Einstellungen (Gain, ...)
 - SPI Schnittstelle
- 24+3 Housekeeping Kanäle (3x8 HK-ADC, 3 T-Sensoren ADCs)
- Camera-Link
 - Medium Configuration; 2 taps, je 16 bit Graustufen, 80 MHz (max. Datenrate 320 MB/s)
- µController
 - Telekommando Schnittstelle (nach KIT Standard)
 - Housekeeping Schnittstelle

5

Blockschaltbild



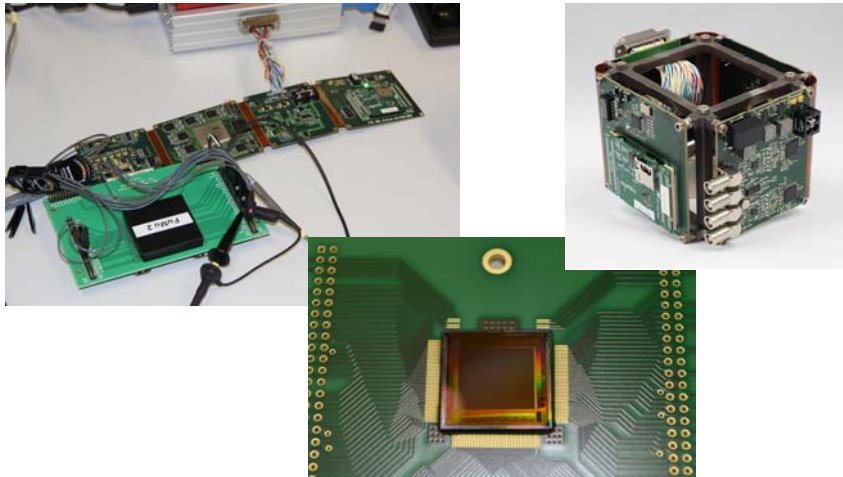
6

ROIC Adapter und Funktionsmuster



ROIC Adapter entworfen

- Aufnahme von Test ROICs
- Bereitstellen aller Messpunkte
- Mit ROIC: zum ROIC Test
- Ohne ROIC: zum Einspeisen von Signalen → Qualifizierung der Elektronik

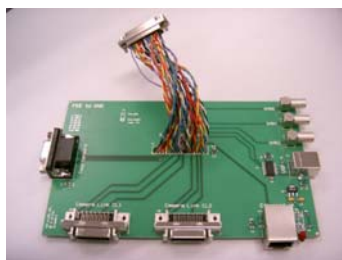


7

GSE-Breakout

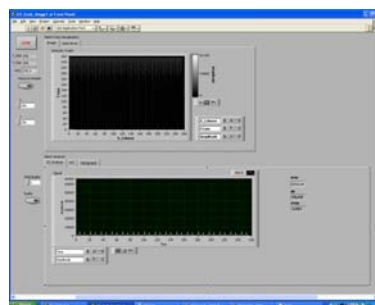


GSE Breakout Box

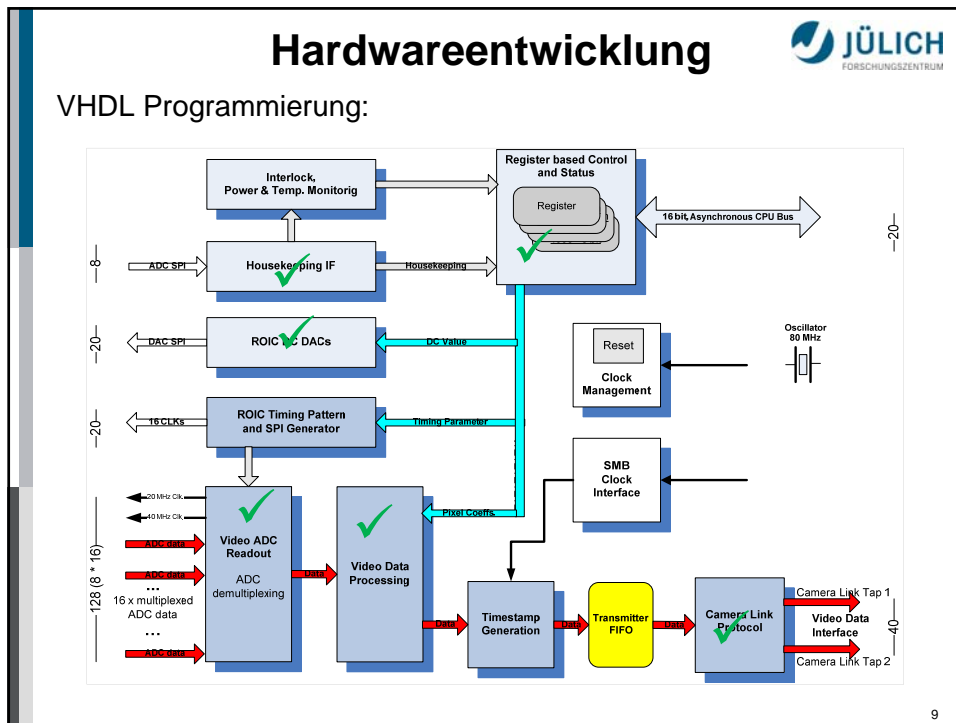



LabView Test Software

- Tele-command Control
- Housekeeping Monitoring
- Video-Data Bilderfassung
 - ADC Analyse, FFT, ...



8



- ## Hardwareentwicklung JÜLICH FORSCHUNGSZENTRUM
- VHDL Programmierung:
- 256 16Bit Register im FPGA ✓
 - 0..127 internal Configuration/Setup
 - 128..255 mapped to ROIC Register 0..127
 - DAC Ansteuerung ✓
 - 100 Hz Update der DAC-Werte aus den Config-Registern
 - HK ADCs ✓
 - Auslesen der Housekeeping Werte mit 100Hz
 - Timing Pattern:
 - IWR SM1 ✓
 - Auto Mode ✓
 - Data Processing:
 - ADC readout ✓
 - Status line angefangen
 - FIFO handling ✓
 - Cameralink ✓
- 

Gewählter FPGA
Virtex 5 XC56VLX30T

Hardwareentwicklung JÜLICH FORSCHUNGSZENTRUM

µC Programmierung:

- ARM Prozessor basiert
- Embedded Linux


- TC/DP Schnittstelle:

- read/write Register ✓
- enable/disable interlock ✓
- mode select ✓
- write ini-File ✓

- Startup Sequence ✓

- Mode-Change Sequence ✓

- Read ini-File on startup ✓



Offen FPGA / µC

- **Fehlende Timing Pattern**
- **Interlock: Power/Temperatur Monitoring**
- **Min/Max Abfrage, Overwrite**
- **Weitere TCs ?**

11

Video Path Analysis JÜLICH FORSCHUNGSZENTRUM

DC Analyse:
DC Quelle: 2.25 Volt = Mittellage (~32678)

RMS → SNR → dB → Enob (-1,76 ; /6.02)

RMS: 6 LSBs
dB: -80 dB

mit AVDD aus POL: 12.9 bits
mit AVDD von ext. NT: 12.75 bits


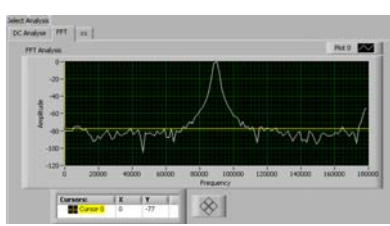
AC Analyse:
Agilent 33500B: Sinus Off=2.25; 2.2 Vpp; 92 KHz

→ ca. -77 dB (12.7 bit)


Ziel: 80 dB = 13.0 bits
Vision: 83 dB = 13,5 bits

Offen:

- Optimierung der ADC Filter
- Änderung des Power-Supply Konzepts

12



Frame-raten

Clock-divider N (80 MHz / N) bestimmt MCLK

N=8 → MCLK = 10 MHz
128 x 128 (129) → 4790 Hz
= 150 MB/s = 0.52 TB/h


N=6 → MCLK = 13,3 MHz
128 x 128 (129) → 6380 Hz
= 200 MB/s = 0.7 TB/h

N=4 → MCLK = 20 MHz // noch nicht getestet
128 x 128 (129) → 9500 Hz
= 304 MB/s = 1 TB/h

Referenz: GLORIA-2
128 x 64 → 4800 Hz
75 MB/s = 0.25 TB/s

Problem: Daten müssen kontinuierlich auf Festplatten !!!

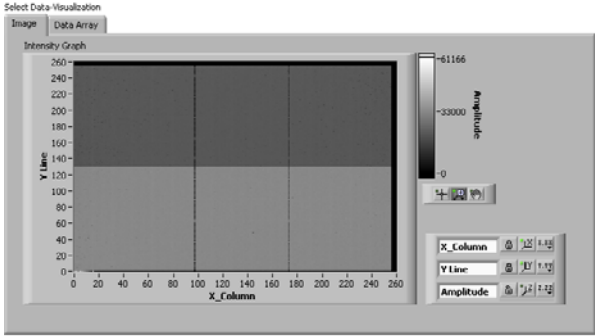
13



Video Data A/B

- Live Bild FuMu 2
 - IWR SM1
 - NORMAL Mode
 - 256x256 + Statuszeile
 - A/B zu Erkennen
 - 2 Spalten ROIC Probleme ???

Select Data-Visualization



14




Nächste Schritte


- Fertigstellung VHDL Code
 - weitere Timing-Pattern
 - Interlock (basierend auf HK Daten)
 - Externe Trigger
 - Ausfüllen der Header Zeile
- Fertigstellung uC Code
 - Min/Max Sicherheitsabfrage
 - Weitere TCs ?
 - Dual Mode für TC/DP testen
- GSE überarbeiten
 - CL Treiber einfügen (Problem Kabellänge)
 - LABView Software Control/Housekeeping/Image überarbeiten
- **Überarbeitung FEE**
 - nach Lernprozess



15



Danke für Ihre Aufmerksamkeit



16

Eine Ausleseelektronik für CZT-Detektoren mit dem RENA-3 IC von Nova R&D

Philipp Födisch*, Bert Lange*, Peter Kaever*

*Zentralabteilung Forschungstechnik, Helmholtz-Zentrum Dresden - Rossendorf, Bautzner Landstr. 400, 01328 Dresden

Zusammenfassung—Ziel ist die Entwicklung einer kompakten Ausleseeinheit für CZT-Detektoren (Cadmiumzinktellurid) für die energieauflösende Spektroskopie von γ -Strahlung. Der von NOVA R&D verfügbare RENA-3 ASIC (Readout Electronics for Nuclear Applications) ist für den direkten Anschluss an die Detektoren vorgesehen und deckt so einen Großteil der analogen Funktionen ab. Im ASIC sind 36 konfigurierbare Eingangskanäle integriert, die mit ladungsempfindlichen Vorverstärkern und analoger Signalverarbeitung (pulse shaping) für CZT-Detektoren optimiert sind. Für die Ansteuerung des ASICs und die Verarbeitung der Ausgangssignale wurde eine digitale, FPGA-basierte Elektronik entwickelt. Die Konfiguration der Hardware wird mittels eines synthetischen Prozessors durch Software im FPGA und auf einem PC unterstützt. Gezeigt werden die Instrumentierung des Prototyps und die Ergebnisse der Kalibrierung des Gesamtsystems durch synthetische Detektorsignale in einer automatisierten Testumgebung. Mit dem entwickelten System werden der Messbereich, die Energieauflösung und das Zeitverhalten des ASICs untersucht und auf die geplante Anwendung mit CZT-Detektoren hin überprüft.

I. EINLEITUNG

Bei der medizinischen Therapie mit neuen Strahlenarten kann die Dosisdeposition im Patienten mit der Detektion der emittierten γ -Strahlung überwacht werden. Die Dosisverteilung wird mit der ortsauflösenden Spektroskopie von prompten γ -Strahlen rekonstruiert. Der Einsatz eines Detektorsystems für prompten γ -Strahlung in einem klinischen Umfeld erfordert neben einer kompakten und zuverlässigen Bauweise der Elektronik vor allem auch eine präzise und schnelle Verarbeitung der Detektorsignale. Als Detektor für γ -Strahlung ist Cadmiumzinktellurid (CZT, chem. CdZnTe) hinsichtlich Energieauflösung, Zählrate und Temperaturstabilität ein effizientes Halbleitermaterial. Derzeitig werden am Helmholtz-Zentrum Dresden - Rossendorf CZT-Streifendetektoren (16 Anoden und 16 Kathoden) mit den Abmessungen $20\text{ mm} \times 20\text{ mm} \times 5\text{ mm}$ der Firma Baltic Scientific Instruments erprobt und hinsichtlich der Anwendung für die medizinische Bildgebung untersucht [1]. Für die Evaluierung des Verfahrens wurde eine diskrete Front-End-Elektronik zur Vorverarbeitung der Detektorsignale aufgebaut. Die anschließende analoge Signalverarbeitung wurde zunächst mit VME-Modulen realisiert. Das Ziel einer kompakten Ausleseeinheit wird aber erst durch die Entwicklung einer FPGA und ASIC-basierten Ausleseelektronik für die CZT-Detektoren erreicht. Diese Lösung hat den Vorteil, dass die wesentlichen Teile des Messsystems (Trigger-Generierung, Energiemessung, lokale Zeitnahme und Ereignisvalidierung) in einem kompakten Modul realisiert werden können. Der modulare Aufbau in kleinen, kalibrierten Detektoreinheiten macht das System für die geplante Anwendung im medizinischen Umfeld skalierbar. Der Transport der Rohdaten des Detektors

erfolgt über standardisierte Schnittstellen an eine nachgelagerte Hardwarekomponente, welche abschließend die physikalisch relevanten Ereignisse (z. Bsp. Koinzidenzen und Validierung) erfasst und die Messwerte aus den Moduldaten für die Datenverarbeitung konzentriert. Die ortsauflösende Rekonstruktion der prompten γ -Strahlung erfordert neben den Energiewerten eine präzise Zeitmessung durch die Detektorelektronik. Denn die Anzahl valider Ereignisse in Koinzidenz, welche schließlich zur Berechnung herangezogen werden, werden durch die Trigger-Logik und die lokale Zeitnahme der Hardware-Module bestimmt. Die exakte zeitliche Zuordnung der Detektorsignale zueinander spielt demnach eine entscheidende Rolle für die Bildgebung. Weiterhin wird die Genauigkeit der Rekonstruktion durch den Beitrag der Ausleseelektronik zur Energieauflösung bestimmt. Während der verwendete Detektor durch seine physikalischen Eigenschaften in der Energieauflösung begrenzt ist, muss die Abtastung und Weiterverarbeitung der Signale durch die nachgeschaltete Elektronik ohne weitere Verluste erfolgen.

A. Verarbeitung von Detektorsignalen

Der Nachweis von γ -Strahlung mit einem Halbleiterdetektor funktioniert aufgrund verschiedener Wechselwirkungsprozesse zwischen der Strahlung und der Materie. Im vereinfachten Fall wird durch das eintreffende Photon ein Elektron-Loch-Paar erzeugt. Die im Detektor absorbierte Energie E_γ der γ -Strahlung ist proportional zur induzierten Ladung Q_{CZT} an den Elektroden des Halbleiterdetektors. In einem CZT-Detektor ist eine Energie von ca. 4.64 eV notwendig, damit ein Elektron-Loch-Paar erzeugt wird. Mit der Elementarladung q ergibt sich folgender Zusammenhang:

$$Q_{CZT} = \frac{E_\gamma}{4.64\text{ eV}} \cdot q \quad (1)$$

Mit dem in Gl. 1 genannten Zusammenhang ergibt sich bspw. bei der Bestrahlung des Detektors mit einer ^{60}Co Quelle (Photopeak bei 1173 keV und 1332 keV) eine induzierte Ladung von 40.86 fC bzw. 46.43 fC . Für die Verarbeitung solcher Detektorsignale sind ladungsempfindliche Vorverstärker die Schnittstellen zwischen Detektorelektroden und verarbeitender Elektronik (siehe Abb. 1).

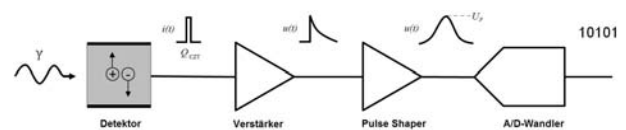


Abbildung 1. Grundlegende Verarbeitung eines Detektorsignals [2]

Der Verstärker reagiert auf einen Stromfluss am Eingang mit einem Spannungspuls am Ausgang. Die Höhe des Spannungspulses ist proportional zum integrierten Stromfluss am Eingang des Verstärkers. In einem nachgeschalteten Glied wird die Breite des Pulses geformt. Der Pulsformer (engl. Pulse Shaper) wirkt als Tiefpass auf den Spannungspuls des Vorverstärkers. Die Pulshöhe U_p des Shapers liefert den Zusammenhang zwischen der induzierten Ladung Q_{CZT} und der gesuchten Größe E_γ . Es gilt:

$$Q_{CZT} \propto U_p \quad (2)$$

$$Q_{CZT} = a \cdot U_p + b \quad (3)$$

Es wird der lineare Ansatz nach Gl. 3 gewählt, um die physikalische Messgröße für die nachgelagerte Datenverarbeitung aus dem Messsignal zu berechnen. Die Parameter werden durch die Kalibrierung des Gesamtsystems ermittelt (Abs. III-C).

II. AUSLESEELEKTRONIK FÜR CZT-DETEKTOREN

Die elementaren Funktionen bei der Verarbeitung eines Detektorsignals durch einen ladungsempfindlichen Vorverstärker, Puls Shaper und anschließender Pulshöhenanalyse sind klassische Aufgaben der analogen Signalverarbeitung. Der RENA-3 IC (Readout Electronics for Nuclear Applications Integrated Circuit) der Firma NOVA R&D integriert 36 konfigurierbare Eingangskanäle, welche mit der beschriebenen Signalverarbeitungskette für CZT-Detektoren optimiert sind.

A. RENA-3 IC von NOVA R&D

Die ladungsempfindlichen Vorverstärker des RENA-3 sind für einen Messbereich bis 54 fC dimensioniert [3]. Bei der Anwendung mit CZT-Detektoren resultiert daraus ein spektroskopischer Messbereich bis ca. 1.56 MeV (nach Gl. 1). In Abhängigkeit der Detektorsignale kann ein kleiner Messbereich bis 9 fC über die Feedback Konstante des Vorverstärkers (RC-Glied) konfiguriert werden. Am Eingang des Verstärkers können sowohl die Signale der Anode als auch die Signale der Kathode des Halbleiterdetektors verarbeitet werden (negative bzw. positive Polarität des Eingangssignals). Die Peaking-Time (Zeitkonstante für den Anstieg der Pulshöhe von 1% auf 100%) des Pulse Shapers ist in 16 nicht äquidistanten Zeitintervallen zwischen 0.29 μ s und 39 μ s skalierbar. Eine Verstärkung des geformten Pulses ist bis Faktor 5 möglich (in 4 diskreten Stufen). Jeder Detektoreingang ist mit einem Peak-Hold Schaltkreis zur Pulshöhenanalyse ausgestattet. Das sequentielle Auslesen dieser Pulshöhen ist auf 3 MSamples/s begrenzt. Ein im ASIC integrierter Kondensator mit einer Kapazität von 75 fF ermöglicht die individuelle Kalibrierung der 36 Eingangskanäle. Mit diesem Eingang (Test-Pin) können synthetische Detektorsignale durch einen Spannungspuls am Eingang erzeugt werden. Zur Evaluierung der eingestellten Parameter kann die Pulsformung des RENA-3 in einem Diagnose-Modus (Follower-Mode) für einen Eingangskanal am analogen Ausgang des ICs beobachtet werden (siehe Abb. 5). Für jeden Detektoreingang generieren zwei programmierbare Schwellwertdiskriminatoren die Triggersignale zur Ereignisdetektion. Dabei signalisiert ein Komparator das Auftreten eines Detektorsignals (Slow-Trigger). Der zweite Komparator aktiviert die Abtastung des externen Zeitsignals im Eingangskanal und generiert ebenfalls einen logischen Pegel am Ausgang des ICs (Fast-Trigger). Mit den abgetasteten

Spannungswerten der generierten Signalverläufe (Sinus und Cosinus Signale mit definierter Frequenz) können die Trigger-Ereignisse im Bereich von einigen Nanosekunden zeitlich aufgelöst werden. Die Signalverarbeitungskette (Abb. 2) des RENA-3 wird ereignisorientiert gesteuert. Das kontinuierliche Auslesen der analogen Signale ist folglich nicht möglich. Erst das Auftreten eines Ereignisses im Energiekanal (Slow-Trigger) oder im Zeitkanal (Fast-Trigger) der Signalverarbeitungskette erzeugt gültige Messwerte. Die Ergebnisse der Zeit- und Energieauflösung sowie der Kalibrierung des Messbereichs werden in den Abs. III-B und III-C dargestellt. Die Konfiguration des ASICs sowie die Steuerung des Auslesezyklus erfolgt über eine digitale Schnittstelle mit einem FPGA. Die am differentiellen Ausgang des ASICs sequentiell anliegenden Spannungswerte werden direkt von einem A/D-Wandler abgetastet. Die logischen Signale werden über entsprechende Pegelwandler mit dem FPGA verschaltet.

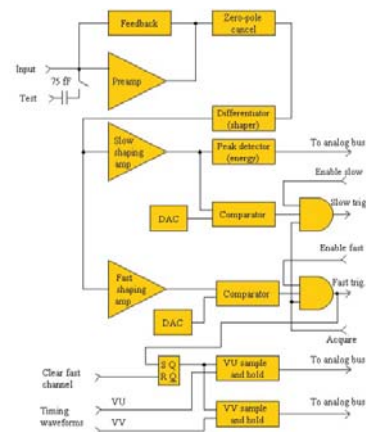


Abbildung 2. Analoge/digitale Signalverarbeitungskette eines RENA-3 Detektoreingangs [3]. Der Peak-Detektor generiert den Energiewert aus der Pulshöhe des Shapers (Energiekanal). Die Abtastung der externen Zeitsignale erfolgt mit dem Fast-Trigger (Zeitkanal).

B. Gesamtsystem

Für die Evaluierung des RENA-3 wurde ein Motherboard entwickelt, welches zwei ICs aufnehmen kann. Für erste Tests wurde die Platine mit nur einem Chip bestückt (siehe Abb. 3). Das Motherboard wurde als FPGA Mezzanine Card (Low

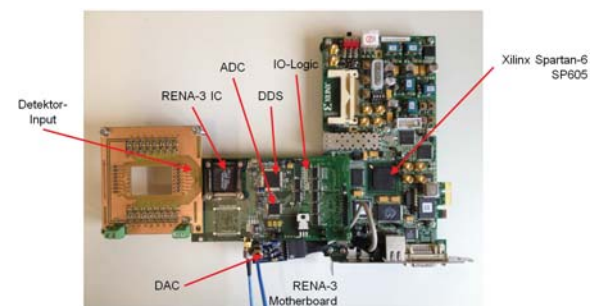


Abbildung 3. Prototyp des RENA-3 Motherboards mit Adapterplatine für einen CZT-Streifendetektor und FPGA Evaluation Board.

Pin Count) für den direkten Anschluss an ein FPGA Board

entwickelt. Zur Erprobung des Gesamtsystems wird ein Xilinx Spartan6-LX45T FPGA verwendet (SP605 Evaluation Board). Mit der Implementierung der Schnittstelle zwischen Motherboard und FPGA nach FMC Standard kann die FPGA Plattform beliebig ausgetauscht werden. Die Spannungsversorgung des RENA-3 Motherboard erfolgt über den FMC Steckverbinder durch das SP605. Die Detektorelektroden können direkt an das Motherboard angeschlossen werden. Lediglich für die Hochspannungsversorgung des CZT-Streifendetektors ist eine weitere Adapterplatine notwendig. Das RENA-3 Motherboard integriert die Komponenten zur Generierung der analogen Zeitsignale (Direct Digital Synthesis IC, AD9854) und der synthetischen Detektorsignale (D/A Wandler, AD5541) sowie einen A/D-Wandler (AD9243) zur Signalerfassung. Weiterhin wurden auf der 4-Lagen-Platine die Schnittstellenlogik zur Pegelwandlung einschließlich der externen Beschaltung aller ICs (siehe Abb. 4) platziert. Die Signale der Schnittstellen

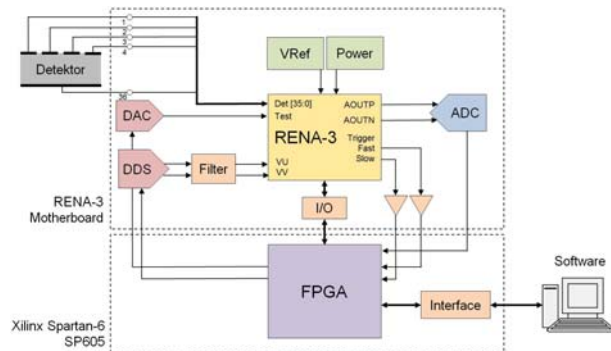


Abbildung 4. Ausleseelektronik bestehend aus RENA-3 Motherboard mit externer Beschaltung und FPGA Evaluation Board (Xilinx SP605) mit Schnittstellen

zwischen RENA-3 und den externen Komponenten sind in Tab. I zusammengefasst. Die Schnittstellen der ICs von Analog Devices werden vom FPGA bedient und können in den entsprechenden Datenblättern eingesehen werden [4], [5], [6].

Tabelle I. SIGNALE DER SCHNITTSTELLEN DES RENA-3

Funktion	Signaltyp	Anz.	Quelle	Ziel
Konfiguration	Digital	3	FPGA	RENA-3
Readout	Digital	10	FPGA	RENA-3
Readout	Digital	3	RENA-3	FPGA
Trigger	Digital	2	RENA-3	FPGA
Pulshöhe, Zeitwert	Analog	1	RENA-3	AD9243
Zeitsignal	Analog	2	AD9854	RENA-3
Test	Analog	1	AD5541	RENA-3

Eine PC-Software liest die Detektordaten (Energie- und Zeitwerte) aus dem FPGA für die weitere Verarbeitung. Über eine grafische Benutzeroberfläche können die Messwerte und die Parameter des RENA-3 visualisiert werden. Dadurch wird eine schnelle Prüfung der Konfiguration gewährleistet und die Evaluierung neuer Parametersätze am PC unterstützt. Nach Herstellerangaben ist ein Auslesevorgang des RENA-3 ICs mit einer Totzeit von $5 \mu\text{s}$ behaftet. Das sequentielle Auslesen der Detektorkanäle ist auf 3 MHz begrenzt, d. h. ein Auslesezyklus

mit N Messwerten dauert

$$T_N = 5 \mu\text{s} + N \cdot 333 \text{ ns} \quad (4)$$

Mit der minimalen Auslesezeit t_1 ergibt sich eine Auslesefrequenz von 187.555 kHz. Von jedem Detektoreingang können 42 bit (14 bit Pulshöhe, zwei 14 bit Zeitwerte) gelesen werden, d. h. für den Auslesevorgang eines Eingangs mit 42 Bit ist eine Datenrate von ca. 6.68 Mb/s zu erwarten. Ein voller Auslesevorgang mit 36 Detektoreingängen (je 42 Bit) resultiert in einer Datenrate von ca. 35.02 Mb/s. Um die gesamte Leistungsfähigkeit des voll bestückten RENA-3 Motherboards (zwei RENA-3 ICs) zu nutzen, wird eine Gigabit Ethernet Schnittstelle genutzt. Die absolute Totzeit von $5 \mu\text{s}$ wird mit der FPGA-Implementierung (siehe Abs. II-D) untersucht.

C. Signalgenerierung und Signalerfassung - Verifikation der analogen Ein-/Ausgänge

Der RENA-3 IC wird im ersten Schritt mit synthetischen Detektorsignalen evaluiert und kalibriert. Die Erzeugung eines Spannungspuls am Test-Eingang ($C_{\text{Test}} = 75 \text{ fF}$) mit einer Amplitude von 0.72 V ist äquivalent zu einem Detektorsignal mit einer Ladung von ca. 54 fC. Der Spannungspuls wird mit dem FPGA und dem D/A-Wandler AD5541 erzeugt. Mit dem AD5541 können Spannungspulse bis 2.5 V bei einer maximalen Anstiegs-/Abfallzeit von 500 ns erzeugt werden. Die Ausgangsspannung wird mit 16 bit aufgelöst [6]. Ein negativer Spannungspuls am Eingang resultiert in einem geformten Puls mit positiver Polarität. Jede Pegeländerung des Signalgenerators induziert eine Ladung auf dem Vorverstärker eines RENA-3 Detektoreingangs. Die Anstiegs-/Abfallzeit des Detektorsignals bestimmt die einzustellende Peaking-Time der Pulsformung. Die Einstellungen des Pulse Shapers müssen so gewählt werden, dass der gesamte Stromfluss integriert wird. Zur Evaluierung der Konfigurationsparameter des RENA-3

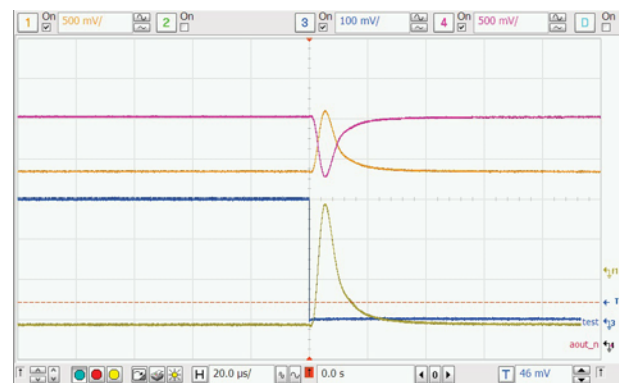


Abbildung 5. Differentielles Ausgangssignal (orange und rot) des RENA-3 im Follow-Mode beim Anlegen eines negativen Pulses (blau). Für die Pulsformung wurden die Einstellungen Gain = 5 und Peaking-Time = $4.5 \mu\text{s}$ gewählt.

kann im Follow-Mode am analogen Ausgang die Pulsformung beobachtet werden. In der Abb. 5 ist ein typischer Signalverlauf dargestellt. In diesem Modus wird im selektierten Detektoreingang der Peak-Hold Schaltkreis deaktiviert. Anstatt der Pulshöhe kann die gesamte interne Signalverarbeitungskette analysiert werden. Die Abb. 5 zeigt die Signale des differentiellen Analogausgangs (Oszilloskopkanal 1 und 4,

gelb bzw. rot) und den resultieren Puls als Differenz (Kanal f1). Die Pulshöhe von 300 mV (Oszilloskopkanal 3, blau) entspricht einer Ladung von ca. 22.5 fC. Der Pulse Shaper wurde mit 4.5 μ s konfiguriert. Das Auslesen der Pulshöhen aller Detektoreingänge einschließlich Zeitwerten erfolgt sequentiell und synchron zum Takt des A/D-Wandlers AD9243. Die Abb. 6 zeigt den Auslesevorgang eines Ereignisses mit einem Energiewert (Pulshöhe) und zwei Zeitwerten im normalen Betriebszustand des RENA-3 (Slow- und Fast-Trigger aktiviert, Follow-Mode deaktiviert). Mit jedem Takt des A/D-Wandlers (Oszilloskopkanal 3, blau) wird ein Abtastwert des RENA-3 Ausgangs generiert. Die interne Verarbeitungspipeline des Wandlers verzögert die digitalen Werte um drei Takte. Der AD9243 wird mit der externen Beschaltung für einen Spannungsbereich von 1.75 V bis 3.25 V konfiguriert, d.h. der differentielle Analogausgang des RENA-3 (3 V_{pp}) wird mit 14 bit quantisiert [4]. Die Erfassung der Zeitwerte für ein

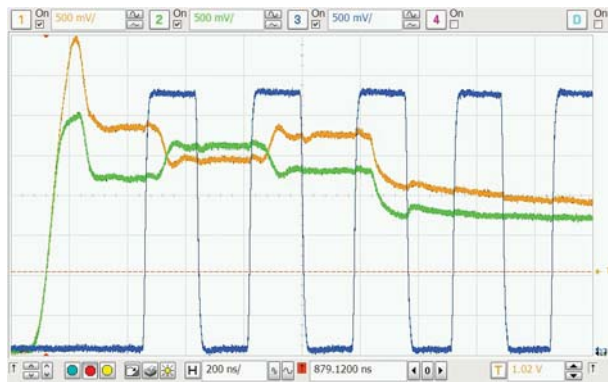


Abbildung 6. Abtastung des analogen Ausgangssignals des RENA-3 ICs (orange und grün) mit 2.941 MHz (blau).

Trigger-Ereignis erfolgt durch den RENA-3 mit der Abtastung der beiden periodischen Signalverläufe (Sinus und Cosinus Signal, Abb. 7). Das Eintreffen eines Detektorsignals markiert somit einen Zeitpunkt im 2π -Intervall. Die zeitliche Relation der Ereignisse zueinander kann demnach auch nur in diesem Intervall erfolgen. Die Dauer einer Periode muss dabei auf die Dauer eines Messvorgangs angepasst werden. Für die Ereignis-

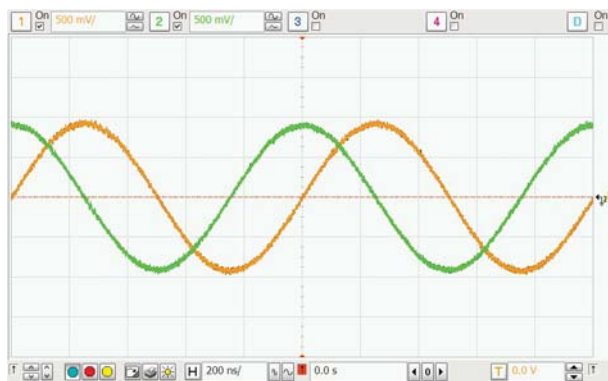


Abbildung 7. Externe Zeitsignale (1 MHz) für den RENA-3 zur Generierung der Zeitwerte für jedes Ereignis.

detektion in einem Zeitfenster von 1 μ s darf die Frequenz der

generierten Signale nicht größer sein als 1 MHz. Der AD9854 erzeugt die Frequenzen mit einem 48 bit frequency-tuning-word (FTW) bis 200 MHz [5]. Die externe Beschaltung des ICs begrenzt die Frequenz auf 120 MHz (passives Tiefpassfilter). Die Konfiguration des FTW erfolgt mit dem FPGA über die digitale Schnittstelle (SPI) des AD9854.

D. FPGA Implementierung

Die Kommunikation des FPGAs mit den Komponenten des RENA-3 Motherboards erfolgt über standardisierte Schnittstellen. Die Ablaufsteuerung wird von einem Softprozessor (Zylin CPU, ZPU) im FPGA ausgeführt. Die ZPU ist eine quelloffene CPU in VHDL. Der 32 bit Prozessor ist als Stack-Maschine aufgebaut und benötigt wenig FPGA Ressourcen. Für die ZPU ist ein angepasster GNU C-Compiler verfügbar. Die spezifischen Schnittstellen und zeitkritische Signale der Hardware werden mit eigenen Controller (VHDL) bedient, standardisierte Kommunikationssignale (z. B. SPI) werden mit der ZPU verarbeitet. Der Controller für den RENA-3 steuert den Auslesevorgang sowie die Konfigurationsroutinen des ICs. Die Parameter werden in Registern verwaltet und können durch die ZPU beliebig manipuliert werden. Alle Signale des Controllers können über externe Ausgänge des FPGAs auf dem Motherboard überwacht werden. Die Implementierung der System-on-a-Chip Architektur erfolgt mit AMBA (Advanced Microcontroller Bus Architecture). Der programmgesteuerte Ablauf durch die ZPU-Software ermöglicht auch die Manipulation der Zustandsautomaten der jeweiligen Controller-Einheiten. Weiterhin bietet diese Realisierung erweiterte Möglichkeiten des Debuggings (z. Bsp. Lese/Schreibzugriffe auf FPGA Register, Ausgaben über die UART). Mit der Software im FPGA werden wiederkehrende Abläufe automatisiert durchgeführt. Die Kalibrierung der Detektoreingänge erfolgt durch Buszugriffe auf die Register des im FPGA realisierten RENA-3-Controllers. So steuert die ZPU den Signalgenerator für den gesamten Messbereich bis 54 fC in diskreten, einstellbaren Schrittweiten. Die Konfiguration der Eingänge wird für jedes Detektorsignal in einer weiteren Schleife durchlaufen. Mit dem implementierten System können verschiedene RENA-3 ICs evaluiert und kalibriert werden. Die Steuerung eines Auslesevorgangs des RENA-3 durch den FPGA erfolgt mit 15 Signalen durch eine Finite State Machine (FSM) nach Abb. 9. Der A/D-Wandler wird synchron zu den Steuersignalen des RENA-3 bedient (Takt- und Datensignale). In der Abb. 8 sind die wesentlichen Signale für den Auslesezyklus und der damit verbundenen Totzeit dargestellt. Während dieser Zeitdauer werden keine Detektorsignale durch die Hardware erkannt und verarbeitet. Die Verarbeitungszeit muss also auf ein Minimum reduziert werden, um eine maximale Zählrate zu erreichen.

Der Beginn eines Messzyklus beginnt mit dem Anlegen des Signals *ACQUIRE*. In Abhängigkeit der Konfiguration werden zwei Trigger Signale erzeugt, wenn die Amplituden-Diskriminatoren der Pulse Shaper die Schwellwerte überschreiten. Die Signale *TF* und *TS* zeigen dem FPGA ein Trigger-Ereignis an (Fast-Trigger bzw. Slow-Trigger). Mit dem anfallenden Triggersignal beginnt die Totzeit, sobald die softwaremäßig eingestellte Integrationszeit verstrichen ist (Acquire-Time). In den durchgeführten Versuchen wurde die Acquire-Time auf die Zeitkonstante des Pulse Shapers eingestellt. Nach dem Ablauf der Integrationszeit beginnt ein

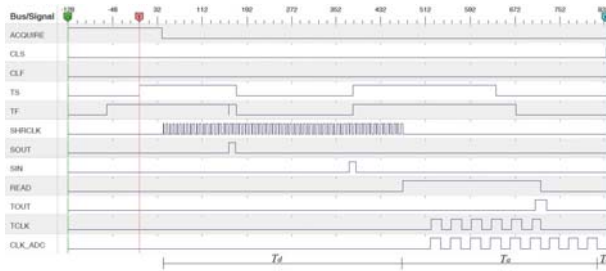


Abbildung 8. Digitale Signalverläufe bei der Kommunikation zwischen FPGA und RENA-3 während eines Auslesevorgangs. Das Diagramm zeigt nur eine Auswahl der benötigten Signale für einen vollständigen Zyklus.

Auslesevorgang mit der steigenden Flanke des Signals *SHRCLK* und Low-Pegel des Signals *ACQUIRE*. Die Hit-Register des RENA-3 halten die Zustände der getriggerten Detektoreingänge. Jede steigende Flanke des Taktsignals schiebt ein Bit des Hit-Registers auf den Ausgang *SOUT*. Das Fast-Hit-Register kann parallel dazu gelesen werden (Signale: *FHRCLK*, *FOUT*). Die Hit-Register sind nach 36 Takten gelesen. Anschließend werden die Eingänge selektiert, welche gelesen werden sollen (Read-Pattern). Im einfachsten Fall wird der Wert des Hit-Registers wieder zurückgeschrieben (Signal: *SIN* bzw. *FIN*). Das Read-Pattern zur Selektion der Detektorkanäle wird vom FPGA erzeugt und ist beliebig konfigurierbar. Die Geschwindigkeit des Taktes T_{SHRCLK} zum Lesen und Schreiben der Register bestimmt letztendlich einen wesentlichen Teil der Totzeit T_D des RENA-3. Für die digitalen Lese- und Schreibzugriffe auf die Register ergibt sich die Konstante T_d wie folgt:

$$T_d = 72 \cdot T_{SHRCLK} \quad (5)$$

Die Frequenz von 16.7 MHz stellte während der Evaluierung des Gesamtsystems die Obergrenze dar, d.h. der Lese-Schreib-Zyklus ist nach $T_d = 4.32 \mu s$ beendet. Im Anschluss wird das Signal *READ* auf den High-Pegel gesetzt, so dass am analogen Ausgang des RENA-3 der erste gültige Wert anliegt. Die initiale Einschwingzeit beträgt rund 500 ns. Die nachfolgenden Werte am Analogausgang sind nach 333 ns stabil. Mit dem Pipeline-Delay des A/D-Wandlers von drei Takten ergibt sich für den Auslesezyklus von N analogen Werten folgende Totzeit für den RENA-3:

$$T_a = 500 \text{ ns} + (N + 3) \cdot 340 \text{ ns} \quad (6)$$

Abschließend werden alle digitalen Register und analogen Sample-and-Hold Stufen mit den Signalen *CLS* bzw. *CLF* zurückgesetzt. Diese Signale müssen nach Herstellervorgaben für mind.

$$T_c = 1 \mu s \quad (7)$$

auf den High-Pegel gesetzt werden. Die Gln. 5, 6 und 7 ergeben in Summe die bisherige Auslesezeit der Implementierung für N Werte:

$$T_N^* = 5.82 \mu s + (N + 3) \cdot 340 \text{ ns} \quad (8)$$

Durch weitere Tests (z. Bsp. Bestimmung der maximalen Taktfrequenz von f_{SHRCLK}) und Optimierungen (z. Bsp. Verschiebung des Pipeline-Delays des A/D-Wandlers vor den Auslesevorgang) soll das in Gl. 4 formulierte Ziel erreicht werden. Mit der bisherigen Implementierung kann für ein Ereignis

nach Gl. 8 eine Zählrate von ca. 139 kHz erzielt werden. Der im FPGA implementierte Zustandsautomat realisiert die exakte zeitliche Abfolge der Steuersignale nach Abb. 8 unter Einhaltung der erforderlichen Verzögerungszeiten. In Abb. 9 sind die benötigten Zustände für den Auslesevorgang und die Konfiguration des RENA-3 dargestellt. In den Zuständen *DETECT* und *ACQUIRE* werden Detektorsignale durch den RENA-3 erkannt und verarbeitet. Die zyklische Abarbeitung der Zustände *CLEAR*, *HITREAD*, *HITWRITE*, *READLAG* und *READOUT* bestimmt die gesamte Totzeit T_N^* des Auslesevorgangs für N Pulshöhen-Werte und damit die maximale Zählrate N/T_N^* an äquivalenten Energiewerten.

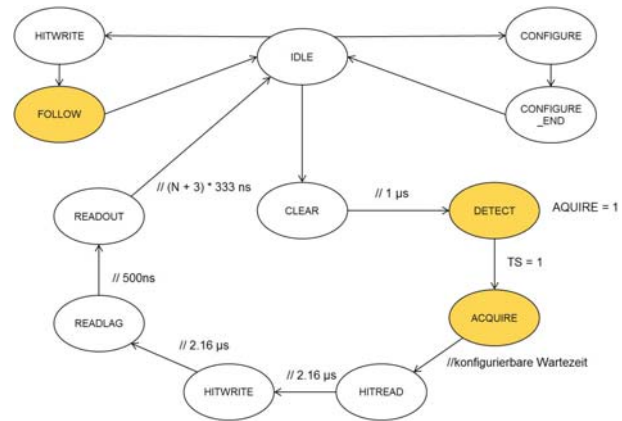


Abbildung 9. Finite State Machine (FSM) zur Steuerung des RENA-3. In den gelben Zuständen werden Detektorsignale erkannt und verarbeitet. Die restlichen Zustände steuern den Auslese- oder Konfigurationsvorgang. Die Zeiten an den Zustandsübergängen markieren die minimale Verweildauer in dem vorangegangenen Zustand.

E. Softwareumgebung

Die gesamte Datenverarbeitung, von der hardwarenahen Datennahme bis zur automatisierten Datenauswertung am PC, erfolgt mit austauschbaren Softwaremodulen. Auf unterster Ebene steuert die Software der ZPU die Konfigurations- und Auslesevorgänge der FPGA-Controller. Die Ablaufsteuerung durch diese Software erfolgt nach Kommandos von den oberen Ebenen (PC). Ebenso können Zustands- und Debug-Informationen zwischen den Ebenen ausgetauscht werden. Die Konfiguration des Gesamtsystems wird durch eine Software auf dem PC unterstützt. Vor allem die spezifischen Parameter der Eingangskanäle müssen durch eine Software einstellbar sein und verwaltet werden. Die Kombinationen an praktisch relevanten Parametersätzen bleiben somit für den Anwender beherrschbar und überschaubar. Die schnelle Überprüfung neuer bzw. geänderter Parametersätze wird somit vereinfacht. Für die einfache Bedienung der Hardware wurde deshalb eine Applikation mit grafischer Benutzeroberfläche (GUI) entwickelt (Abb. 10). Die Software basiert auf der Qt 4.8 Klassenbibliothek. Der Austausch der Konfigurationsdaten erfolgt über die serielle Schnittstelle. Die Schnittstelle kann auf Kommandozeilebene oder über die GUI bedient werden. Durch die Kommandos können automatisierte Abläufe (z. B. Kalibrier- und Testroutinen) in der ZPU-Software gestartet werden. Alle Daten werden mit der Anwendung unverarbeitet in Dateien gespeichert.

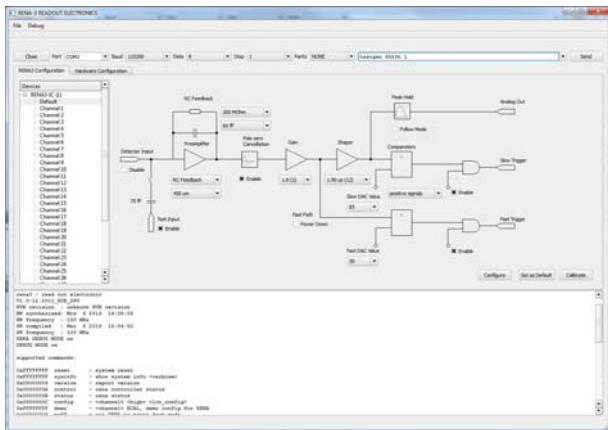


Abbildung 10. Bildschirmaufnahme der Applikation zur Konfiguration und Verwaltung der Hardware-Parameter (QT-Anwendung)

Mit einer weiteren Anwendung (Abb. 11) können die erzeugten Datensätze gelesen werden. Die Verarbeitung der Datensätze einschließlich der Visualisierung der Ergebnisse erfolgt mit Matlab. Die Kalibrierung der 36 Eingangskanäle wird mit entsprechenden Algorithmen durchgeführt. Es müssen die gesuchten Ausgleichparameter für die Energiemessung und die Zeitnahme bestimmt werden. Die Ergebnisse der Kalibrierung werden im folgenden Abs. III beschrieben.

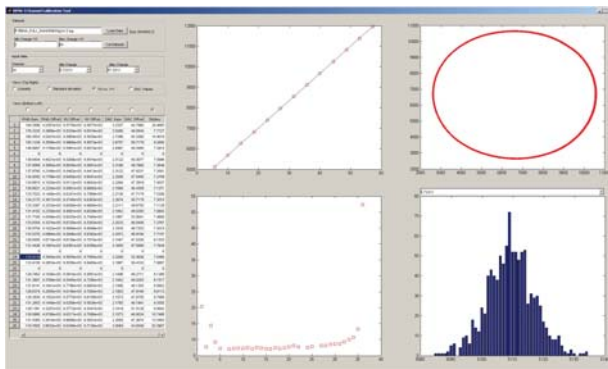


Abbildung 11. Bildschirmaufnahme der Applikation zur automatisierten Auswertung der Messergebnisse (Matlab-Anwendung)

III. MESSERGEBNISSE UND KALIBRIERUNG

Die Untersuchung der einzelnen RENA-3 Detektoreingänge erfolgt fast vollständig automatisiert durch den Signalgenerator, FPGA und die entsprechenden Softwarekomponenten. Für alle Kanäle werden die internen D/A-Wandler-Schwellwerte der Komparatoren sowie die Aussteuerung der Pulshöhenanalyse bei unterschiedlichen Verstärkungsstufen ermittelt. Mit der schrittweisen Inkrementierung der D/A-Wandler werden die gültigen Triggerschwellen der Komparatoren oberhalb des Rauschpegels gefunden. Die digitalisierten Werte der Pulshöhenanalyse und der Zeitsignale werden für die Kalibrierung herangezogen. Der Parametersatz für den ladungsempfindlichen Vorverstärker (z. Bsp. RC-Feedback Konstante) mit anschließender Pulsformung (z. Bsp. Peaking-Time)

muss im Vorfeld festgelegt werden. Diese Parameter müssen nicht automatisiert bestimmt werden, da diese schließlich vom angeschlossenen Detektor abhängig sind.

A. Parameter

Die Anwendung der Ausleseelektronik für die Detektion von promptem γ -Strahlung erfordert eine Messung im hohen Energiebereich. Deshalb wird als Feedback-Konstante 60 fF parallel $200 \text{ M}\Omega$ festgelegt. Diese Konfiguration erlaubt eine Messung bis 54 fC . Die Zeitkonstante (Peaking-Time) des Pulse Shapers wird auf $1.9 \mu\text{s}$ eingestellt. Es werden Slow- und Fast-Trigger aktiviert, damit ein Energie- und zwei Zeitwerte für jedes Ereignis generiert werden. Die gezeigten Resultate beziehen sich auf negative Detektorpulse am Eingang (siehe Abb. 5). Der festgelegte Parametersatz ist in nachfolgender Tab. II gelistet. Jeder Detektoreingang kann mit 35 Bit konfiguriert werden.

Tabelle II. PARAMETERSATZ EINES RENA-3 EINGANGSKANALS

Parameter	Bereich	Wert
Enable Follow Mode	1 Bit	0
Enable Slow Trigger	1 Bit	1
Enable Fast Trigger	1 Bit	1
Slow DAC	8 Bit	variabel
Polarity	1 Bit	1 ($\hat{=}$ Positive Pulsformung)
Fast DAC	8 Bit	variabel
Input FET Size	1 Bit	0 ($\hat{=}$ $450 \mu\text{m}$)
Peaking Time	4 Bit	12 ($\hat{=}$ $1.9 \mu\text{s}$)
DAC Reference	1 Bit	0 ($\hat{=}$ U_{Low})
Range	1 Bit	1 ($\hat{=}$ 60 fF Feedback Kondensator)
Pole Zero Cancellation	1 Bit	1
Power Down	1 Bit	variabel ($=$ 0 für selektierten Eingang)
Gain	2 Bit	variabel
Feedback	1 Bit	1 ($\hat{=}$ RC-Feedback)
Fast Power Down	1 Bit	variabel ($=$ 0 für selektierten Eingang)
Calibration	1 Bit	1 ($\hat{=}$ 75 fF Test-Input)
Feedback-R	1 Bit	1 ($\hat{=}$ $200 \text{ M}\Omega$)

riert werden. Für überschaubare und vergleichbare Messergebnisse wurden einige Einstellung nach vorheriger Evaluierung als Konstanten festgelegt (z. Bsp. Pole Zero Cancellation).

B. Energieauflösung

Jeder Eingang wird zu Beginn der Kalibrierung mit einem negativen Detektorsignal (76.295 mV) am Eingang angeregt. Die Erzeugung negativer Spannungspulse ist identisch mit der Polarität eines Detektorsignals der Anode. Es werden die Spannungen der Pulshöhenanalyse (U_p) und der abgetasteten Zeitsignale (U_U und U_V) aus dem RENA-3 gelesen. Mit der Erzeugung eines definierten Spannungspulses ist die gesuchte Messgröße Q_{CZT} aus Gl. 2 bereits bekannt. Der funktionale Zusammenhang nach Gl. 3 kann mit den Messwerten bestimmt werden, indem der erforderliche Messbereich durch synthetische Detektorsignale abgedeckt wird. Es werden Pulse bis 762.951 mV erzeugt. Dies entspricht einer Ladung von ca. 57.22 fC . Für die Evaluierung der Energieauflösung werden die Werte von 1000 Trigger-Ereignissen pro Detektoreingang und Signalamplitude ausgewertet. Die Spannungswerte von U_p werden als quantisierte Werte (ADC-Werte) durch die Auswerterroutinen verarbeitet. Die statistische Verteilung der ADC-Werte bei einem definierten Eingangssignal liefert den gesuchten Beitrag der Hardware zur Energieauflösung. Für die γ -Spektroskopie ist neben der Messbereichsbegrenzung die breite der statistischen Verteilung ein limitierender Faktor. Je schmaler die Verteilung, desto genauer können die Energiewerte im Spektrum zugeordnet werden. Als statistische Kenngrößen für

die Verteilung werden häufig die Halbwertsbreite (Full width at half maximum) FWHM oder die Standardabweichung σ herangezogen. Für eine Normalverteilung gilt näherungsweise:

$$\text{FWHM} \approx 2.35 \cdot \sigma \quad (9)$$

In der nachfolgenden Abb. 12 sind die Verteilungen der Pulshöhen bei drei verschiedenen Eingangssignalen dargestellt. Die Auswahl der beiden Eingangskanäle 2 und 15 ist beispielhaft für alle 36 Kanäle. Als Verstärkungsfaktor wurde in dem gezeigten Beispiel der Wert 2.3 eingestellt. In den

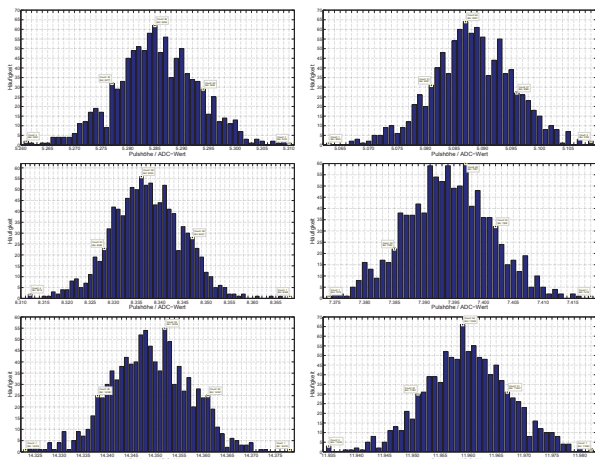


Abbildung 12. Verteilung der Pulshöhen bei unterschiedlichen Detektorsignalen. Es sind der Eingangskanal 2 (linke Spalte) und 15 (rechte Spalte) dargestellt. Die obere Zeile zeigt die gemessenen Pulshöhen bei einer Ladung von 5.722 fC am Eingang. Weiterhin sind die Verteilungen der ADC-Werte für die Ladungen 22.888 fC (Mitte) und 57.221 fC (unten) abgebildet. In jedem Diagramm sind 1000 Trigger-Ereignisse dargestellt.

Diagrammen in Abb. 12 wird sichtbar, dass sich für ein definiertes Eingangssignal auch ein definierter Messwert ablesen lässt (Maximum in der Verteilung). Die absolute Breite der statistischen Verteilung beträgt für den Eingang 2 maximal 56 Quantisierungsstufen (≈ 56 Bin). Für den Kanal 15 beträgt diese maximal 47 Bin. Im arithmetischen Mittelwert beträgt die absolute Breite 53.3 Bin für den Kanal 2 bzw. 45.7 Bin für den Kanal 15. Die Standardabweichungen σ_{In} (Tab. III, σ in Bin) zeigen ein ähnliches Verhältnis und sind über den gesamten Messbereich annähernd konstant (ca. 7.76 Bin für Kanal 2 bzw. 7.10 Bin für Kanal 15). Die Tab. III zeigt, dass

Tabelle III. STANDARDABWEICHUNGEN AUSGEWÄHLTER DETEKTOREINGÄNGE

Ladung / fC	$\sigma_{\text{In}2}$	$\sigma_{\text{In}5}$	$\sigma_{\text{In}15}$	$\sigma_{\text{In}24}$	$\sigma_{\text{In}34}$	$\sigma_{\text{In}36}$
5.722	7.70	7.13	7.14	7.57	10.45	34.79
10.013	7.53	7.26	6.88	7.57	11.17	45.26
14.305	7.49	6.96	7.10	7.60	10.61	49.29
18.596	7.52	7.44	6.95	7.57	10.68	51.61
22.888	7.73	7.48	7.27	7.63	10.56	52.77
27.180	7.94	7.38	7.38	7.39	10.29	53.40
31.471	7.67	7.33	7.07	7.29	10.61	53.33
35.763	7.67	7.33	7.16	7.33	10.62	53.67
40.054	7.49	7.25	6.90	7.34	10.60	55.15
44.346	8.08	7.33	7.14	7.60	10.66	54.25
48.638	7.87	7.36	6.90	7.60	10.46	54.94
52.929	7.96	7.24	6.98	7.57	10.91	55.80
57.221	8.32	7.22	7.52	8.01	12.05	66.74

die äußeren Kanäle (z. Bsp. Kanal 34 und 36) stark abweichende Werte produzieren. Das gleiche Verhalten konnte auch

bei dem Eingangskanal 1 festgestellt werden. Diese Eingänge werden nicht weiter betrachtet. Die abschließende Kalibrierung der ADC-Werte auf einen Messbereich liefert letztendlich die Genauigkeit der Energieauflösung und wird im folgenden Abs. III-C vorgestellt.

C. Kalibrierung und Linearität

Mit den Maxima der Verteilungen aus Abb. 12 lässt sich ein funktionaler Zusammenhang nach Gl. 3 herleiten. Die Pulshöhe y des globalen Maximums wird in Abhängigkeit der Ladung q_{in} am Eingang durch eine lineare Ausgleichsgerade y' beschrieben. Für die Kalibrierung gilt folgende Gleichung:

$$y' = m \cdot q_{\text{in}} + n \quad (10)$$

Für die in Abb. 12 dargestellten Messreihen wurden die folgenden Zusammenhänge berechnet:

Tabelle IV. PARAMETER DER LINEAREN AUSGLEICHSFUNKTION

	m	n
Eingang 2	176.3220	4295.6
Eingang 15	133.3387	4333.3

Die in Tab. IV dargestellten Parameter zeigen, dass jeder Kanal eine unterschiedliche Verstärkung (Anstieg m) und ein Offset n besitzt. Die Abb. 13 zeigt zusätzlich die Abhängigkeiten unterschiedlicher Verstärkungsstufen des RENA-3.

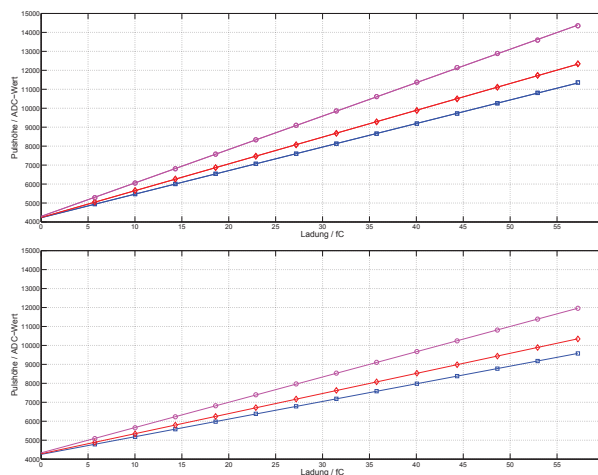


Abbildung 13. Abhängigkeit der Pulshöhe y von der Ladung am Eingang (q_{in}) bei unterschiedlichen Verstärkungsstufen (Gain = 1.6 (blau), 1.8 (rot) bzw. 2.3 (magenta)). Die Parameter der Ausgleichsgeraden y' für den Eingang 2 (oben) und Eingang 15 (unten) mit Gain = 2.3 sind in Tab. IV gelistet.

Die ermittelten Parameter der Kalibrierung werden für die Betrachtung der Energieauflösung herangezogen. Der Messbereich von 5.722 fC bis 57.221 fC wird durch den Eingang 2 auf 9080 Bin bzw. durch Eingang 15 auf 6866 Bin abgebildet. Dies entspricht einer Auflösung von 5.672 pC/Bin bzw. 7.501 pC/Bin für die gezeigten Beispiele. Mit den Standardabweichungen nach Tab. III und der Gl. 9 ergibt sich für den Eingang 2 eine mittlere FWHM von 18.25 Bin. Dies entspricht 0.203 % des gesamten Messbereichs. Für den Eingang 15 ergibt sich eine Energieauflösung von 0.24 %. Damit ist die

erreichte Genauigkeit der Elektronik besser als der Beitrag des Halbleiterdetektors zur Energieauflösung ($> 1\%$). Im endgültigen Messaufbau resultieren die Ungenauigkeiten der Energiemessung demnach vorrangig aus dem verwendeten CZT-Detektor. Mit der Kalibrierung der Messwerte wurde ein linearer Zusammenhang zwischen der Ladung und der Pulshöhe angenommen. Die Abb. 13 bestätigt diese Annahme. Die Abweichung der Pulshöhe y zur Ausgleichsgeraden y' ist beispielhaft für den Eingang 15 in der folgenden Abb. 14 dargestellt. Der Abb. 14 ist zu entnehmen, dass die maximale Abweichung zur Ausgleichsgeraden 12 Bin entspricht. Ein Polynom höherer Ordnung könnte das Resultat weiter verbessern. Der Zusammenhang ist mit der linearen Funktion jedoch ausreichend beschrieben. Die farbliche Darstellung entspricht den unterschiedlichen Verstärkungsstufen des RENA-3 aus Abb. 13.

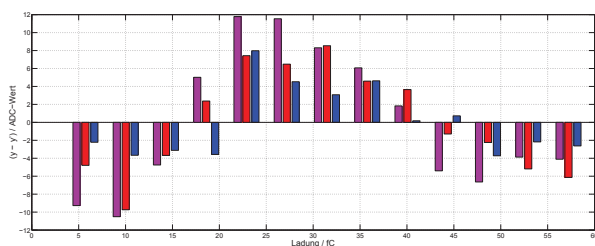


Abbildung 14. Abweichungen der Pulshöhen y zur Ausgleichsgeraden y' in Abhängigkeit der Ladung am Eingang. Die farbliche Darstellung (blau, rot bzw. magenta) entspricht den Verstärkungsstufen 1.6, 1.8 bzw. 2.3.

D. Zeitauflösung

Mit jedem Trigger-Ereignis tastet der RENA-3 den Wert U_U und U_V der externen Zeitsignale (Sinus- bzw. Cosinus-Signal) ab. Die Wertepaare sind beispielhaft für sieben Eingänge in der Abb. 15 dargestellt. Jeder Punkt auf dem Kreis repräsentiert einen Zeitstempel im Zeitintervall der Periodendauer. Für die Berechnung der zeitlichen Differenz zwischen zwei Ereignissen muss die Differenz der Winkel betrachtet werden. Die Winkel können berechnet werden, nachdem eine Korrektur des Mittelpunkts erfolgt ist. Die Korrekturwerte (konstantes Offset der Abtastwerte U_U und U_V) werden für jeden Eingang ermittelt. Zur Kalibrierung wurden die Zeitsignale mit einer Frequenz von 1 MHz erzeugt, d.h ein Winkel von 2π entspricht einer zeitlichen Differenz von $1 \mu\text{s}$. Für die Evaluierung der Zeitauflösung wurde ein synthetisches Detektorsignal mit konstanter Amplitude durch den Signalgenerator auf dem Motherboard erzeugt. Das Signal wird mit dem Test-Pin auf zwei Detektoreingänge des RENA-3 verteilt. Die anschließende Berechnung der Winkel aus den Zeitwerten und die daraus resultierende Zeitdifferenz wurde mit der Auswertesoftware bestimmt. Das Ergebnis der Zeitmessung nach 10000 Ereignissen ist in Abb. 16 dargestellt. Die Messergebnisse zeigen, dass die zeitliche Differenz im Nanosekundenbereich aufgelöst werden kann. Die absolute Breite der Verteilungen in der gezeigten Abb. 16 beträgt 5.4 ns. Die FWHM der Verteilung ist < 2 ns. Der Mittelpunkt der Verteilung liegt neben der erwarteten Zeitdifferenz von 0 ns. Die Signallaufzeiten im RENA-3 IC sowie die unterschiedlichen Komparatorschwellen (Fast-Trigger) im Zeitkanal der Eingänge verursachen verzögerte

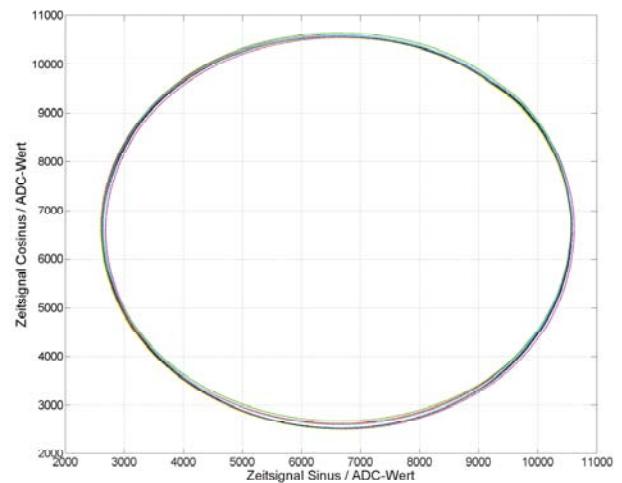


Abbildung 15. Abtastwerte der externen Zeitsignale für unterschiedliche Detektoreingänge des RENA-3. Die Abtastwerte wurden mit 1 MHz Signalen generiert.

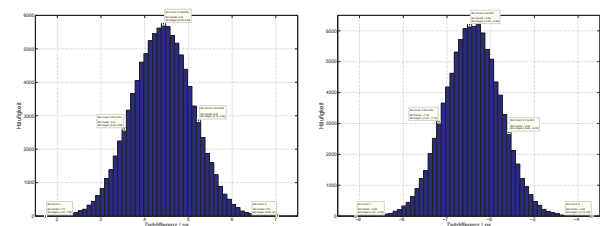


Abbildung 16. Zeitdifferenz zwischen Detektoreingang 9 und 10 (links) bzw. 16 (rechts) beim Anlegen eines Detektorsignals am Testeingang. Als analoge Zeitsignale wurden ein 1 MHz Sinus und Cosinus generiert. Es wurden 10000 Trigger erzeugt.

Abtastzeitpunkte der Signale. Die Verzögerungen sind konstant und können in einem weiteren Schritt korrigiert werden. Für die erste Evaluierung der Zeitauflösung ist die Breite der statistischen Verteilung ein belastbarer Parameter.

IV. ZUSAMMENFASSUNG UND AUSBLICK

Mit der Instrumentierung der Ausleselektronik für CZT-Detektoren wurde gezeigt, dass der RENA-3 von NOVA R&D eine kompakte und kostengünstige Alternative zur bisherigen Implementierung der analogen Signalverarbeitung mit diskreter Front-End-Elektronik darstellt. Der entwickelte Prototyp integriert alle Funktionen zur Ereignisdetektion mit Energie- und Zeitmessung auf einem Motherboard. Die Hardware bleibt mit der modularen Implementierung für die Anwendung in einem medizinischen Detektorsystem skalierbar. Im betrachteten Messbereich bis 54 fC erfüllt der RENA-3 die Angaben des Herstellers. Die Charakterisierung einschließlich Kalibrierung des ASICs ist in einer automatisierten Testumgebung (Hard- und Softwarekomponenten) erfolgt. Der Beitrag der entwickelten Elektronik zur Energieauflösung ($< 0.3\%$) ist kleiner als der Beitrag des bisher verwendeten CZT-Detektors ($> 1\%$). Der limitierende Faktor in der praktischen Anwendung wird folglich durch den Halbleiterdetektor bestimmt. Mit

den generierten Zeitsignalen liegt die zeitliche Auflösung der Trigger-Ereignisse untereinander im Bereich < 5 ns. Es wurde gezeigt, dass eine Kalibrierung für jeden Eingang des RENA-3 notwendig ist. Bedingt durch das interne Layout des ASICs, weisen einige Eingänge schlechtere Eigenschaften in Bezug auf die Messgenauigkeit auf. In der geplanten Anwendung können deshalb nicht alle 36 Kanäle verwendet werden.

Im nächsten Schritt wird die Ausleseelektronik mit dem CZT-Streifendetektor evaluiert. Weiterhin ist die Anbindung an einen CZT-Pixeldetektor vorbereitet. Hierfür muss das Motherboard mit einem weiteren RENA-3 IC bestückt und die Firmware angepasst werden. Die Integration einer schnellen Datenschnittstelle (Gigabit Ethernet) in das Gesamtsystem sowie die zeitliche Synchronisation mehrerer Hardwaremodule wird bereits getestet.

LITERATUR

- [1] T. Kormoll, F. Fiedler, C. Golnik, K. Heidel, M. Kempe, S. Schoene, M. Sobiella, K. Zuber, and W. Enghardt, "A prototype compton camera for in-vivo dosimetry of ion beam cancer irradiation," in *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2011 IEEE*, 2011, pp. 3484–3487.
- [2] H. Spieler, *Semiconductor Detector Systems*. Oxford University Press, 2005.
- [3] NOVA R&D, *RENA-3 IC User Specification*, NOVA R&D, Inc., 2007, Rev. 1.1b.
- [4] Analog Devices, *Complete 14-bit, 3.0 MSPS Monolithic A/D Converter AD9243*, Analog Devices, Inc., 1998, REV. A.
- [5] Analog Devices, *CMOS 300 MSPS Quadrature Complete DDS AD9854*, Analog Devices, Inc., 2007, REV. E.
- [6] Analog Devices, *2.7 V to 5.5 V, Serial Input, Voltage Output, Unbuffered 16-Bit DAC AD5541*, Analog Devices, Inc., 2011, REV. A.

Architektur und Betrieb eines komplexen ECAD-Systems bei DESY

Manfred Zimmer, DESY

Einführung

Elektronikentwicklung bei DESY

System Architektur

Betriebserfahrung

Zusammenfassung und Ausblick



DESY in a Nutshell

Zwei Standorte in Hamburg und Zeuthen mit 2000 Angestellten

- Mehr als 3000 Gastwissenschaftler aus mehr als 40 Ländern pro Jahr

Beschleuniger

- DESY, FLASH, PETRAIII, XFEL (im Bau)

Photon Science

- Weites Spektrum an Strahlparametern für die unterschiedlichsten Anwendungen in Grundlagenforschung angewandten Wissenschaften

Teilchenphysik

- Kollaborationen mit LHC Experimenten, BELLE 2 und ILC R&D Projekte
- Astroteilchenphysik sowie Theoretische Physik



DESY Hamburg Site



Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 3



Elektronikentwicklung bei DESY

Breites Entwicklungsspektrum

- Von der ASIC Entwicklung bis hin zur Leistungselektronik

Dezentrale Gruppen unterschiedlicher Größe mit dedizierten Erfahrungen

- Üblicherweise verantwortlich für bestimmte Beschleuniger- und Detektorkomponenten

Zentrale Elektronikfertigung

- Arbeitsvorbereitung und Schnittstelle zu Leiterplattenherstellern
- Bestückung von Prototypen bis Kleinserien
- Optische Inspektion und grundlegende Funktionsprüfung

Zentrale Elektronikentwicklungsgruppe FE

- Digital-, Analog- und Mikroelektronik

Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 4



ECAD Welt bei DESY für PCB Entwicklungen

Unterschiedliche Entwicklertypen

- Vom Gelegenheits-Designer bis zum Vollzeit Entwickler

Unterschiedliche Komplexität der Entwicklungen

- Einfache Schaltungen bis zu komplexen Analog und High Speed Designs

Unterschiedliche Randbedingungen

- Zusammenarbeit mit externen Instituten erfordert Nutzung der gleichen Entwicklungstools

Unterschiedliche ECAD Systeme

- Individuallösungen ohne zentralen Support
- EAGLE
- Altium Designer
- DX-Designer / Expedition / SystemVision

Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 5



Bei FE: DX-Designer / Expedition / SystemVision

Nachfolgesystem von Mentor Graphics BoardStation

- Entscheidung fiel vor ca. 8 Jahren nach Evaluation und Benchmarking mehrerer Systeme

DX-Designer

- Schaltplaneingabe, I/O Designer, CES

Expedition

- Layout Werkzeug, Auto Router, Automation, Library Management

Systemvision

- Simulationswerkzeug, High und Low Level System Verifizierung

Derzeit ca. 40 registrierte Benutzer in Hamburg und Zeuthen

Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 6



Voraussetzungen für Betrieb

Komplexes High-End ECAD System mit hohem Wartungsaufwand

Installation, Konfiguration und Softwarewartung

- ca. 5 Gbyte und 160.000 Files bei lokaler Installation
- Sehr viele Konfigurationsparameter und eingeschränkte Bedienerfreundlichkeit
- Regelmäßige Updates und neue Versionen (i.d.R. nicht abwärtskompatibel)

Erstellen und Pflege der Bauteilebibliothek

- Von Mentor Graphics wird keine Bauteilbibliothek mitgeliefert
- Recht rudimentäre Werkzeuge zur Bauteilerstellung
- Einkaufsdaten, Simulationsparameter etc.

Fertigungsunterlagen

- Stückliste, Gerberdaten, zusätzliche Informationen zur Produktion



Ziele für den Betrieb von DX-Designer/Expedition

Optimierung der Systemadministration

- Gemeinsame Anwenderverwaltung for Hamburg und Zeuthen
- Vereinfachte Installation und Wartung des Systems mit Rechtesystem
- Automatisierung von Vorgängen

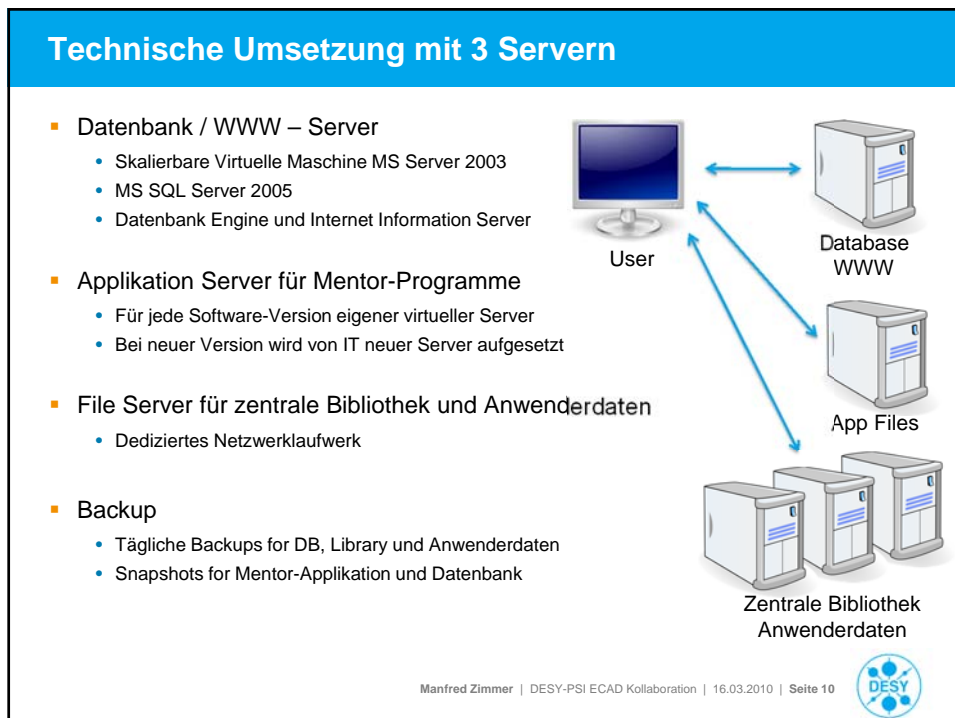
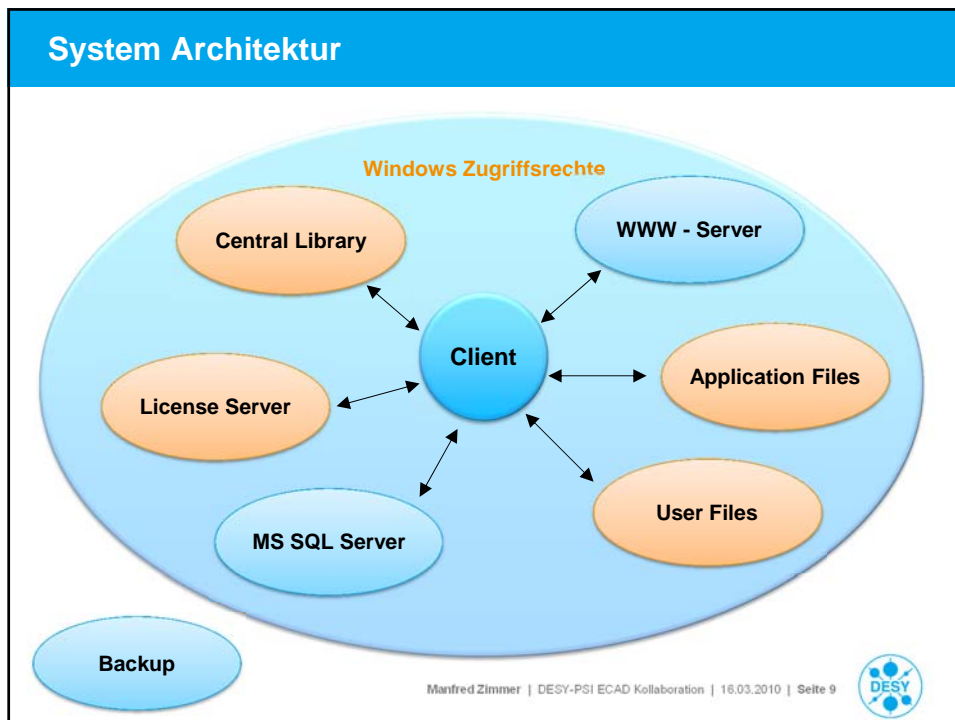
Optimierung der Datenhaltung

- Zentrale Bibliothek mit Qualitätskontrolle und hoher Datenintegrität
- Speicherung zusätzlicher Informationen
- Bereitstellung von gesicherten Anwender- und Projektverzeichnissen
- Zentrale Settings (Templates, Konfigurationsfiles etc.)

Optimierung des Tagesgeschäfts

- Vereinfachte und bedienerfreundliche Prozesse
- Einarbeitung des Feedbacks der zentralen Fertigung

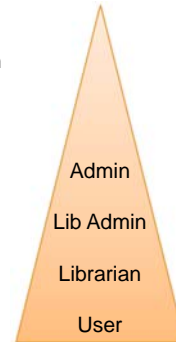




Zugriffsrechte in MS Windows

Hierarchische Rechtesystem innerhalb der MS Windows Domäne

- Wohl definierte Zugriffsrechte
 - Lesen, schreiben und ausführen von Datenbankobjekten
 - Lesen, schreiben und ausführen von Dateien und Verzeichnissen
 - Zugang zum WWW- Interface
 - **Bereits integriert in den MS SQL Server**
- 4 Gruppen innerhalb der Windows Domäne
 - Administrator (Vollständiger Zugriff auf alle Objekte)
 - Library Administrator (Erstellung und Freigabe von Bauteilen)
 - Librarian (Vorbereitung von Bauteilen)
 - User (Standard Zugriff als PCB Entwickler)

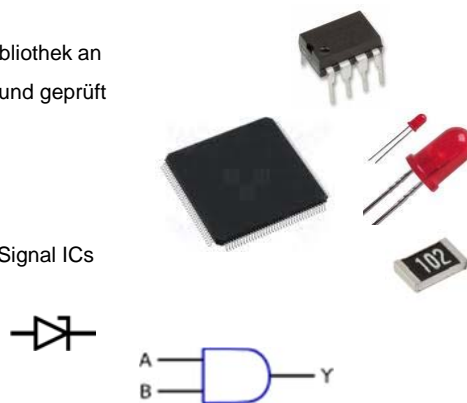


Neuer Benutzer wird nur in entsprechender Gruppe registriert



Zentrale Bauteilebibliothek

- DX-Designer Bibliothek
 - Mentor Graphics bietet keine Bibliothek an
 - Bauteile werden zentral erstellt und geprüft
- Derzeit ca. 3800 Bauteile
 - 370 Kondensatoren
 - 950 Widerstände
 - 1290 analog, digital und Mixed-Signal ICs
 - 600 Steckverbinder
- 2000 Symbole
- 1500 Footprints
 - Nach IPC Norm umgesetzt



Bibliothek wächst ständig weiter



MS SQL Datenbank

Speicherung aller relevanten Daten für Betrieb und Administration

Bauteilinformationen und Properties

- Bauteile, Symbole, Footprints, Simulationsparameter, PDF Dokumentation etc.

Einkaufsdaten

- Hersteller, Distributoren, Preise

Administration

- User, Projekte, Stücklisten,
- Verwaltung der Produkte

Informationen über produzierte Boards (für jede Seriennummer)

- Testprotokolle, Firmware-Versionen etc.



Erweiterungen, Programme und Skripte

Zentrale Bauteilebibliothek

- Bauteile Bestellung über Web Interface für alle Anwender
- Benutzeroberfläche zur Bauteilerstellung für Administratoren
- Bauteilsuche für alle Anwender
- Konsistenzüberprüfung der Bauteilbibliothek

Automatische Erstellung der Produktionsdaten

- Gerberdaten, Bestückungsplan, Lagenaufbau
- Stückliste als Excel Sheet sortiert nach RefDes und Partnummer
- Pick & Place File, Borlochdaten
- Leiterplattenparameter



Web Interface zur Bauteilebestellung

Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 15



Bauteilerstellung für Librarians

Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 16



Bauteilesuche für alle Anwender

The screenshot shows the 'Components Manager' application. On the left, there's a 'Search components' panel with filters for Part, Symbol, Cat, and Request. Below it is a table of search results with columns for Part no., Request, Manual code, Tech value, Location, and Request. The main window displays details for a selected component, including its symbol (EPIC2P3242N), manufacturer (ALTERA), and various attributes like 'Type IC', 'Sub. value EPIC2P3242N', and 'Part no. U Value 0'. There are also sections for 'Cells' and 'Pack' details.

Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 17



Erstellung der Produktionsdaten

The screenshot shows the 'Production data' configuration window. It includes fields for 'User: Christof Kosinski' and 'Date: 05.03.2013 16:33:15'. There are several checkboxes and buttons for configuration: 'Project check', 'Company attributes?', 'Assembly value and PDF config file?', 'add resistors', 'add capacitors', 'add others', 'Gerber config file?', 'Gerber data?', and 'NC drill table?'. At the bottom, there are buttons for 'Bill of materials', 'Neutral file', 'Readme file', and 'Exit'.

The screenshot shows the production data summary page. It contains technical specifications for the PCB, including: 'Kurzbeschreibung für DESY LP Nr.: 809-00-ML', 'Lötmaterial - Nutzen: 800', 'Lötmaterial - Format: 0.00 x 0.00 mm', 'Lötmaterial - Dicke: 0.00 mm', 'Lötmaterial - Lageranzahl: 10', 'Lötmaterial - Material: WERKSTÄTT', 'Lötmaterial - Kontur: WERKSTÄTT', 'Lötmaterial - Ritzschutz: 0.00', 'Kupferdicke Außenlagen: 0.00 mm', 'Kupferdicke Leiterbahnseite: 0.00 mm', 'Anzahl Bohrungen: 1255 Stück', 'Anzahl Bohrerdurchmesser: 16 Stück', 'Kleinster Boherdurchmesser: 0.2 mm', 'Blind Via (Sacklöcher): 0.00', 'Blind Via (Ingraben): 0.00', 'Goldstecker (Katenstecker): 0.00', 'Einseitbedruck: Ja', 'Elektrische Flussung: Nein', 'Laserbild in: 0.00/0.00', 'SMD - Technik: beidseitig', 'Anzahl SMD - Pads: 4064', 'Lötstopmaske: beidseitig', 'Problemdruck: beidseitig', 'Anzahl der Datenfiles: 17', 'Layoutsystem / File: ELM RTM', 'Layouter: Petr Smirnov', 'DESY - Gruppe: FEA', 'Tel: 3532'.

Manfred Zimmer | DESY-PSI ECAD Kollaboration | 16.03.2010 | Seite 18



Kollaboration mit dem Paul Scherrer Institut PSI

PSI hat 2011 die DESY Installation mit kleinen Anpassungen übernommen

- Gleiche Systemarchitektur
- Vergleichbare Programmpakete für Design, Layout und Simulation
- Gemeinsame Installation mit PSI zu aufwändig
- Etwa 60 Anwender davon zahlreiche „Umsteiger“

Datenaustausch zwischen DESY und PSI

- Beide Institute entwickeln die Bauteilbibliothek gemeinsam
- Automatisierter Import und Export von Bauteilen

Regelmäßiger Informationsaustausch

- Gemeinsame Treffen
- Gegenseitige Hilfe bei Problemen



Betriebserfahrungen DX-Designer / Expedition

System läuft seit ca. 8 Jahren bei FE

- Weiterentwicklung der Umgebung im Laufe der Zeit (Local -> C/S)

Ziemlich hoher Aufwand für Wartung und Beratung

- Komplexe High-End Systeme laufen nicht immer störungsfrei
- Es gibt sehr viele Systemparameter -> Viele potentielle Fehlerquellen
- Bauteilerstellung ist zeitintensiv
- Anwender haben unterschiedliche Erwartungshaltungen an Betreuung

Updates von Mentor Graphics bergen oft „Überraschungen“

- In der Regel nicht abwärtskompatibel
- Änderung der Systemarchitektur (ASCII -> Datenbank)
- => Updates müssen vor Freigabe ausgiebig getestet werden

Systemadministration bei 40 Anwendern ist Fulltime Job !



Betriebserfahrungen mit den DESY Erweiterungen

Installationskonzept hat sich sehr bewährt

- Effiziente Anwender- und Rechteverwaltung
- Getrennte Applikationsserver bieten Flexibilität beim Versionsumstieg
- Komfortable Bauteilbestellung
- Datenbank als zentraler Speicher für alle Arten von Systemdaten

Standardisierte Prozesse zur Bauteilerstellung mit Freigabe

- Hohe Qualität der Bauteilebibliothek

Verbesserte Automatisierungsmöglichkeiten

- Anwendertools sind sehr hilfreich Entwicklungsprozess
- Weitere Tools sind in Arbeit

Aufwand hat sich ausgezahlt



Zusammenfassung und Ausblick

- DX-Designer/ Expedition / Systemvision ist ein sehr mächtiges System mit umfangreichen Möglichkeiten für komplexe Designs
- System läuft erfolgreich seit 2005 und wurde mit der Zeit erweitert
- Das Installationskonzept und die Erweiterungen erleichtern die tägliche Arbeit für Anwender und Administratoren
- Der Aufwand für Wartung und Support ist nicht zu unterschätzen
- Die Zusammenarbeit und Arbeitsteilung mit dem PSI ist sehr erfolgreich
- Aus den gemeinsamen Betriebserfahrungen entstehen derzeit neue und verbesserte Werkzeuge für Anwender und Administratoren





Recent developments on MTCA.4

Dr. Frank Ludwig - DESY
for the LLRF Team



■ **European XFEL:**
Total budget ~ 950 MioEuro
Construction: 2009-2015

- LLRF Systems in MTCA.4
- Applications and Recent Developments
- MTCA.4 for Industry
- Standardizations

SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY

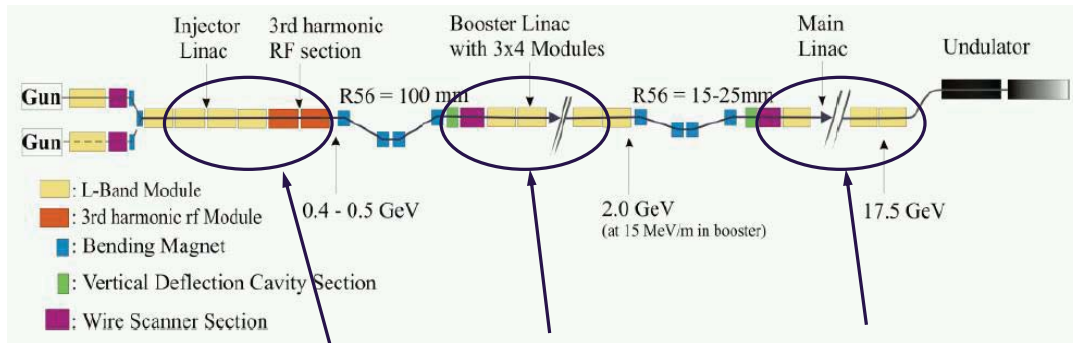
Recent developments on MTCA.4

European XFEL

Motivation



■ Requirements for the cavity field stability (long- and short-term) :



Amplitude and Phase stability :	$\Delta A / A_{rms} = 0.01 \%$, $\Delta \phi_{rms} = 0.01 \text{ deg}$ ($< 20\text{fs}$)	$\Delta A / A_{rms} = 0.03 \%$, $\Delta \phi_{rms} = 0.03 \text{ deg}$	$\Delta A / A_{rms} = 0.1 \%$, $\Delta \phi_{rms} = 0.1 \text{ deg}$
$f_{CAV} = 1.3 \text{ GHz}$			

- Review meeting 12.2007: XFEL will be based on xTCA
- XFEL fast electronics will be based on MTCA.4: > 200 Crates

Recent developments on MTCA.4

European XFEL

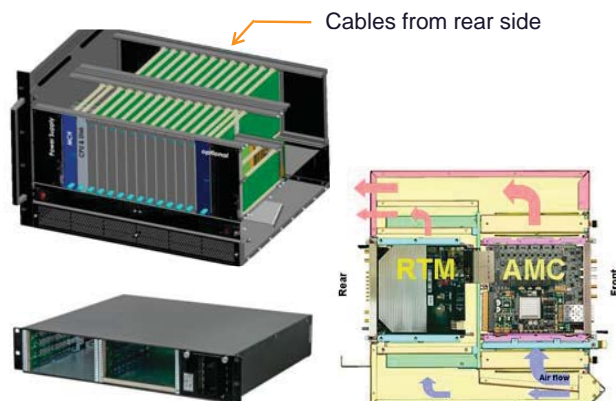
MTCA.4 Crate Standard



- Development partnership „xTCA for Physics“ (38 partner): 03/2009
 - **Research Institute:** SLAC, FNAL, IHEP, IPFN, ITER, DESY
 - **Industry:** Connector-, Board-, Crate-, System Manufacturer
- Ratification PICMG 2011 (<http://www.picmg.org>)
 - **Micro Telecommunications Computing Architecture .4 (MTCA.4)**



- **Modular + modern architecture**
 - Reusability + PCIe + Ethernet
- **High availability**
 - Redundant power and fan optional
 - Well defined remote management
- **High digital performance**
 - Very low analog distortions
 - 4 lanes PCIe: 400 MB/s ... 3.2 GB/s

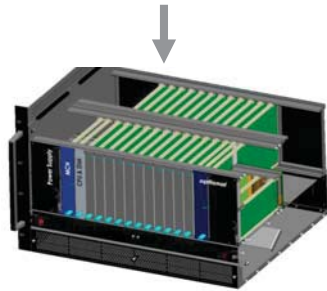


Recent developments on MTCA.4
European XFEL
Analog meets Digital in the MTCA.4 Crate

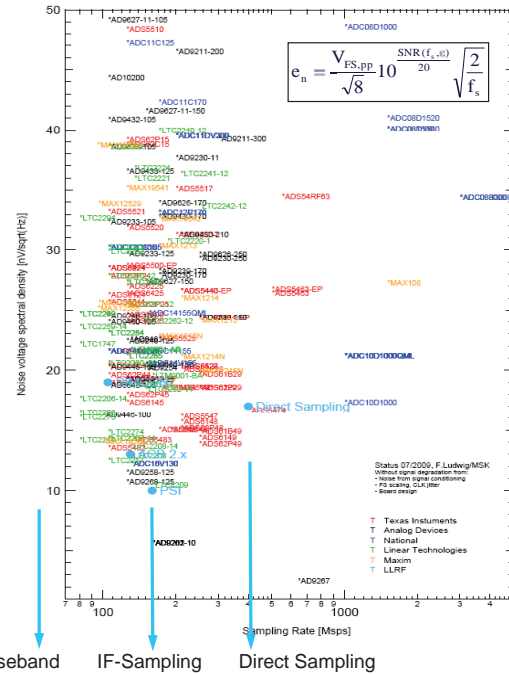
Today's available ADCs:



Figure 1. AD9288 and AD9289 Family Evaluation Board and HSC-ADC EVALCZ Data Capture Board



Performance maintained ?



SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
 Frank Ludwig, DESY

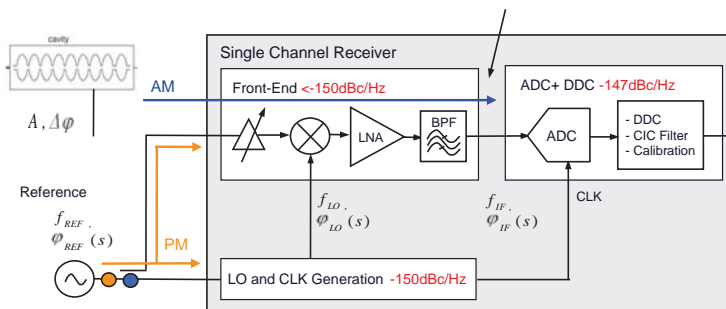
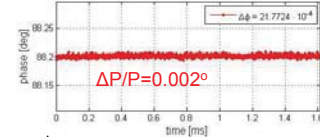
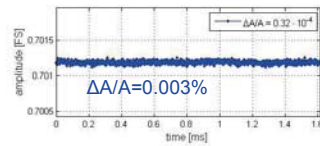
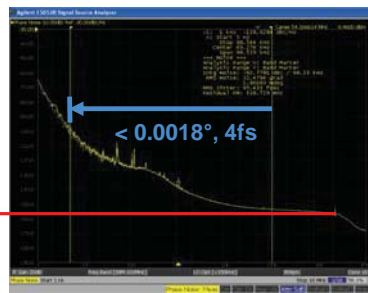


Recent developments on MTCA.4
European XFEL
Receiver Performance: 1DUT Characterization

Receiver subsystem noise contributions : noise balanced

- Front-End
- LO-Generation
- ADC

-150dBc/Hz



Mixer:
$$\phi_{IF}(s) = \phi_{REF}(s) - \phi_{LO}(s)$$

$$f_{IF} = f_{REF} - f_{LO}$$

LO:
$$\phi_{LO}(s) = \left(\frac{f_{LO}}{f_{REF}} \right) \phi_{REF}(s)$$

$$S_{\phi,IF}(f) = S_{\phi,REF}(f) \left(\frac{f_{IF}}{f_{REF}} \right)^2$$

- Subtract reference part
- 2 DUT + eliminate AM part

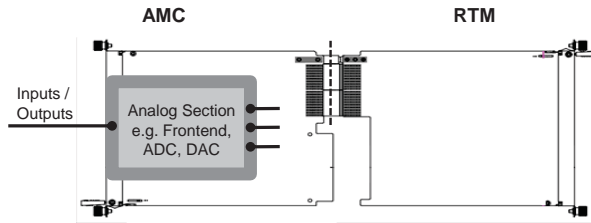
SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
 Frank Ludwig, DESY



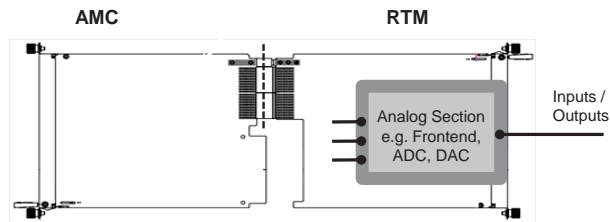
Recent developments on MTCA.4

European XFEL Grounding Configurations in MTCA.4

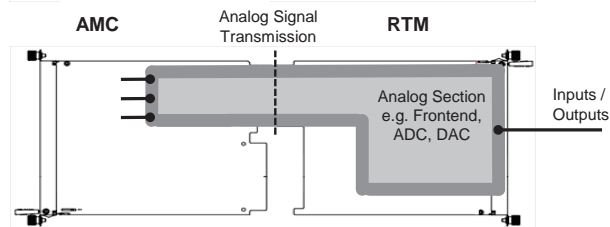
■ AMC-sided Analog section



■ RTM-sided Analog section



■ RTM/AMC-sided Analog section



➔ Mixed-mode design to be investigated.

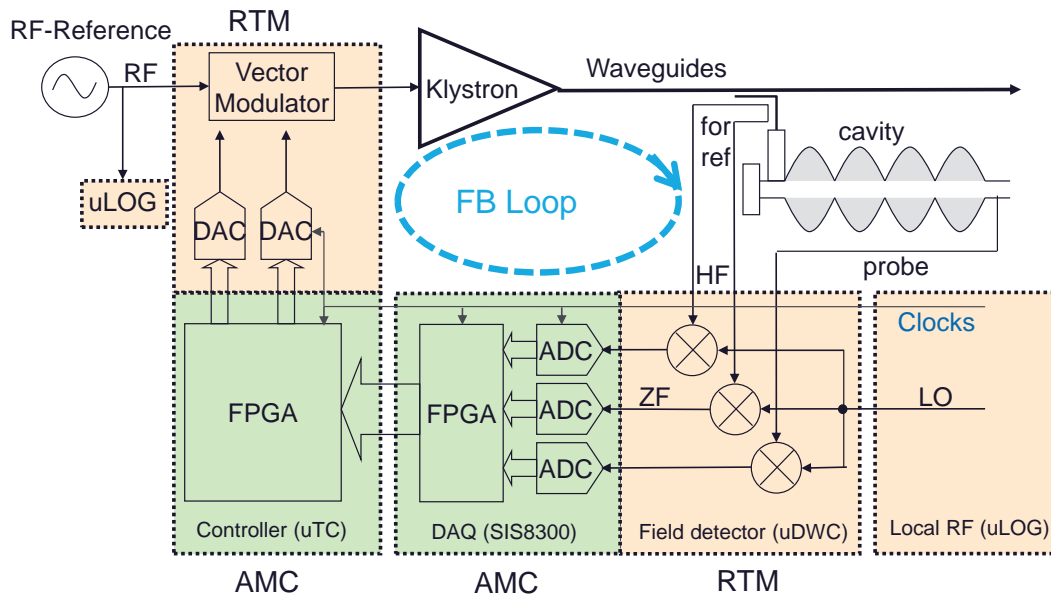
SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY



Recent developments on MTCA.4

European XFEL Modular LLRF System in MTCA.4

■ High frequency regulation (very simplified) :



SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY



Recent developments on MTCA.4

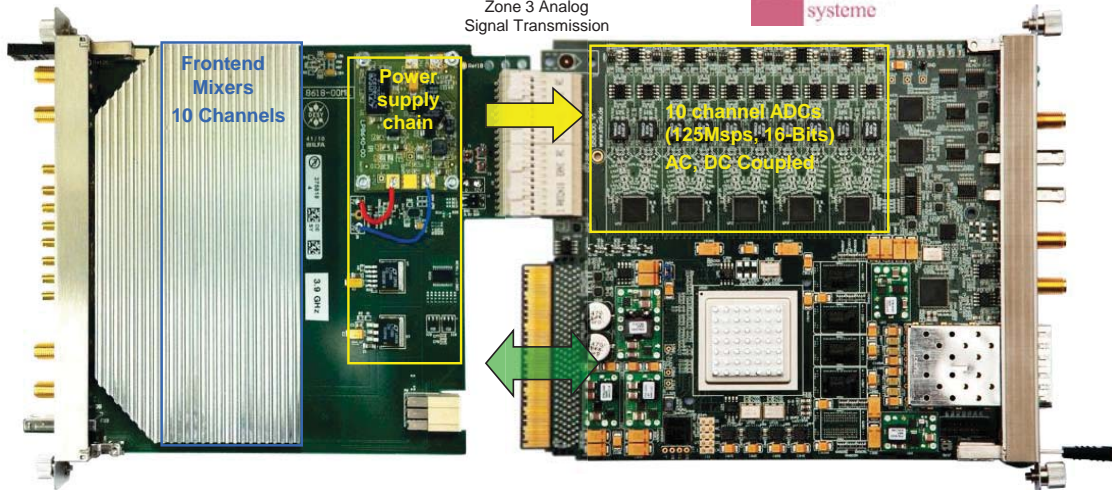
European XFEL

Signal Conditioning and Digital Processing

9

High frequency Down-Converter (DRTM-DWC10)

Multi-Channel fast ADC Digitizer (SIS8300)



- 10 channel field detection (1.3GHz, ..., 3.9GHz)
- Resolution, 0.003%, 0.003deg, < 10fs

- 10 channel ADCs (125Mps, 16-Bits)
- FPGA pre-processing partial cavity vector sum
- Low latency links via MTCA-backplane

SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY



Recent developments on MTCA.4

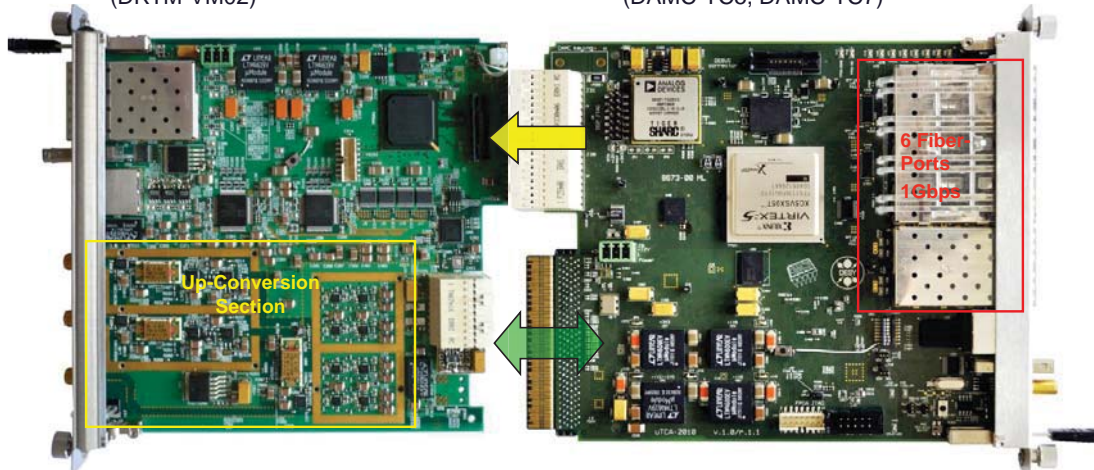
European XFEL

LLRF Controller and Klystron Driver

10

High frequency Klystron Driver (DRTM-VM02)

LLRF FPGA Controller (DAMC-TC5, DAMC-TC7)



- 2 channel Vector Modulator (108MHz, 216MHz, 1.3GHz...3.9GHz)
- 16-bit DAC performance
- 2 Fiber-Ports, Standalone operation

- LLRF Controller, 6 Fiber-Ports, 8 GB-Links
- FPGA(Virtex5), DSP
- RJ45 communication port

SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY



Recent developments on MTCA.4

Single Channel Performance in MTCA.4

Short-term stability in an MTCA.4 crate (laboratory) :

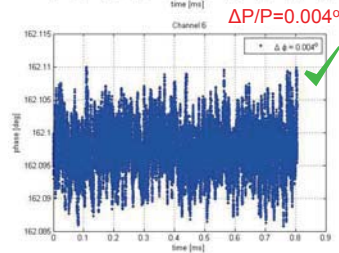
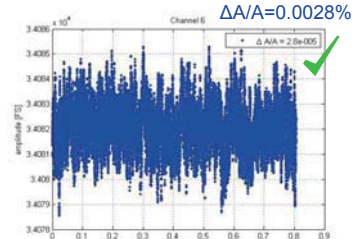
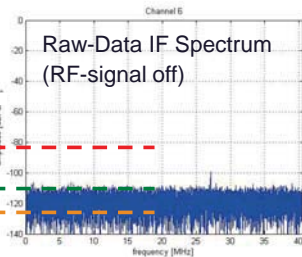
Testconfiguration:

- DWCR300 R1.0, SIS8300_V2, MCH, CPU, MTCA.4 crate
- DRO 1.3GHz (PS), 1354 MHz LO, 54MHz IF, 81MHz SR
- LO-Generation Module (F, FL, P, H version)
- Offline Matlab non-iq analysis (N=65K, 1MHz Bandwidth)



Poor Power Supplies : > -80dB SFDR

Power-Entry-Modules: < -110dB spurious free
VS-Scaling : < -120dB SFDR



- Single cavity resolution of $dA/A=2.8E-5$ (<6 fs) is achieved ✓
- Signal integrity in MTCA.4 crate achieved ADC Eval board performance. ✓
- Low distortion MTCA.4 power supplies. ✓
- AMC and RTM module EMC classification is needed.

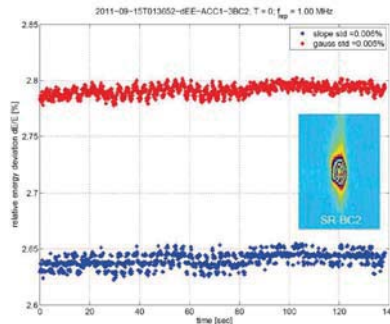
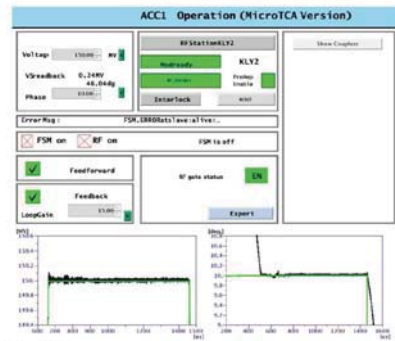


Recent developments on MTCA.4

LLRF Performance Test at FLASH in MTCA.4



- FLASH operation:
- On-crest energy stability (SR-3BC2)



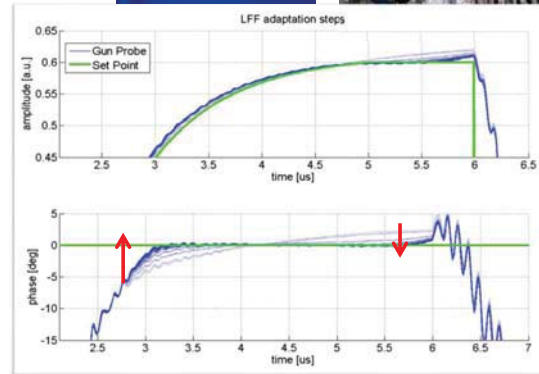
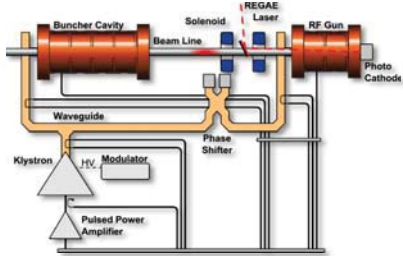
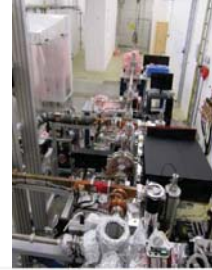
Energy stability $dE/E = 5E-5$. ✓



Recent developments on MTCA.4

Other Facilities operating MTCA.4 Systems

- REGAE (Relativistic Electron Gun for Atomic Exploration) :**
 - Electron source for time resolved diffraction experiments
- 3GHz LLRF system based on MTCA.4:**
 - Buncher Cavity and RF-Gun S-Band, NC
 - 10 channel process Kly/Gun/Buncher/Laser
 - Non IQ IF=25MHz, fs=125MHz, LFF
 - dA/A~0.007% (rms), ✓
 - dPhi ~0.004 deg at cavity bandwidth



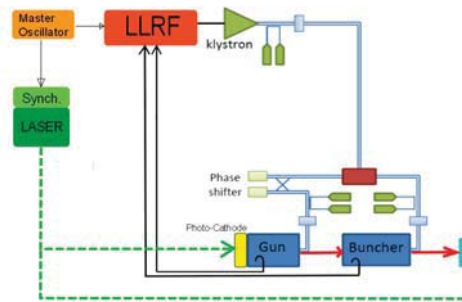
Courtesy of K. Flöttmann, M.Hoffmann

SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY

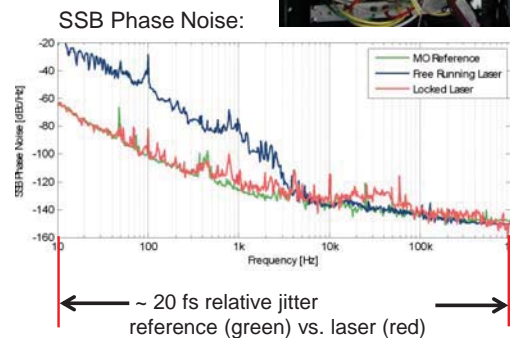
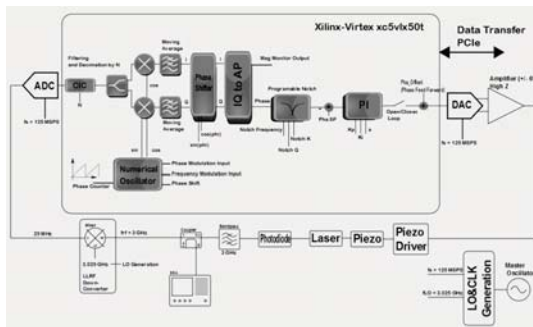


Recent developments on MTCA.4

Laser Synchronization at RAGAE in MTCA.4



- > 3 GHz harmonic of laser extracted from Photo Diode → down converted to 25 MHz
- > Phase noise measurement shows synchronization lock in the order of 20 fs



Courtesy of M.Felber, U.Mavric

SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY



Recent developments on MTCA.4

European XFEL

RTM Signal Conditioning to digital Zone3

15

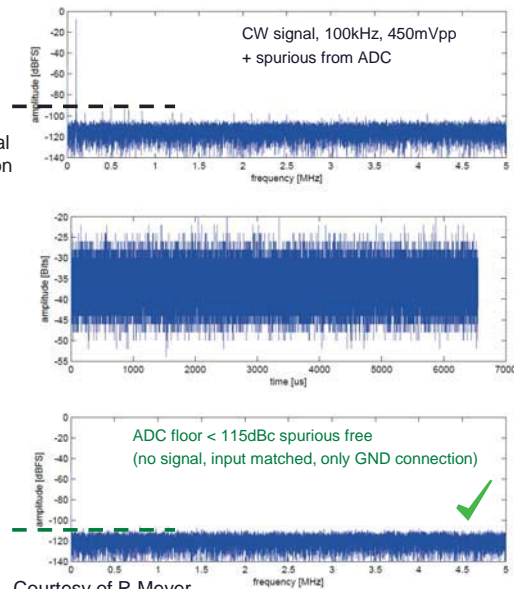
- **DRTM-AD84 – DAMC2:**
 - 8 channel 10 MSPS, 16-Bit ADC
 - 4 channel 1 MSPS, 16-Bit DAC



Zone 3
Digital Signal
Transmission



- **ADC raw data spectrum:**



Recent developments on MTCA.4

European XFEL

MTCA.4 for Industry

16

- **To foster industrialization of MTCA.4**
- **Support for institutes and industry**
 - Consulting: Help to start with MTCA
 - User guide and Web Site
 - Organization of workshops and exhibitions
- **DESY designs -> industry (licensing)**
 - Cost and quality improvements
 - New modules to complete portfolio
- **Supporting industry to**
 - Add missing modules
 - Improve EMI with test environments and shielding, EMI classification
 - Gain new MTCA.4 applications in more markets



→ **Dr. Ilka Mahns / DESY
Technology Transfer Division**

Project duration: mid 2012 ... mid 2014

Recent developments on MTCA.4

European XFEL

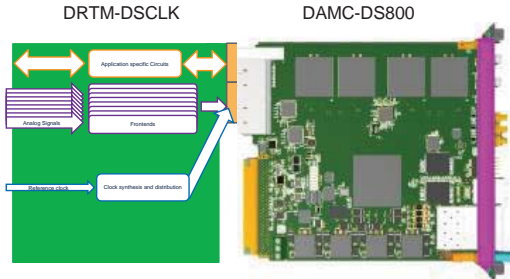
AMC's and RTM's in the pipeline ...

FEI 19

Ultra-fast Klystron Protection

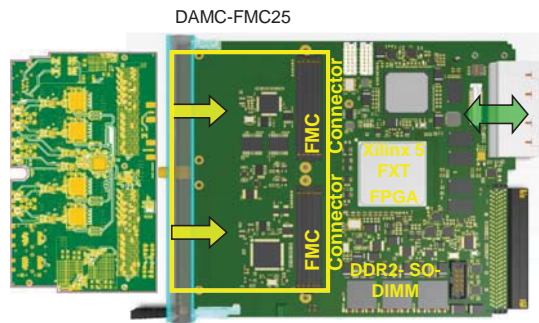
High-Speed Sampling

- 8/4 channel ADC (12-bits, 800/1600MSPs, 2.7GHz)
- 2 channel DAC (16-bits, 160MSPs, 400MSPs)
- Xilinx Virtex 6, DDR Memory
- SFP support
- Gigabit Ethernet, IPMI



Universal 2 Slot FMC AMC Processing

- 2x1 or 2x2 FMC mezzanine support;
- Virtex5 with Spartan6
- DDR2 SO-DIMM RAM support
- IPMI unit
- Gigabit Ethernet, Serial port, JTAG



2x HPC FMC Card for BAM monitors

- Pulsed-signal conditioning

all ready to use expected in 05/13 for licensing ...

Recent developments on MTCA.4

European XFEL

Single Cavity Facilities Overview

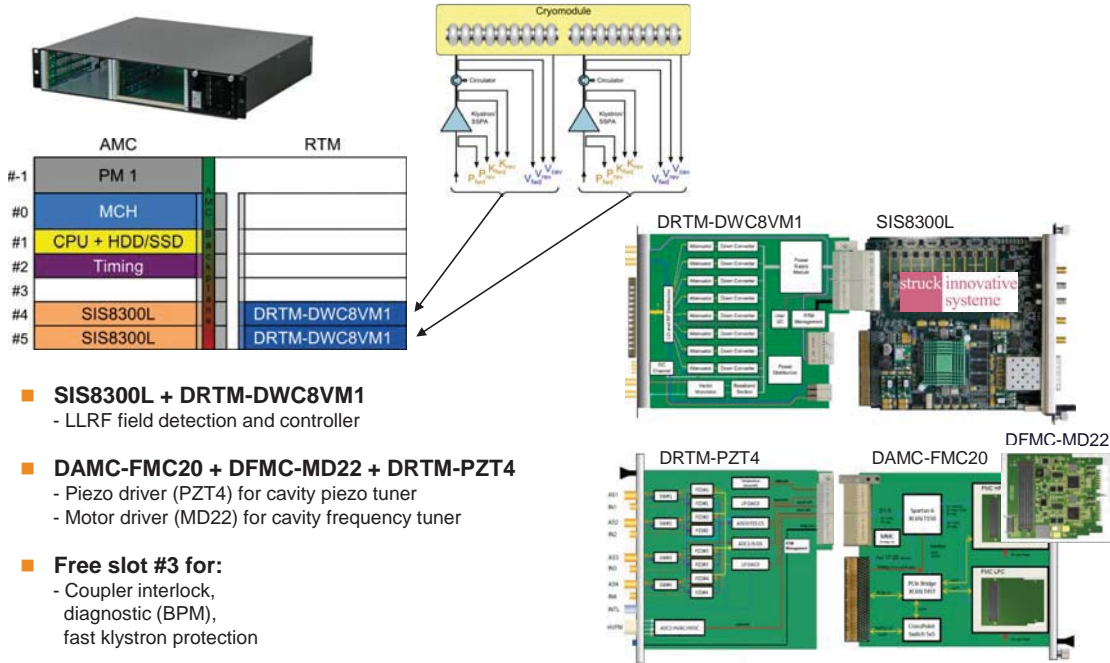
FEI 20

Facility	Freq. [GHz]	Cond.	Pulse Length	Rep. Rate	# of Systems	Time
REGAE (Upgrade)	3 GHz	NRF	10us	50 Hz	1	06/2013
PITZ-TDS (Upgrade)	3 GHz	NRF	3.1us	10 Hz	1	07/2013
XFEL-TDS	3 GHz	NRF	3.1us	10 Hz	3	2014
FLUTE (KIT)	3 GHz	NRF	5us	100 Hz	1 (2)	11/2013
PITZ-GUN	1.3 GHz	NRF	1.5ms	10 Hz	1	07/2013
PITZ-BOOSTER	1.3 GHz	NRF	1.5ms	10 Hz	1	07/2013
XFEL RF Gun	1.3 GHz	NRF	1.5ms	10 Hz	1	07/2013
FLASH RF Gun	1.3 GHz	NRF	1.5ms	10 Hz	1	08/2013
ELBE (HZDR)	1.3 GHz	SRF	CW	CW	4 (7)	09/2013
HOBICAT (HZB)	1.3 GHz	SRF	CW	CW	1	
ESS (RFQ, DTL)	352 MHz	NRF	3.5ms	14 Hz	8	
ESS (Spoke)	352 MHz	SRF	3.5ms	14 Hz	28	
ESS (mBeta, hBeta)	704 MHz	SRF	3.5ms	14 Hz	180	
AMPEGON	214 MHz	NRF				

Recent developments on MTCA.4

Single Cavity LLRF Systems in MTCA.4

European XFEL



SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY

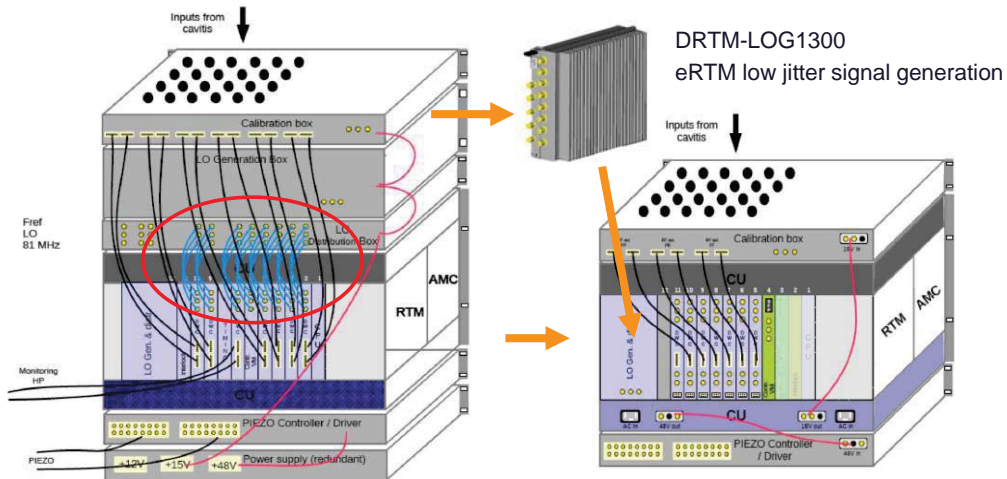


Recent developments on MTCA.4

Standardizations : RF Backplane

European XFEL

■ Introduction of an optional RF-Backplane :



Complicated cable management → LLRF RF-Backplane concept

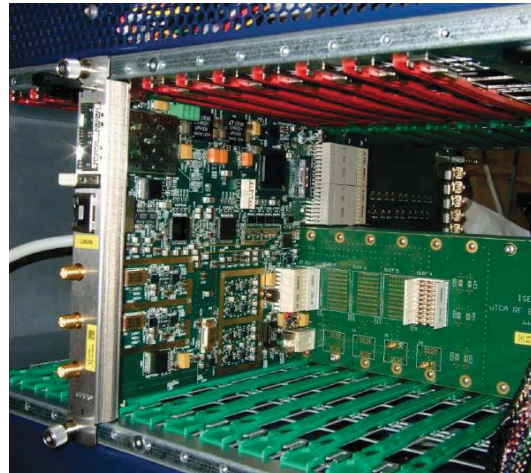
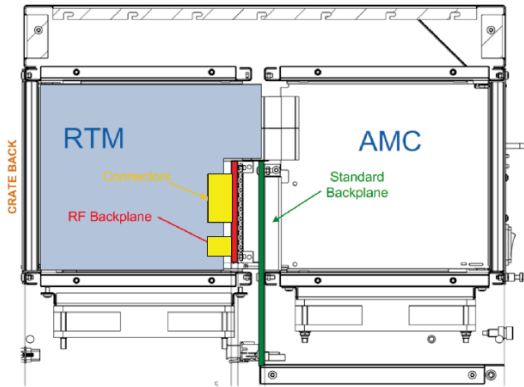
SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY



Recent developments on MTCA.4
Standardizations : RF Backplane (optional)

■ **Successful test of an RF-Backplane in 02/2012**

- Low-jitter high-frequency signal distribution (<10fs) ✓
- Low-jitter ADC-clock signal distribution (<200fs) ✓



SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
 Frank Ludwig, DESY



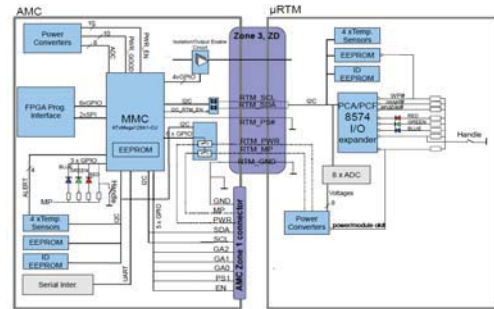
Recent developments on MTCA.4
Standardizations : Zone 3 Recommendation

- Z3 pin-assignment not standardized in MTCA.4 (AMC – RTM pairs)
- > Higher compatibility between AMC's and RTM's
- > Class A1.1 (analog), Class D1.x (digital)

- **Module Management Controller (MMC V1.0)**
- Advanced Version,
- Basic (low cost) Version
- Single Firmware, PCB Templates

Class A1.1 / Zone	a	b	c	d	e	f
MTCA.4 management	1	2	3	4	5	6
Standard User Links	7	8	9	10	11	12
User configuration	13	14	15	16	17	18
Digital clock inputs	19	20	21	22	23	24
Shaking	25	26	27	28	29	30
Analog signals	31	32	33	34	35	36

Class D1 / Zone	a	b	c	d	e	f
MTCA.4 management	1	2	3	4	5	6
Digital clock input	7	8	9	10	11	12
User configuration	13	14	15	16	17	18
User Configuration	19	20	21	22	23	24
Standard User Links	25	26	27	28	29	30



A screenshot of the website 'MTCA.4 for Industry and Research'. The page features a navigation menu, a main content area with the heading 'Broad Alliance for MTCA in #1 Industry', and a sidebar with search and contact information. The website is associated with the Helmholtz Association.

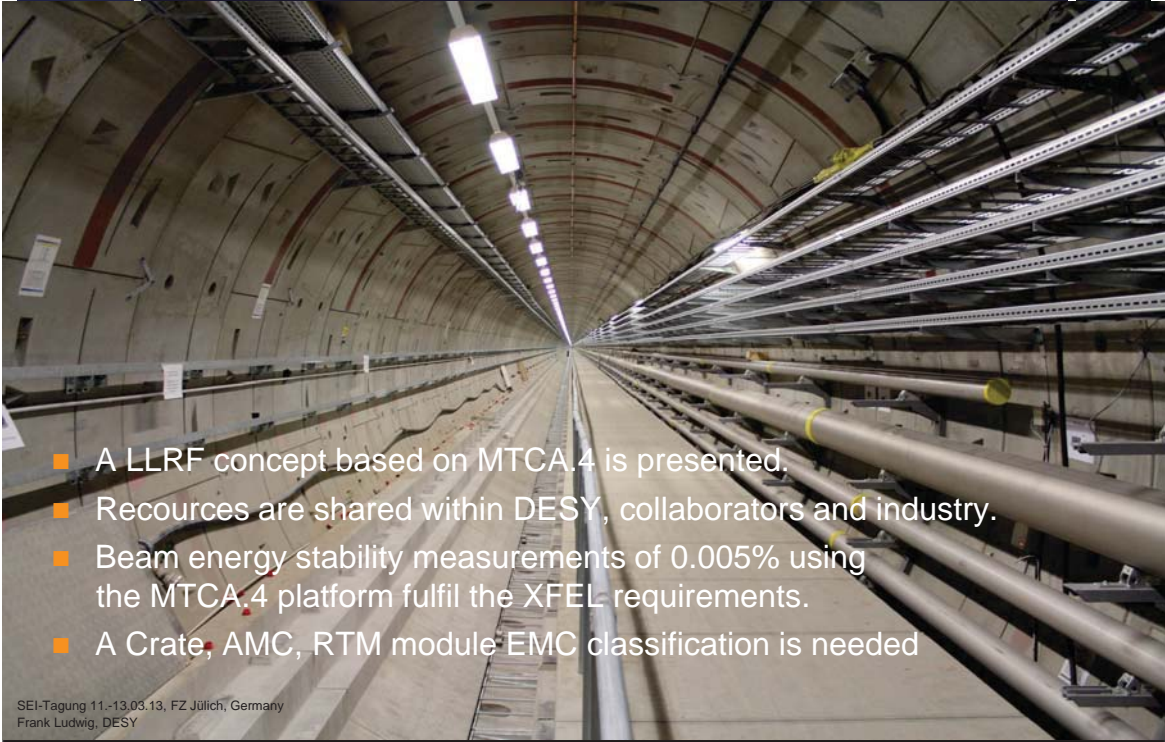
SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
 Frank Ludwig, DESY



Recent developments on MTCA.4

European XFEL

Thanks for your attention!



- A LLRF concept based on MTCA.4 is presented.
- Resources are shared within DESY, collaborators and industry.
- Beam energy stability measurements of 0.005% using the MTCA.4 platform fulfil the XFEL requirements.
- A Crate, AMC, RTM module EMC classification is needed

SEI-Tagung 11.-13.03.13, FZ Jülich, Germany
Frank Ludwig, DESY



Entwicklung eines 5 GHz Digitalisierungssystem basierend auf dem MTCA.4 Standard

M. Balzer, M. Kleifges, A. Menshikov, D. Tcherniakhovski

Institute for Data Processing and Electronics (IPE)



KIT – University of the State of Baden-Wuerttemberg and
National Laboratory of the Helmholtz Association

www.kit.edu

Agenda

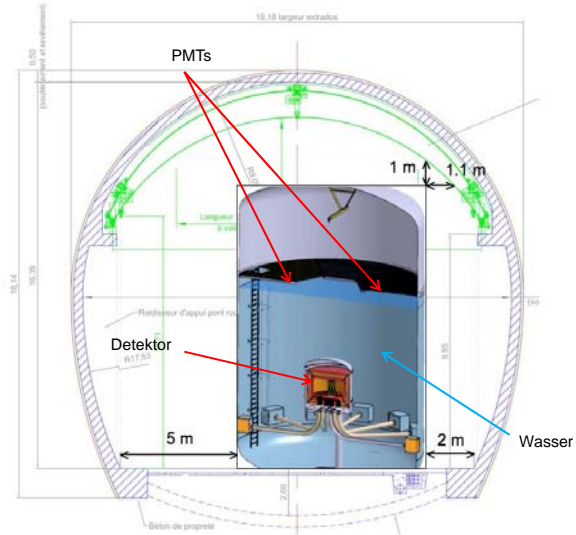


- Anwendung
- FADC und Switch Capacitor Arrays
- DRS4 IC
- MTCA.4 RTM-DRS4
- MTCA.4 AMC Module

Dark Mater Experiment EURECA



- Laboratoire Souterrain de Modane (LSM)



3

SEI Tagung 11.-13. März 2013

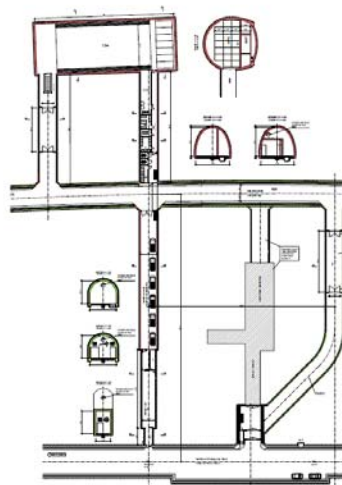
Matthias Balzer

Institute for Data Processing and Electronics (IPE)

Laboratoire Souterrain de Modane (LSM)



- Tunnel zwischen Frankreich und Italien



4


SEI Tagung 11.-13. März 2013

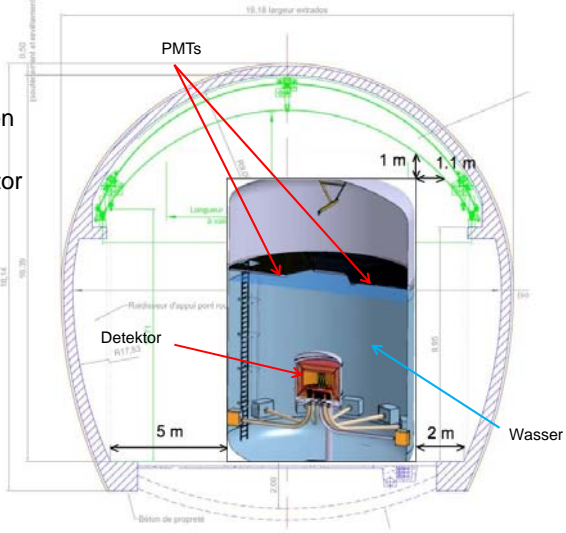
Matthias Balzer

Institute for Data Processing and Electronics (IPE)

Dark Mater Experiment EURECA

- Laboratoire Souterrain de Modane (LSM)
- Nachweise von WIMP Teilchen
- Kryogener Germanium Detektor 150 kg (später 1000 kg)
- Problem Kosmische μon Strahlung
- Detektion von μon (bis zu 96 PMT)
- Hohe zeitliche Auflösung der PMT Signale






5
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)

Flash ADC im GHz Bereich

- Texas Instrument
 - ADC10D1000 10bit 2 Ch 2,0 GSa/s 1,4 W/Ch
 - ADC12D1800 12bit 2 Ch 3,6 GSa/s 2,4 W/Ch
 - ADC12D500RF 12bit 2 Ch 1,0 GSa/s 1,0 W/Ch

- e2v
 - EV10AQ190 10bit 4 Ch 1,25 GSa/s 1,4 W/Ch
 - oder 10bit 1 Ch 5,0 GSa/s 5,6 W/Ch
 - EV12AS200 12bit 1 Ch 2,3 GSa/s 3,2 W/Ch



6
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)

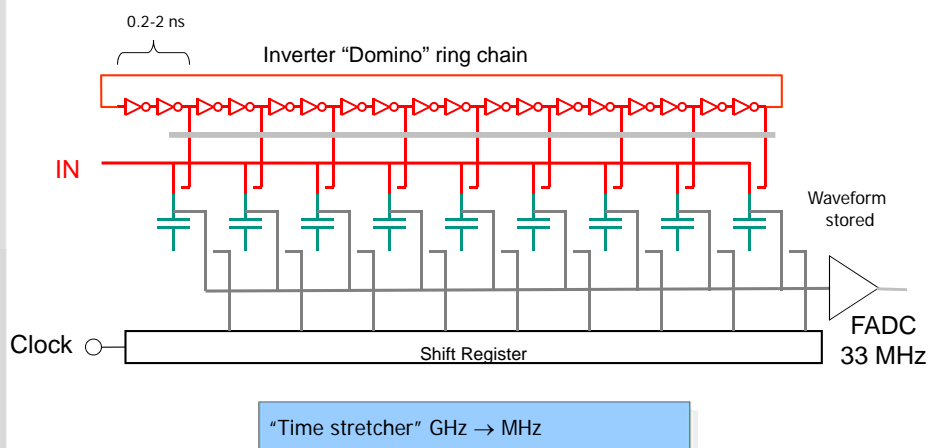
Flash ADC Karten



- SIS3305 VME 2 x 5 GSa/s Struck
- FMC126 1 x 5 GSa/s 4DSP



Switched Capacitor Array



Source: PSI, Stefan Ritt, presentation „Very Fast Waveform Recorders.“

Switched Capacitor Array ICs



- **PSEC-4** Digitizing ASIC (H.Frisch, Univ. Chicago)
 - 2,5 – 15 GSa/s
 - 6 Channels mit 256 Samples (100 – 17 ns)

- **Labrador4** (G.Varner, Univ. of Hawaii)
 - 4 GSa/s
 - 1 Channel mit 4094 Samples

- **Target4** (G.Varner, Univ. of Hawaii)
 - 0,5 - 1,5 GSa/s
 - 16 Channel mit 16384 Samples

- **DRS4** (R. Dinapoli, PSI)
 - 0,7 – 5,0 GSa/s
 - 8 Channels mit 1024 Samples

DRS4 Chip



FUNCTIONAL BLOCK DIAGRAM

- 8+1 Ch x 1024 Kap.
oder 4 Ch x 2048
oder 1 Ch x 8192

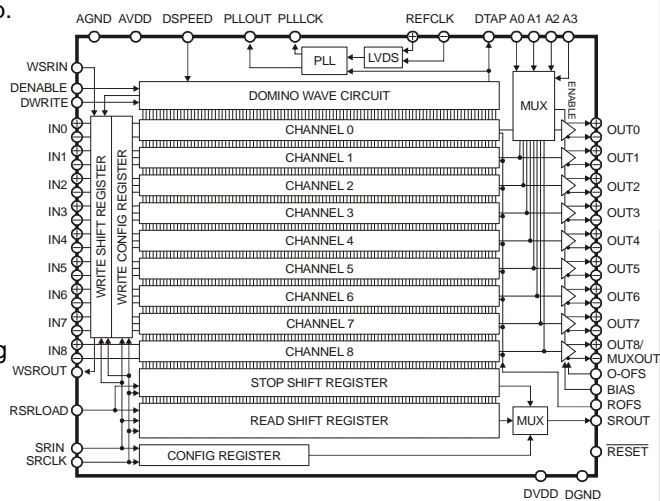
- Abtastrate
0.7 bis 5.0 GSPS

- On-Chip PLL

- Auslese mit 33 MHz

- Amplitudenauflösung
11,5 Bit

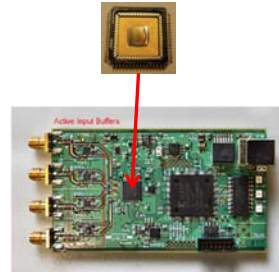
- 17,5 mW/Ch



DRS4 Evaluation Board



- 4 Channels
- 14 bit ADC
- Bis zu 5 GSa/s
- 750 MHz analoge Bandbreite
- 500 Events/s (USB Auslese)



- Fixed Pattern Noise Korrektur

11

SEI Tagung 11.-13. März 2013 Matthias Balzer

Institute for Data Processing and Electronics (IPE)

Eigenschaften RTM-DRS4



- MTCA.4 Rear Transition Module Standard
- RTM Connector Konform zu Zone3 Empfehlungen (D1.1)

- 16 analoge Eingangskanäle
- Einstellbarer Schwellwert-Trigger für jeden Eingangskanal
- 1 externer Trigger


- 2 Capacitor Arrays pro Analogkanal
- Analoge Bandbreite DC - 750 MHz
- Sampling-Rate bis zu 5 GSa/s
- 100ns Totzeit

- FPGA Spartan-6 LX45T-LX100T
 - Flexible Verbindung zum AMC
 - Steuerung und Verarbeitung

12

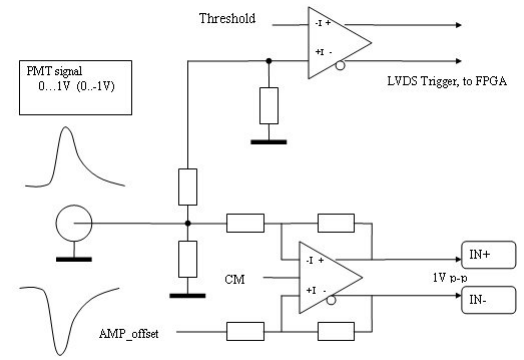
SEI Tagung 11.-13. März 2013 Matthias Balzer

Institute for Data Processing and Electronics (IPE)




Analoge Eingänge

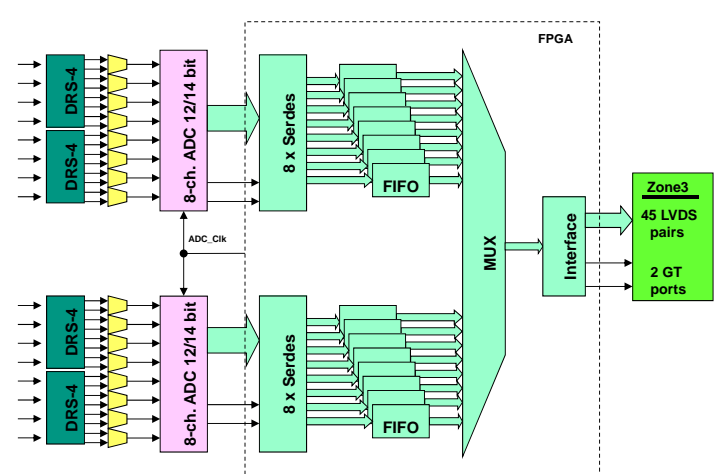
- Verstärkerbandbreite
DC - 750 MHz
- Einstellbarer Signalbereich
- Comparator Delay < 1 ns
- Einstellbare Schwelle
- Versorgung $\pm 2,5$ V



13
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)



RTM-DRS4 Datenfluss



14
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)

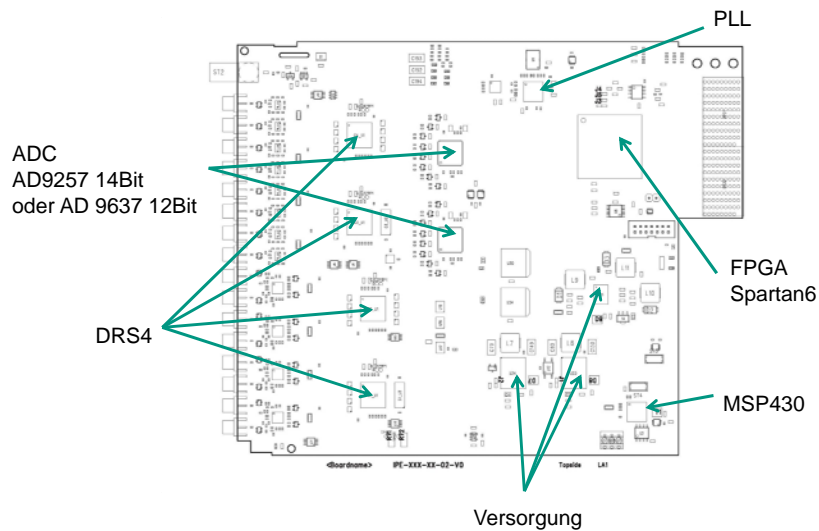
FPGA Funktion




- Steuerung von 4 DRS4 ICs
- Aufnahme der Daten von 16 ADC Kanälen (jeder max. 360Mb/s)
- "On line fixed pattern noise" Korrektur
- Schnittstelle zum AMC Modul: Seriel oder Parallel
- Dynamische SchwellenwertEinstellung pro Kanal
- Trigger Logik

RTM-DRS4

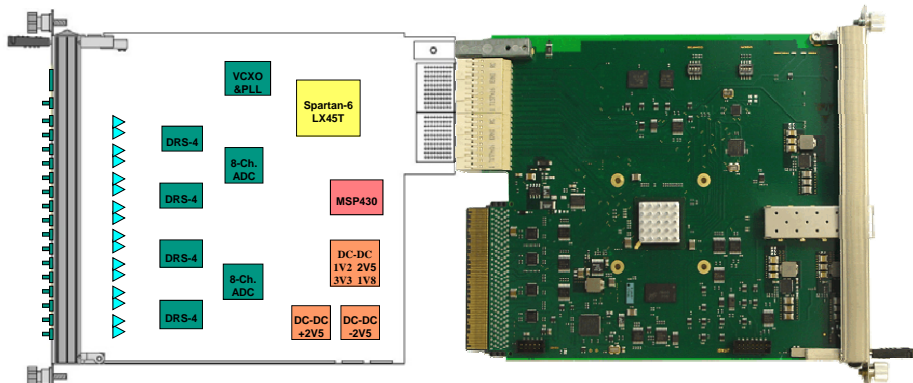
Platzierung der Bauteile



MTCA.4 Einheit mit TAMC651




KIT
Karlsruhe Institute of Technology



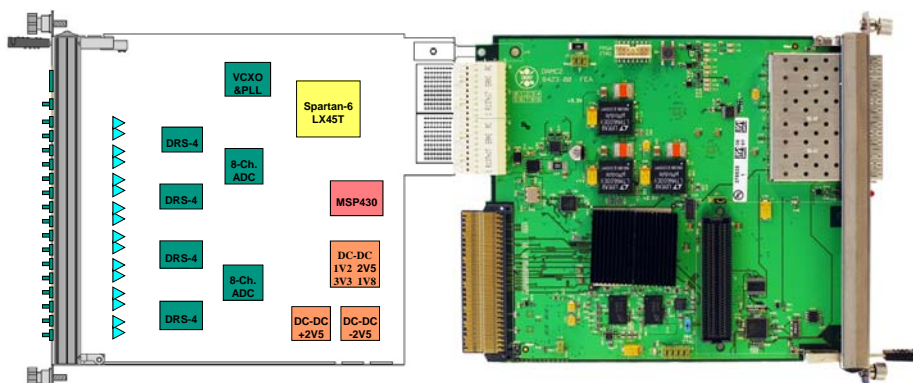
- Xilinx Spartan 6 LX45T
- PCIe x1
- 1 SFP

17 SEI Tagung 11.-13. März 2013 Matthias Balzer Institute for Data Processing and Electronics (IPE)

MTCA.4 Einheit mit DAMC2



KIT
Karlsruhe Institute of Technology



- Xilinx Virtex 5 VLX50T
- PCIe x4
- 4 SFPs
- FMC Connector

18 SEI Tagung 11.-13. März 2013 Matthias Balzer Institute for Data Processing and Electronics (IPE)

Zusammenfassung



- 16 analoge Eingänge mit Bandbreite von DC-750 MHz
- Programmierbare Abtastrate 700MHz – 5GHz
- Low Power Abtastung für niedrige Ereignisraten

- Spartan-6 LX45T-LX100T
- RTM Zone3 Schnittstelle: 2 GTP und 45 LVDS

- Skalierbares System

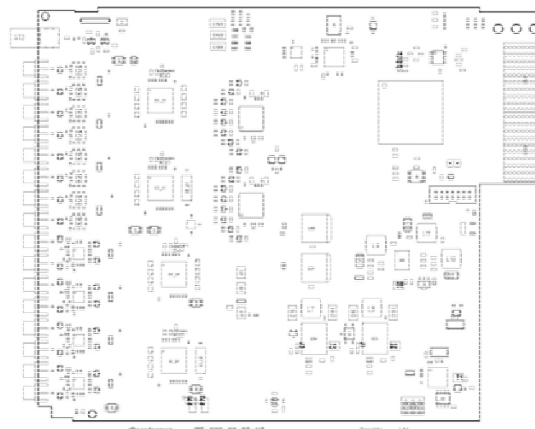
- Erster Prototyp April 2013

RTM-DRS4



- Danke für Ihre Aufmerksamkeit

- Fragen?



Mitglied der Helmholtz-Gemeinschaft

 **JÜLICH**
FORSCHUNGSZENTRUM

Entwicklung und Optimierung des Flugrechners für GLORIA

Michael Rademacher

Forschungszentrum Jülich (FZJ)
Zentralinstitut für Engineering, Elektronik und Analytik (ZEA)
Systeme der Elektronik (ZEA-2)
Erdbeobachtungssysteme

12. März 2013, Fachhochschule Aachen

1

Das Projekt GLORIA

 **JÜLICH**
FORSCHUNGSZENTRUM

GLORIA – Gimballed Limb Observer for Radiance Imaging of the Atmosphere

- Kooperation der Forschungszentrum Jülich GmbH mit dem Karlsruher Institut für Technologie
- Das Messinstrument besteht aus einem IR-Detektorfeld in Verbindung mit einem Michelson-Interferometer:
 - Infrarotspektrometer
- Dank des neuartigen Detektor-Chips hohe räumliche Auflösung:
 - Horizontal: 30 km
 - Vertikal: 200 m
- Gewonnene Daten:
 - Rückschlüsse zum Klimawandel
 - Erkenntnisse zur Entwicklung präziserer Wettermodelle



Quellen: - Karlsruher Institut für Technologie, *GLORIA - Weltweit einzigartiges Experiment für die Klimaforschung*, 2011
- A. Engel, H. Bönisch, *White paper for TACTS/SALSA*. Goethe Universität Frankfurt, 2010

2

Der Flugrechner CHEFFE: Aufgaben

Aufgaben des Flugrechners:

- Hohen Datenstrom des Fluginstruments (ca. 100 MB/s) zu verarbeiten und Messdaten zu sichern
- Steuerung weitere Baugruppen des Messinstruments
- Kommunikation während des Flugbetriebs (Statusmeldungen werden via Satellitenkommunikation weitergeleitet)



Äußere Einflüsse auf den CHEFFE:

- Temperaturen von -55°C bis 85°C
- Luftfeuchte von 5 % bis 100 %
- Luftdruck von 2 mbar und 1100 mbar
- Hohe Belastung durch elektromagnetische Strahlung
- Starke Vibrationen

↓

Anforderungen an den Flugrechner:

- Wasserfest nach IP 65
- Passives Kühlkonzept
- EMV-festes Gehäuse
- Vibrations- und Stoßfestigkeit


↓

VPX REDI
(Ruggedized Enhanced Design Implementation)




3


Der Flugrechner CHEFFE: Komponenten




Single Board Computer (CPU)



Framgrabber & Camera Link Modul (FPGA Karte & CL Interface)



3 Solid State Drives (je 1 TB) im RAID Verbund



RJ08-F Camera Link 1GbE

Custom Front I/O
CL + GbE fibre optic converter

0 CPU module (CPU)

1 SSD for program data

2 Framgrabber & Camera Link (CL) Framgrabber

3 SSD for sensor data

4 SSD for sensor data

5 SSD for sensor data

28VDC / 250W PSU

RU1


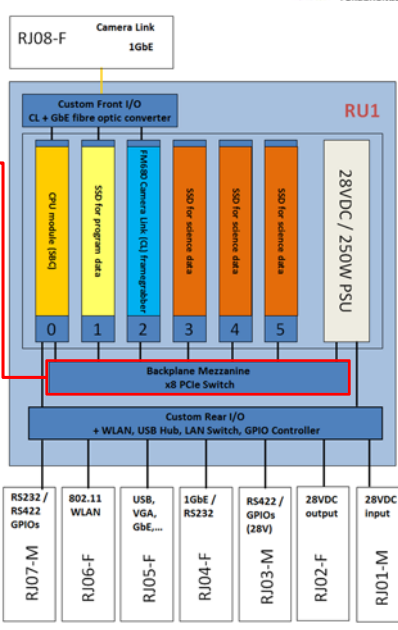
Backplane Mezzanine x8 PCIe Switch

Custom Rear I/O
+ WLAN, USB Hub, LAN Switch, GPIO Controller

RS232 / RS422 GPIOs	802.11 WLAN	USB, VGA, GbE...	1GbE / RS232	RS422 / GPIOs (28V)	28VDC output	28VDC input
RJ07-M	RJ06-F	RJ05-F	RJ04-F	RJ03-M	RJ02-F	RJ01-M

4

Der Flugrechner CHEFFE: Komponenten

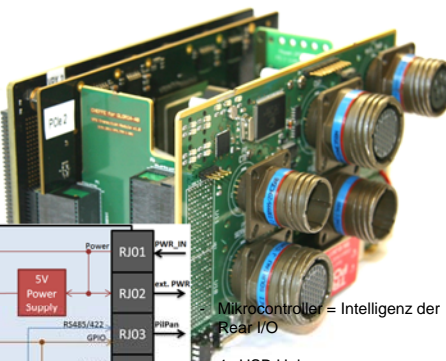
Backplane und Mezzanine Board von PCI-Systemen

- Backplane:
 - Gemeinsame Bus Platine
 - Stellt 6 Steckplätze für VPX Module zur Verfügung
- Mezzanine Board = Tochterplatine:
 - wird auf die Backplane aufgesteckt
 - Enthält den PCI Express Switch
- Daten des PCIe Switch:
 - Kann bis zu 16 Teilnehmern schalten
 - Unterstützt PCIe x8
 - Datenrate mit PCIe x1 = 250 MB/s

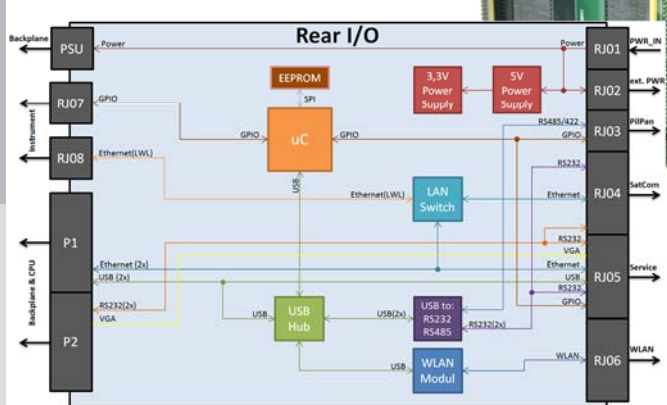
Quelle: PCI Systems, 3U VPX Rugged Express Chassis - PN 900.105.8 User Guide, 2008

Der Flugrechner CHEFFE: Komponenten

Rear I/O



- Definiert die applikationsspezifischen Eigenschaften des Systems
- Bildet alle nötigen Schnittstellen zum GLORIA Instrument bzw. dem Flugrechner
- Interfaces, welche nicht durch die CPU bereitgestellt werden, werden auf der Rear I/O gebildet



Mikrocontroller = Intelligenz der Rear I/O

- 4x USB Hub
- Modularer LAN Switch
- WLAN Modul
- USB-zu-Seriell-Umsetzer
- Spannungsversorgung

Der Flugrechner CHEFFE: Analyse und Modifikation

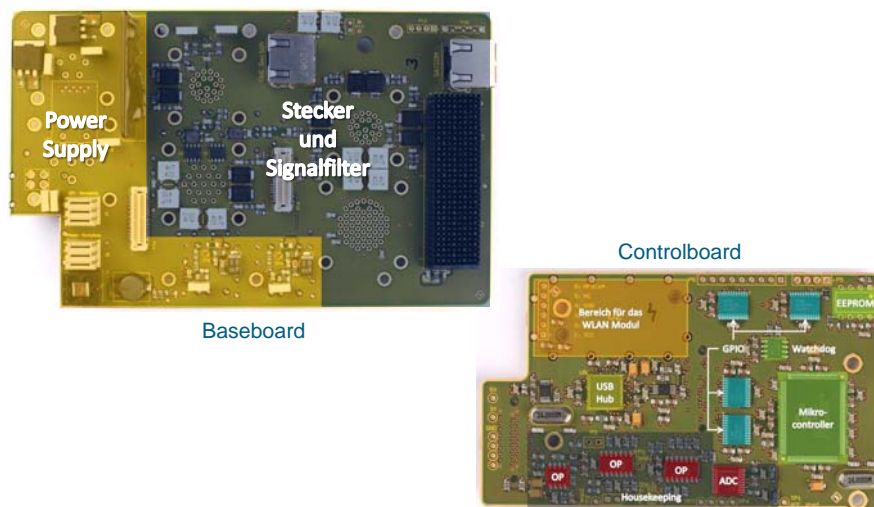


Neuentwurf der Rear I/O

- Mechanische Ausmaße und Steckerplatzierungen sollen identisch bleiben:
 - Randbedingungen für die neue Rear I/O
- Anpassung der Schnittstellen auf die Anforderung an den Flugrechner
- Neues Housekeeping-System
- Verbesserung des Lagenaufbaus
- Verbesserung der elektromagnetischen Verträglichkeit (EMV):
 - Verminderung der Störabstrahlung
 - Verbesserung der Störfestigkeit

7

Realisierung

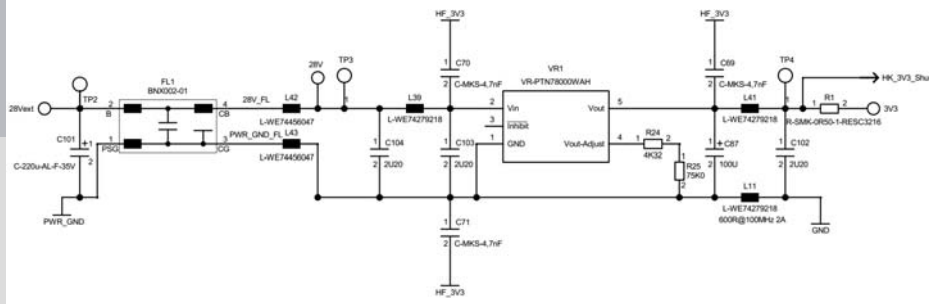


8

Realisierung: Spannungsversorgung

Beispiel Erzeugung der 3,3 V Betriebsspannung

- 28 V durch Filter BNX002 entstört
- Hochfrequenzanteil durch Spulen entkoppelt
- Schaltregler zur Regelung auf 3,3 V
- PI-Filter am Ein- und Ausgang des Reglers
- Y-Kondensatoren zu der entsprechenden HF-Plane, um Störungen zu kompensieren



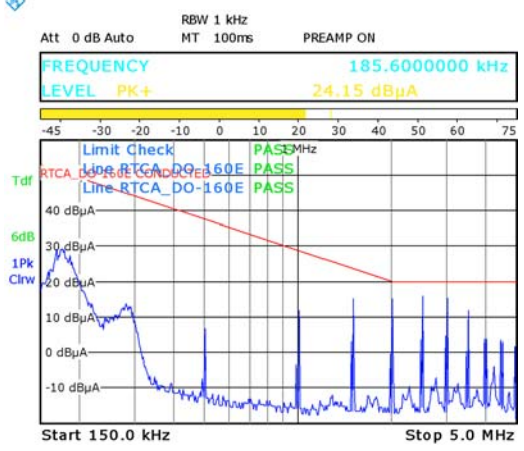
Messergebnisse: Spannungsversorgung

Ergebnisse aus den Rauschmessungen:

- Rauschspannungen liegen im Bereich von 0,1 % der Ausgangsspannung:
 - Laut Datenblatt: $U_{SS} = 1\% \cdot U_O$ sowie 20 dB Dämpfung durch den Einsatz der vorgeschlagenen PI-Filter
- Rauschleistung liegt zum Großteil im Frequenzbereich > 10 kHz

Messung der Leitungsgebundenen Störungen (Bild):

- Keine kritischen Störungen werden auf die externe 28 V Spannungsversorgung zurückgekoppelt
- 500 kHz = Schaltfrequenz des PTN78000WAH
- Oberschwingungen



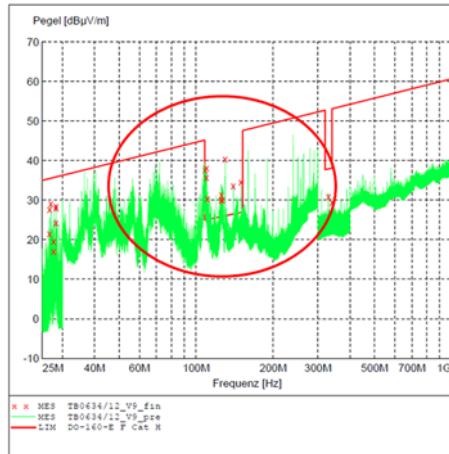
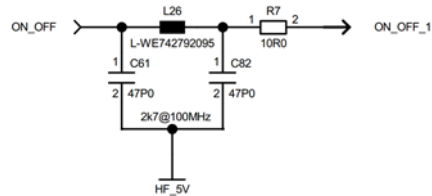
Realisierung: Signalfilterung

Hintergrund:

- Störabstrahlungsmessungen zeigen deutliche Überschreitungen der geltenden Grenzwerte
- Betroffenes Spektrum: 100 MHz – 150 MHz
- Frequenzbereich des Pilotenfunks
- Filterung der Signale sollen ein- und ausgehende Störungen reduzieren

Realisierung der Filter:

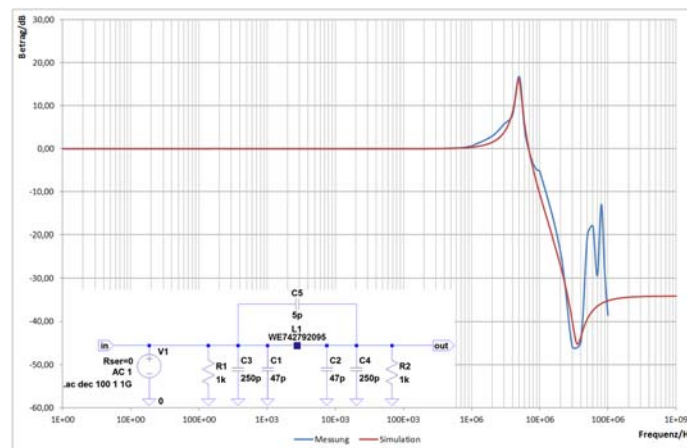
- Ferrite der Firma Würth Elektronik
- Verschiedene Signaltypen (differenzielle Signale, Single Ended Signale, Versorgungsspannungen) erfordern verschiedene Filteraufbauten
- Alle eingesetzten Filter arbeiten nach dem selben Prinzip



11

Messergebnisse: Signalfilter

- Filter wurden unter Berücksichtigung des Messaufbaus simuliert
- Starke kapazitive Einkopplungen im Messaufbau



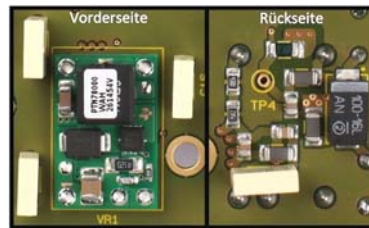
12

Realisierung: Aufbau der Filter

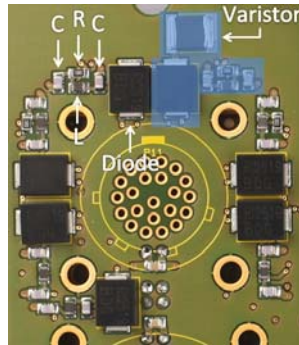


Design der Filter:

- Möglichst nahe der Störquelle bzw. der zu schützenden Komponente platziert
- Kurze Anbindung der Filter, d.h. Leiterbahnabschnitte auf der Oberfläche der Platine kurz gestalten
- Kontrollierte Leitungsführung



Filterung der Versorgungsspannung



Signalfilter



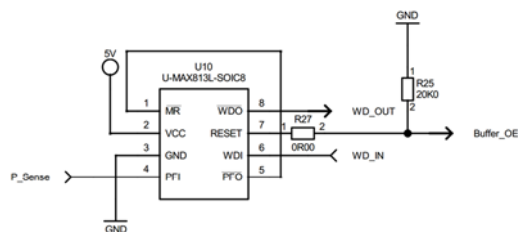
13

Realisierung: Watchdog



Hintergrund:

- Mikrocontroller wurde bisher nicht überwacht
- Beim unerwarteten Verlust der Versorgungsspannung kam es bei den vorherigen Buffern zu Funktionsausfällen



Funktionen des Watchdogs:

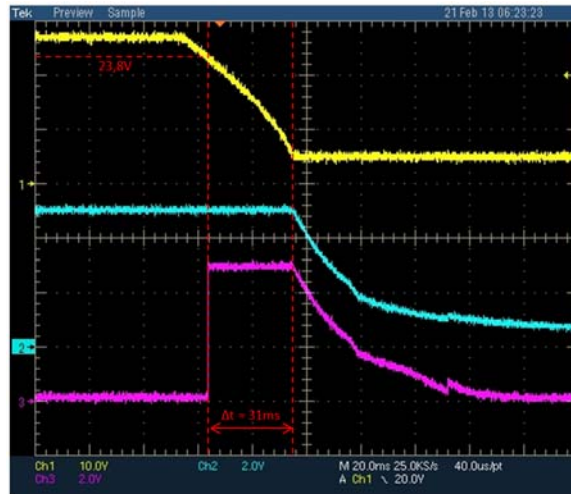
- Überwachen des Mikrocontrollers auf Funktion
- Spannungsüberwachung der Versorgungsspannung
- Abschalten der Levelshifter bei Spannungseinbruch

14

Messergebnisse: Spannungsüberwachung

Messung der Reaktionszeit des Watchdog Reset Signals:

- Schwellwert 23,8 V
- Reset Signal schaltet 31 ms vor Einbruch der Versorgungsspannung
- Die Funktion der Levelshifter wird vor dem Verlust der Versorgungsspannung eingestellt



CH1: 28 V Eingangsspannung (gelb)
CH2: 5 V Betriebsspannung (blau)
CH3: Watchdog Reset (rot)

15

Realisierung: Abschirmung des WLAN Moduls

Erkenntnis:

- Breitbandige Störungen im UKW-Bereich von WLAN Antenne + Modul hervorgerufen
- Störungen werden nicht von WLAN Grundfrequenz (2,4 GHz) erzeugt
- Störungen werden von Digitalelektronik in WLAN Modul bzw. Antenne induziert
- Antenne ist mit Masse des Moduls verbunden
- Ist die Masse mit Störungen behaftet, können diese über die Antenne nach außen abgestrahlt werden

Maßnahmen:

- Versorgungsspannung des Moduls wird gefiltert, Störungen auf Masseleitung gedämpft
- Abschirmung des WLAN Moduls durch ein Gehäuse um Einstreuungen zu vermeiden
- Das Gehäuse ist mit der 5 V HF-Plane verbunden, damit die Störungen abgeleitet werden können



16

Messergebnisse: Housekeeping-Erfassung

Funktionen:

- Misst acht physikalische Größen
- Analog Werte werden vom ADC umgewandelt und an den Mikrocontroller weitergegeben
- Mikrocontroller stellt die Werte über USB zur Verfügung
- Housekeeping System gibt Informationen zum Betriebszustand des CHEFFE Flugrechners

HK Monitor CHEFFE Rear I/O
(c) 2013, M-Rademacher (ZEA-2)
STOP

Temperatur#1 24.4 °C	U_28V_in 28.92 V	I_28V_in 0.094 A
Temperatur#2 -2.8E+2 °C	U_5V 4.98 V	I_5V 0.054 A
	U_3V3 3.21 V	I_3V3 0.524 A

Abtastpunkte

Legende

- CH0
- CH1
- CH2
- CH3
- CH4
- CH5
- CH6
- CH7

ADC_voltages

3.024	0.003	3.207	1.578	3.587	0.163	3.421	2.529
-------	-------	-------	-------	-------	-------	-------	-------

Zusammenfassung und Ausblick


Neuerungen der Rear I/O:

- Anpassung der Schnittstellen
- Umfangreicheres Housekeeping System
- Verbesserung der elektromagnetischen Verträglichkeit durch:
 - Klare Trennung von Analog- und Digitalteil (2 Platinen)
 - Filterung aller relevanten Ein- und Ausgangssignale
 - Überarbeitete Betriebsspannungserzeugung
 - Spannungsüberwachung
 - HF-Planes
 - WLAN Modul in einem abschirmenden Gehäuse


Weitere Arbeitsschritte:

- Integration ins Gesamtsystem
- Vollständige Funktionsprüfung
- Störabstrahlungsmessungen in hauseigener EMV Kammer
- Zertifizierte EMV Messungen vor Erstflug

Mitglied der Helmholtz-Gemeinschaft



Vielen Dank für Ihre Aufmerksamkeit!

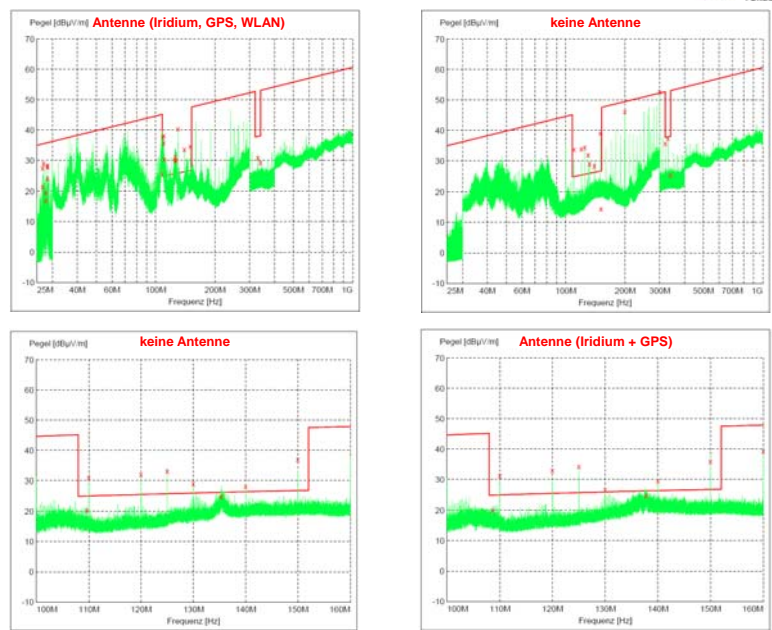



Bestehen noch Fragen?

Michael Rademacher
m.rademacher@fz-juelich.de

19

Realisierung: Abschirmung des WLAN Moduls



20

Magnetische Felder in Gebäuden

Jörg Burmester

13.3.2013

Magnetische Felder in Gebäuden



- In unseren Zentren werden viele neue Gebäude gebaut.
- Gebäude mit moderner Fassade
- Blitzschutz
- Moderne Architektur
- Kunst am Bau
- etc.
- Meistens mit externem Planungsbüro
- Oft ohne Einbindung der Nutzer

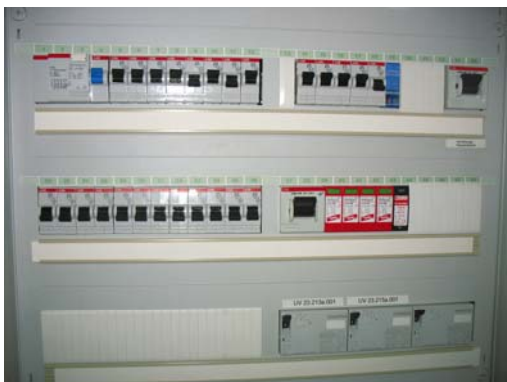
Magnetische Felder in Gebäuden



- schicke Büros
- moderne Kommunikationstechnik
 - Labore, Versuchsaufbauten
 - Rasterelektronenmikroskope etc.

Magnetische Felder in Gebäuden

Laborverteilung



- FI-Schutzschalter (RCD) in allen Verteilungen
- Nicht nur verbesserter Personenschutz
- Umrüstung der Frequenzumformer
- Niedriger Ableitstrom gefordert
- Geräte wurden erneuert
- Überspannungseinrichtungen

Umdenken hat statt gefunden.
Planer sind auf dem richtigen Weg

Magnetische Felder in Gebäuden

Journalistenbesuch



● Interview mit veraltete Technik
Magnetband Diktiergerät

● Das Gerät funktioniert
einandfrei aber trotzdem ist die
Aufnahme weg



Genauere Untersuchung!

Magnetische Felder in Gebäuden



Suche nach der Ursache

● Vorsicht heikle Angelegenheit

● Teilweise sehr emotionell
geführte Diskussionen

● Sachlich bleiben

● Überlegtes Vorgehen bei der
Untersuchung der Ursache

● Gesundheitsgefährdung am
Arbeitsplatz?

Magnetische Felder in Gebäuden



Messung der Magnetfelder

- Frage nach den Grenzwerten
 - Großbritannien 360 μ T
 - Deutschland 100 μ T okay?
 - Schweden 0,1 μ T
 - Bundesamt für Strahlenschutz
 - Internetrecherche
 - BGR-B11/NISV(Schweiz)
 - Diverse Untersuchungsberichte
-
- Sind die Grenzwerte für uns richtig?
 - Wir sollen für einwandfreie Funktion der Elektronik sorgen

Jörg Burmester • 22.07.2013

7

Magnetische Felder in Gebäuden



- Magnetfelder von 38 μ T!!!
- Türrahmen = Spule mit 1 Windung Erhöhtes Magnetfeld
- Magnetische Kopplung funktioniert auch da, wo man es nicht per Definition erwartet.
- Versuchsaufbauten, empfindliche Messsysteme?



Jörg Burmester • 22.07.2013

8

Magnetische Felder in Gebäuden

Niederspannungshauptverteilung im Keller unter den Büros/Laborräumen



● Ist das die Ursache der hohen Magnetfelder in den Büros?

Magnetische Felder in Gebäuden

● Stromschienensysteme bis 4000A



● Welches Schienensystem wäh man?

● Das preiswerteste?



Leiteranordnung EMV günstig?

Magnetische Felder in Gebäuden

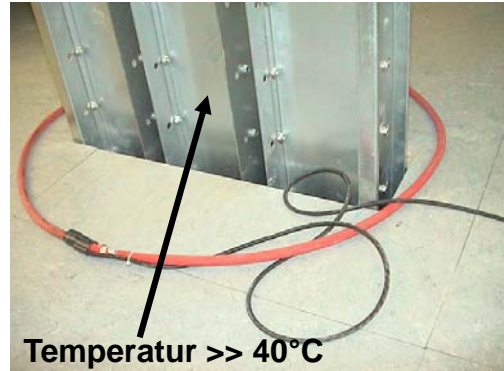


4,5 A auf Rahmen des Schaltschranks induziert

26A Ausgleichsströme auf dem Gehäuse der Stromschienen (Schienen nicht unter Volllast)

Wohin fließen diese Ströme?

Was wird von alles von diesen beeinflusst?



Magnetische Felder in Gebäuden



Räumliche Trennung von L1, L2, L3 und N in Schaltschränken vermeiden!!!!!!!

Vortrag auf der SEI Tagung 2010 am DESY:
EMV in Meßsystemen
Grundlagen und Anwendungen
Dr.-Ing. Sven Bönisch

Große Schleife :
Magnetische Kopplung

Ist zwar so wie in der Zeichnung, aber für EMV nicht zu gebrauchen

Magnetische Felder in Gebäuden



- Messungen am Zentralen Erdungspunkt:
- Keine Verbindung zwischen N und PE außer am ZEP
Okay!
- Leiterführung in den Schaltschränke
- Wahl der Stromschiene
Nicht okay!

Einspeisung mit kleinem Trafo zwischen N und PE irgendwo im Gebäude.
Messung am ZEP ob der eingeprägte Strom dort auch ankommt.

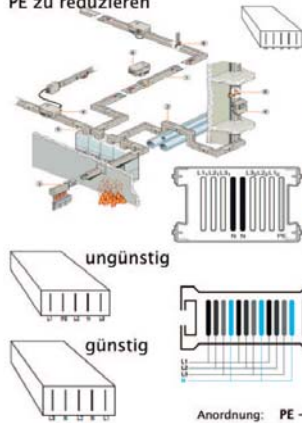
Magnetische Felder in Gebäuden



- Nichtsymmetrische Führung von L1,L2,L3 und N
- Abgänge vom Trafo
- Phasendifferenz bei Betriebsstrom von 4000A ist schon erheblich
Nicht okay!

Magnetische Felder in Gebäuden

EMV-gerechte Anordnung der Leiter und der Neutralleiter beachten, um Rückwirkungen auf PE zu reduzieren



Empfehlung:

- Stromschielen mit symmetrischer Leiterführung
- N-Leiter mit abschalten
- 90% weniger EMV-Probleme
- Nachträgliche Behebung der Mängel unmöglich und sehr teuer.

Aber:

- Was macht man nun mit diesem Gebäude?

Magnetische Felder in Gebäuden

Die verPENnte Installation – ist untersagt!

gemäß VDE 0100 Teil 100 - Teil 444 - Teil 482 und EN 50174

EMV-ungünstig: TN-C-System (4 Leiternetz)
Wirkung auf Bildschirmelemente, Elektronik, Kopierer, Lebenswerkzeuge

EMV-günstig: TN-S-System (5 Leiternetz)
Grundvoraussetzung für sicheren Betrieb von IKT-Anschlüssen und sensible Anlagen

Die Industrie wird unterstützt durch: Siemens, Schneider Electric, PERSEL, evolution, AEG, FRÄKO, Janitza, E-TEC, PSL, NTC, qbh, W&T, ILL INSTRUMENTS.

Die Industrie wird unterstützt durch: Hilti, AITE LEIPZIGER, ComiConsult, V&M, MEBO, Radix + Partner, Zülow, GEMER, NIEHOFF, etc.

Vorteile	Nachteile	Problemlösung
• Einmalige Verdrahtung	• Hohe EMV-Emissionen	• Trennung der Strom- und Datenleitungen
• Geringe Kosten	• Störungen durch Rückwirkungen	• Abschaltung des N-Leiters
• Einfache Montage	• Gefahr von Überstrahlung	• Verwendung von EMV-gerechten Kabeln
• Hohe Flexibilität	• Schwierige Fehlersuche	• Abschirmung von empfindlichen Anlagen
• Geringer Platzbedarf	• Hohe Störempfindlichkeit	• Verwendung von EMV-gerechten Steckern
• Hohe Zuverlässigkeit	• Gefahr von Brand	• Verwendung von EMV-gerechten Kabeln
• Geringe Wartungskosten	• Schwierige Erweiterung	• Verwendung von EMV-gerechten Steckern
• Hohe Flexibilität	• Schwierige Fehlersuche	• Verwendung von EMV-gerechten Kabeln
• Geringer Platzbedarf	• Hohe Störempfindlichkeit	• Verwendung von EMV-gerechten Steckern
• Hohe Zuverlässigkeit	• Gefahr von Brand	• Verwendung von EMV-gerechten Kabeln
• Geringe Wartungskosten	• Schwierige Erweiterung	• Verwendung von EMV-gerechten Steckern

Poster download

<http://www.sv-otto.de/>

Sachverständiger
Karl-Heinz Otto

Magnetische Felder in Gebäuden

Ich wünsche mir magnetfeldfreie Gebäude und mehr Einsicht
bei den Planern hinsichtlich

EMV

Vielen Dank für ihre Aufmerksamkeit



Mitglied der Helmholtz-Gemeinschaft



EMV gerechtes Design für wissenschaftliche Applikationen in sensiblen Umgebungen

SEI Tagung Frühjahr 2013

22. Juli 2013 T. Neubert, GLORIA Team
Zentralinstitut für Engineering, Elektronik und Analytik
ZEA-2 - Systeme der Elektronik



Überblick

- Motivation
- Randbedingungen / Art der Störgrößen
- Systemdesign
- Stromversorgungen / Schaltnetzteile
- Signalfilter
- Störungssuche Messtechnik im Labor

22. Juli 2013 ZEA-2 Systeme der Elektronik Folie 2

GLORIA
KIT FZJ JÜLICH

JÜLICH
FORSCHUNGSZENTRUM

Motivation



22. Juli 2013 ZEA-2 Systeme der Elektronik Folie 3



GLORIA
KIT FZJ JÜLICH

JÜLICH
FORSCHUNGSZENTRUM

EMV Störgrößen

- Störaussendung
 - Leitungsgebundene Störungen (100kHz – 30MHz)
 - Elektromagnetische Abstrahlung (1MHz- 10GHz)
- Störfestigkeit
 - Elektrostatische Entladung (ESD)
 - hochfrequente elektrostatische Felder
 - schnelle transiente Störungen (Burst)
 - Stoßspannungen (Surge)
 - Leitungsgeführte Störgrößen (induziert durch hochfrequente Felder)
 - starken Magnetfelder (bspw. MRT, Beschleuniger)
 - Spannungseinbrüche, Kurzeitschwankungen, Überspannung
 - Blitzschutz (LEMP)

22. Juli 2013 ZEA-2 Systeme der Elektronik Folie 4

EMV Prüfnormen

Fachgrundnormen	Thema
EN 61000-6-2:2005	Störfestigkeit für Industriebereiche
EN 61000-6-4:2007 +A1:2011	Störaussendung für Industriebereiche

Prüfnormen: (auszugsweise)	Thema
EN 55011, CISPR 11	Störaussendung: Industrielle, wissenschaftliche und medizinische Hochfrequenzgeräte
EN 55022, CISPR 22	Störaussendung: Informationstechnische Einrichtungen
EN61000-4-3	Störfestigkeit: Prüfung gegen hochfrequente elektromagnetische Felder
EN55024, CISPR 24	Störfestigkeit: Informationstechnische Einrichtungen
EN61326-1	Störfestigkeit: Elektrische Mess-, Steuer-, Regel- und Laborgeräte

Luft- und Raumfahrt Normen	Thema
RTCA-DO 160	Anforderungen an die elektromagnetische Verträglichkeit von Produkten für den Einsatz im Bereich der Luftfahrt

22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 5




Systemdesign

- Frühzeitige Definition der EMV-Anforderung an das Gerät (Gesamtsystem) und an die Baugruppe.
- Analyse der Koppelpfade auf dem Board und der Abstrahlungspfade vom Board in die Geräteumgebung.
- Ableiten der EMV-bezogenen Regeln für das Board-Design aus der quantitativen Beschreibung der Koppel- und Abstrahlungspfade.
- Sobald Prototypen vorliegen, Pre-Compliance-Messungen auf dem Board durchführen.
- Feedback zum EMV-Verhalten der Baugruppe im Gerät (Gesamtsystem) auswerten.

22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 6

GLORIA
KIT FZJ JÜLICH

JÜLICH
FORSCHUNGSZENTRUM

Koppel- und Abstrahlungspfade

Gesamte Abstrahlung der Baugruppe

```

    graph TD
      Root[Gesamte Abstrahlung der Baugruppe] --> Direkt[Direkt]
      Root --> Peripherie[über Peripherie]
      Root --> Kabel[über Kabel]
      Direkt --> PowerBus1[Power Bus]
      Direkt --> Leiterbahnen[Leiterbahnen]
      Direkt --> ICs[ICs]
      Peripherie --> Kuehloerper[Kühlkörper]
      Peripherie --> Subboards[Subboards]
      Kabel --> Commonmode[Common mode]
      Kabel --> PowerBus2[Power Bus]
      Kabel --> Uebersprechen[Übersprechen]
    
```

Quelle: M.Leone, D.Hoffmann „Entwurf gegen Abstrahlung“, Design Elektronik 06/2007

22. Juli 2013 ZEA-2 Systeme der Elektronik Folie 7

GLORIA
KIT FZJ JÜLICH

JÜLICH
FORSCHUNGSZENTRUM

Direkte Einkopplung - PCB

Multilayer-Board mit ICs

Paralleplatten - Modell mit einem IC


Hochfrequente Stromimpulse (I_{noise}) durch schnelle Schaltvorgänge im IC


→ Störspannung: $U_{noise} = Z \cdot I_{noise}$

HF-Impedanz des Versorgungssystems


Quelle: M.Leone, D.Hoffmann „Entwurf gegen Abstrahlung“, Design Elektronik 06/2007

22. Juli 2013 ZEA-2 Systeme der Elektronik Folie 8






Direkte Einkopplung – PCB (Lösung)




Lage 1 TOP	Chassis Plane mit Kantenmetallisierung
Lage 2	HF Plane
Lage 3	Planes für Versorgungsspannungen
Lage 4	Ground Plane
Lage 5	Signale Single Ended Signal Differentielle Signale mit Bezug auf Lage 4
Lage 6	Signale Differentielle Signale mit Bezug auf Lage 7 Single Ended Signal
Lage 7	Ground Plane
Lage 8	Planes für Versorgungsspannungen
Lage 9	HF Plane
Lage 10 BOTTO	Chassis Plane mit Kantenmetallisierung

Dielektrikum
 Kupferlagen

22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 9





Abstrahlung über Peripherie / Kabel

22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 10

GLORIA
KIT FZJ JÜLICH

JÜLICH
FORSCHUNGSZENTRUM

Stromversorgungen

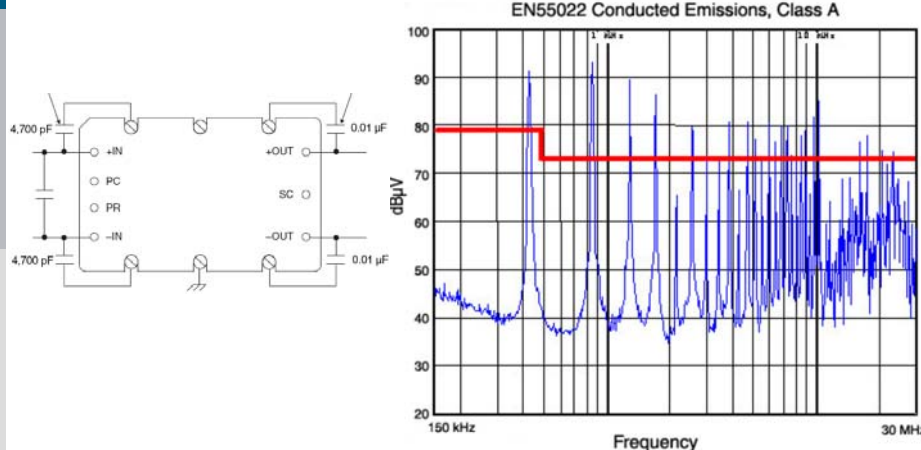


22. Juli 2013 Folie 11

GLORIA
KIT FZJ JÜLICH

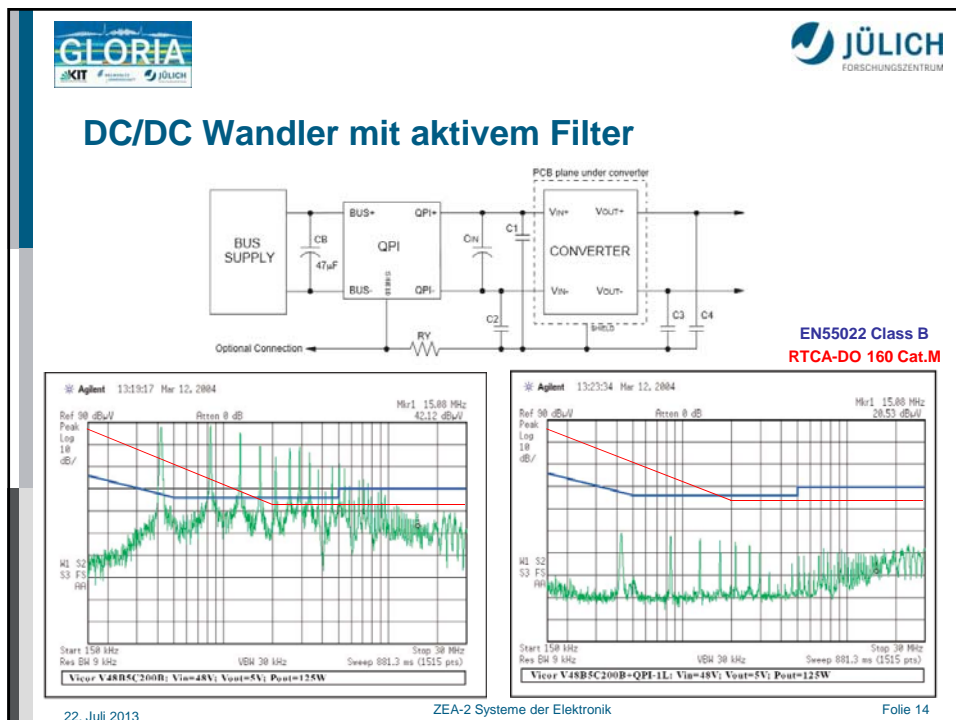
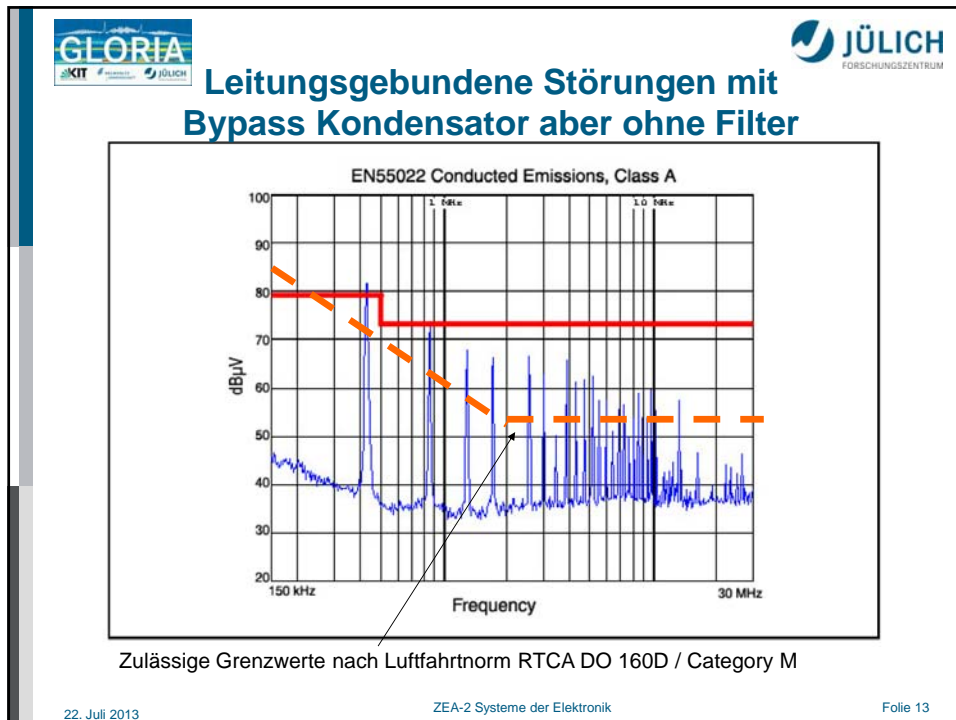
JÜLICH
FORSCHUNGSZENTRUM


Leitungsgebundene Störungen ohne Filter




The circuit diagram shows a Vicor converter with parasitic components: 4.700 pF capacitors at the input (+IN, -IN) and output (+OUT, -OUT), and 0.01 µF capacitors at the output (+OUT, -OUT). The graph shows EN55022 Conducted Emissions, Class A, with dBµV on the y-axis (20 to 100) and Frequency on the x-axis (150 kHz to 30 MHz). A red line indicates the Class A limit, which is 80 dBµV from 150 kHz to 150 kHz, then drops to 73 dBµV from 150 kHz to 30 MHz. The blue line shows the actual emissions, which are significantly higher than the limit, especially at 150 kHz and 1.8 MHz.


22. Juli 2013 Folie 12

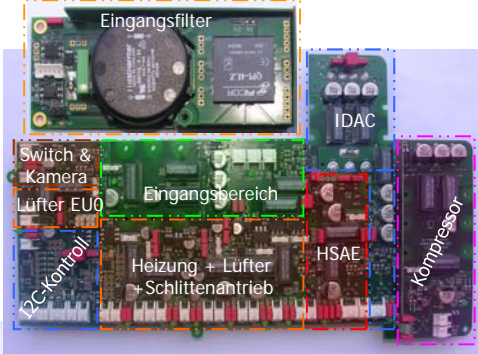


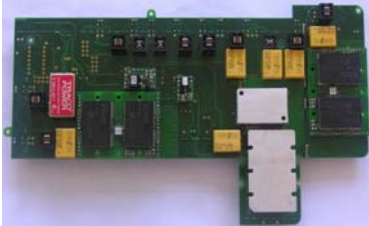



Beispiel: Spannungsversorgung













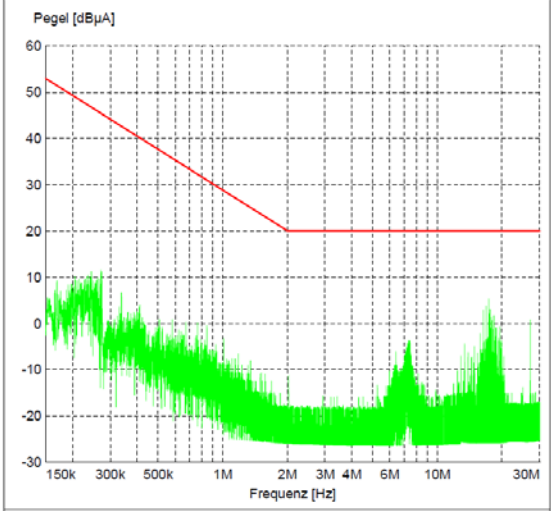
Quelle: V.Tan / A. Schönfeld IEK-7 (FZJ)

22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 15





Leitungsgebundene Störungen mit angepasster Filterung



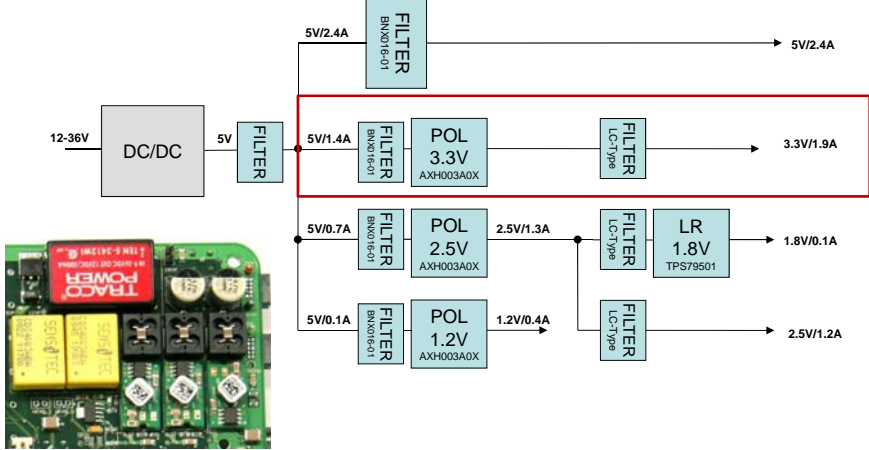



22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 16





Beispiel: POLs für FPGA Boards







ZEA-2 Systeme der Elektronik

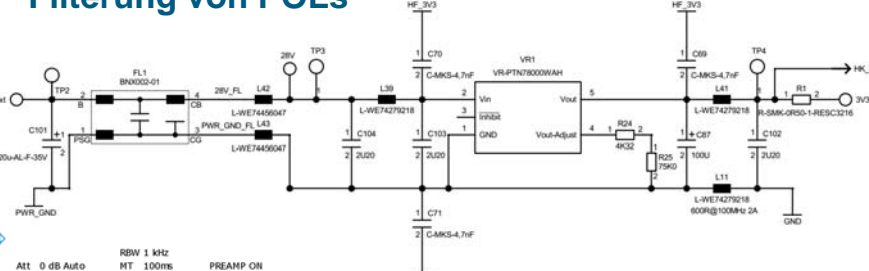
Folie 17

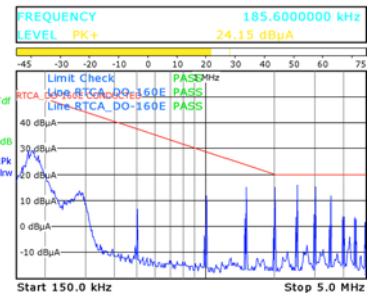
22. Juli 2013







Filterung von POLs











Filterung der Versorgungsspannung

ZEA-2 Systeme der Elektronik

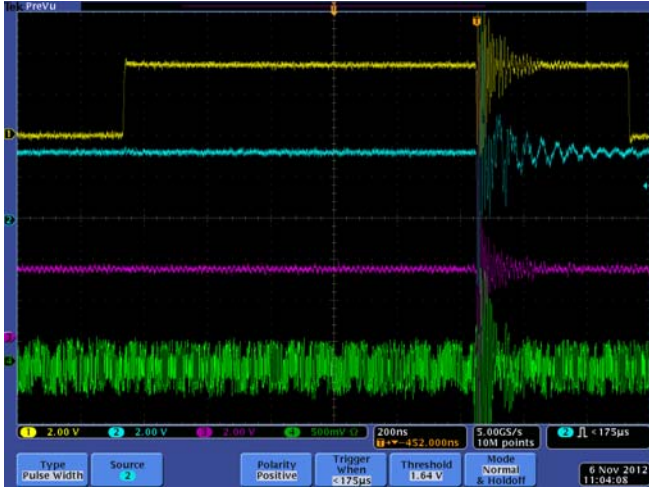
Folie 18

22. Juli 2013







Signalfilterung



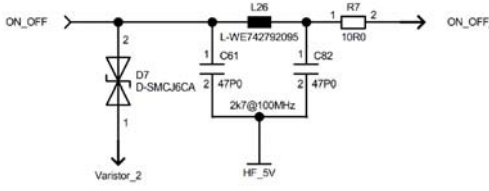
22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 19



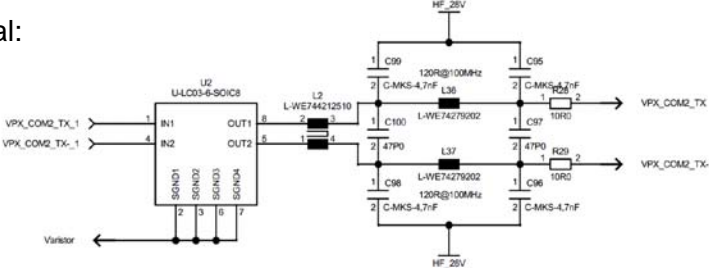


Signalfilter

Single Ended:

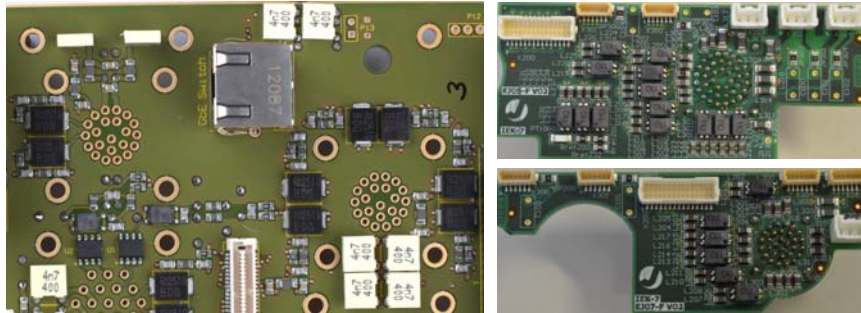


Differential:



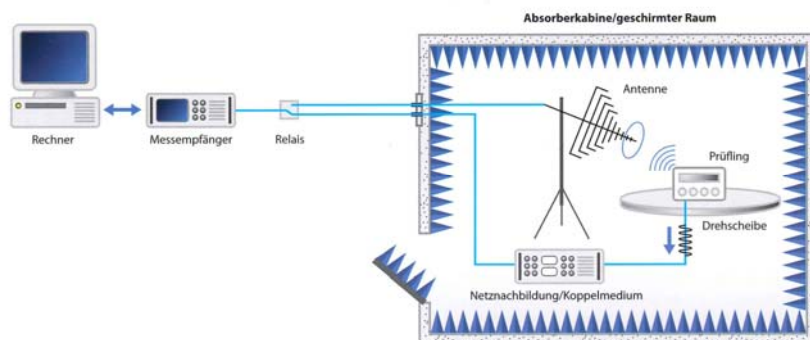
22. Juli 2013
ZEA-2 Systeme der Elektronik
Folie 20

Signalfilter (Beispiel)



Quelle: V.Tan / A. Schönfeld IEK-7 (FZJ)

Messaufbau Störaussendung







Labor – leitungsgebundene Störungen


- Stromsensor (bspw. R&S EZ-17)
- Spektrumanalyzer
- (Netzabbildung)





22. Juli 2013

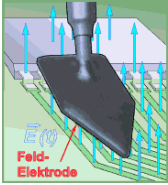
ZEA-2 Systeme der Elektronik

Folie 23





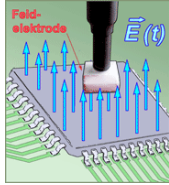
Labor- Emissionsmessungen



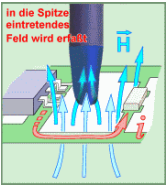
Feld-Elektrode



Feld-Elektrode



Feld-elektrode $\vec{E}(t)$




in die Spitze eintretendes Feld wird erfaßt





beide Felder werden erfaßt

stromproportional



wird erfaßt

wird nicht erfaßt

Quelle: LANGER EMV-Technik GmbH

ZEA-2 Systeme der Elektronik

22. Juli 2013

ZEA-2 Systeme der Elektronik

GLORIA
KIT FZJ JÜLICH

JÜLICH
FORSCHUNGSZENTRUM

Messaufbau Störfestigkeit

Rechner

Signalgenerator

Leistungsmesser

Relais Schaltfeld

IEEE 488.2

Auslese-einheit

Feldsonde

Verstärker

Richtkoppler

Relais

Absorberkabine/geschirmter Raum

Antenne

Prüfling

Feldsonde

Koppelmedium

Strommesszange

22. Juli 2013

ZEA-2 Systeme der Elektronik

Folie 25

GLORIA
KIT FZJ JÜLICH

JÜLICH
FORSCHUNGSZENTRUM

Vielen Dank für Ihre Aufmerksamkeit!

22. Juli 2013

ZEA-2 Systeme der Elektronik

Folie 26

Kurze Zusammenfassung des EMV-Workshop

Der Workshop stand unter der Vorgabe des Erfahrungsaustausches. So wurden keine Vorträge vorbereitet, sondern kurzen Darstellungen, die eine Problematik angerissen hatten, folgten lange Gespräche. Hier werden nur kurze Statements zur Diskussion zusammengefasst, da die Darstellungen nicht für eine breite Öffentlichkeit gedacht waren und einer freien Diskussion dienen sollten.

Als wichtige Herangehensweise der EMV-technischen Planung und Fehlersuche wurden Methoden vorgestellt, die dazu führen, dass der Stromweg verstanden wird, Hin- und Rückstrom gezielt lokal gehalten werden und eng beieinander geführt werden können. Dieses wurde am Beispiel der elektrotechnischen Installation von Gebäuden vorgestellt und auch an Beispielen zu Schaltungs- und Leiterplattendesign besprochen.

Für die Gestaltung von Leiterplatten wurde über Schaltungsentwurf und Multilayergestaltung diskutiert. Multilayer-Design erlaubt mit eng beieinander liegenden Power und Grundlagen ein niederimpedantes Stromversorgungssystem bis zu hohen Frequenzen. Für Kondensatoren, die sich über 100 MHz nicht mehr als solche verhalten, wurden verschiedene Konzepte angerissen: die Parallelschaltung verschiedener Werte erlaubt eine niedrige Impedanz über einen weiter Frequenzbereich bedingt aber einen sorgfältigen und kritischen Blick auf viele Resonanzen, die Parallelisierung gleicher Werte hat weniger Resonanzen aber die absorbierenden Anteile sind auf einen engeren Frequenzbereich beschränkt. Auch wurde erwähnt, dass in gewissen Schaltungen Signalflanken verlangsamt werden, wenn die Schaltung keine niedrige Impedanz aufweist. Das angebracht Konzept muss wohl im Einzelfall entschieden werden.

Auch wurde über Feldmessungen im Gelände berichtet, die nicht verstandene geometrische und zeitliche Muster ergaben.

Vor Ort wurde die EMV-Messzelle des FZJ besichtigt, die sich derzeit im Aufbau befindet. Als weitere sinnvolle Messinstrumente wurden Stromzangen und Spulen für Messungen in den Anlagen und Geräten erwähnt.

Als Literaturhinweis wurde nur ein Buch in eine Liste eingetragen: J. Franz, EMV, Vieweg Teubner, 4. Auflage 2011, ISBN 978-3-9348-0893-6

DESY-PROC-2013-01

ISBN 978-3-935702-72-0

ISSN 1435-8077